

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001 - 272649

(P2001 - 272649A)

(43)公開日 平成13年10月5日 (2001.10.5)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-コ-ド (参考)
G 0 2 F 1/133	505	G 0 2 F 1/133 505	2 H 0 9 2
	1/1343		2 H 0 9 3
G 0 9 F 9/30	343	G 0 9 F 9/30 343 Z	5 C 0 0 6
G 0 9 G 3/18		G 0 9 G 3/18	5 C 0 8 0
	3/20 620		5 C 0 9 4

審査請求 未請求 請求項の数 30 L (全 19数) 最終頁に続く

(21)出願番号 特願2000 - 85011(P2000 - 85011)

(22)出願日 平成12年3月24日(2000.3.24)

(71)出願人 000001443

カシオ計算機株式会社
東京都渋谷区本町1丁目6番2号

(72)発明者 西野 利晴

東京都八王子市石川町2951番地の5 カシオ
計算機株式会社八王子研究所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外 5 名)

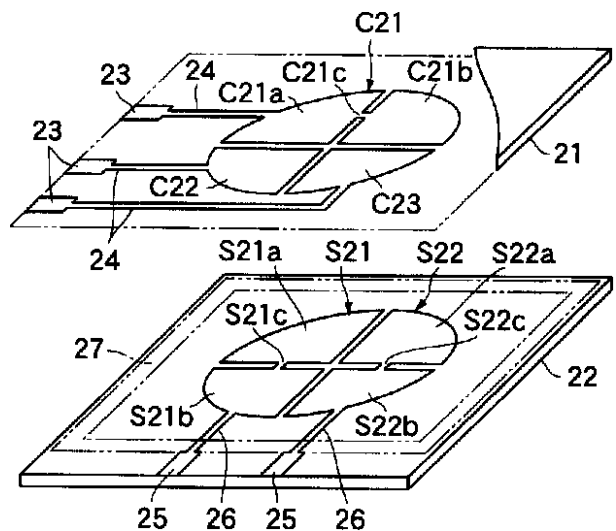
最終頁に続く

(54)【発明の名称】 マトリックス液晶表示素子

(57)【要約】

【課題】各画素の電極間のオフ電圧（実効電圧）を0にし、コントラストの高い表示を得るとともに、画素数に比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動する。

【解決手段】2行2列に配列する4つの画素からなるマトリックス表示領域を有し、一方の基板21に、第1行の第1列と第2列の画素の両方に対応する第1の行電極C21と、第2行の第1列の画素に対応する第2の行電極C22と、第2行の第2列の画素に対応する第3の行電極C23とを設け、他方の基板22に、第1列の第1行と第2行の画素の両方に対応する第1の列電極S21と、第2列の第1行と第2行の画素の両方に対応する第2の列電極S22とを設け、前記電極C21、S21間、C21、S22間、C22、S21間、C23、S22間への印加電圧とをそれぞれ制御してスタティック駆動するようにした。



【特許請求の範囲】

【請求項1】2行2列に配列する4つの画素からなる少なくとも1つのマトリクス表示領域を有し、液晶層を挟んで対向する一対の基板のうち、一方の基板の内面に、前記マトリクス表示領域の第1行の第1列と第2列の画素の両方に対応する第1の行電極と、第2行の第1列の画素に対応する第2の行電極と、前記第2行の第2列の画素に対応する第3の行電極とが設けられ、他方の基板の内面に、前記マトリクス表示領域の第1列の第1行と第2行の画素の両方に対応する第1の列電極と、第2列の第1行と第2行の画素の両方に対応する第2の列電極とが設けられ、前記第1の行電極と前記第1の列電極との間への印加電圧と、前記第1の行電極と前記第2の列電極との間への印加電圧と、前記第2の行電極と前記第1の列電極との間への印加電圧と、前記第3の行電極と前記第2の列電極との間への印加電圧とをそれぞれ制御することによりスタティック駆動されることを特徴とするマトリクス液晶表示素子。

【請求項2】2行3列に配列する6つの画素からなる少なくとも1つのマトリクス表示領域を有し、液晶層を挟んで対向する一対の基板のうち、一方の基板の内面に、前記マトリクス表示領域の第1行の第1列と第2列の画素の両方に対応する第1の行電極と、前記第1行の第3列の画素に対応する第2の行電極と、第2行の第1列の画素に対応する第3の行電極と、前記第2行の第2列と第3列の画素の両方に対応する第4の行電極とが設けられ、他方の基板の内面に、前記マトリクス表示領域の第1列の第1行と第2行の画素の両方に対応する第1の列電極と、第2列の第1行と第2行の画素の両方に対応する第2の列電極と、第3列の第1行と第2行の画素の両方に対応する第3の列電極とが設けられ、前記第1の行電極と前記第1の列電極との間への印加電圧と、前記第1の行電極と前記第2の列電極との間への印加電圧と、前記第2の行電極と前記第3の列電極との間への印加電圧と、前記第3の行電極と前記第1の列電極との間への印加電圧と、前記第4の行電極と前記第2の列電極との間への印加電圧と、前記第4の行電極と前記第3の列電極との間への印加電圧とをそれぞれ制御することによりスタティック駆動されることを特徴とするマトリクス液晶表示素子。

【請求項3】4行3列に配列する12の画素からなる少なくとも1つのマトリクス表示領域を有し、液晶層を挟んで対向する一対の基板のうち、一方の基板の内面に、前記マトリクス表示領域の第1行の第1列と第2列の画素の両方に対応する第1の行電極と、前記第1行の第3列の画素に対応する第2の行電極と、第2行の第1列の画素に対応する第3の行電極と、前記第2行の第2列と第3列の画素の両方に対応する第4の行電極と、第3行の第1列と第2列の画素の両方に対応する第5の行電極と、前記第3行の第3列の画素に対応する第6の

*行電極と、第4行の第1列の画素に対応する第7の行電極と、前記第4行の第2列と第3列の画素の両方に対応する第8の行電極とが設けられ、他方の基板の内面に、前記マトリクス表示領域の第1列の第1行と第2行の画素の両方に対応する第1の列電極と、前記第1列の第3行と第4行の画素の両方に対応する第2の列電極と、第2列の第1行と第2行の画素の両方に対応する第3の列電極と、前記第2列の第3行と第4行の画素の両方に対応する第4の列電極と、第3列の第1行と第2行の画素の両方に対応する第5の列電極と、前記第3列の第3行と第4行の画素の両方に対応する第6の列電極とが設けられ、前記第1の行電極と前記第1の列電極との間への印加電圧と、前記第1の行電極と前記第2の列電極との間への印加電圧と、前記第2の行電極と前記第3の列電極との間への印加電圧と、前記第3の行電極と前記第1の列電極との間への印加電圧と、前記第4の行電極と前記第2の列電極との間への印加電圧と、前記第4の行電極と前記第3の列電極との間への印加電圧と、前記第5の行電極と前記第4の列電極との間への印加電圧と、前記第5の行電極と前記第5の列電極との間への印加電圧と、前記第6の行電極と前記第6の列電極との間への印加電圧と、前記第7の行電極と前記第4の列電極との間への印加電圧と、前記第8の行電極と前記第5の列電極との間への印加電圧と、前記第8の行電極と前記第6の列電極との間への印加電圧とをそれぞれ制御することによりスタティック駆動されることを特徴とするマトリクス液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、マトリクス液晶表示素子に関するものである。

【0002】

【従来の技術】マトリクス液晶表示素子には、スタティック駆動方式のものと、時分割駆動方式のものがある。

【0003】図10および図11はそれぞれ従来のマトリクス液晶表示素子の分解斜視図であり、ここでは、2行2列に配列する4つの画素（図では円形状を上下左右に4分割したパターンの画素）からなる1つのマトリクス表示領域を有するものを示している。

【0004】図10に示したマトリクス液晶表示素子は、スタティック駆動方式のものであり、図示しない液晶層を挟んで対向する前後一対の透明基板1, 2のうち、一方の基板、例えば前基板（図において上側の基板）1の内面に、前記マトリクス表示領域の第1行の第1列の画素に対応する第1の行電極C1と、前記第1行の第2列の画素に対応する第2の行電極C2と、第2行の第1列の画素に対応する第3の行電極C3と、前記第2行の第2列の画素に対応する第4の行電極C4とが設けられ、他方の後基板2の内面に、前記マトリクス

表示領域の第1列の第1行の画素に対応する第1の列電極S1と、前記第1列の第2行の画素に対応する第2の列電極S2と、第2列の第1行の画素に対応する第3の列電極S3と、前記第2列の第2行の画素に対応する第4の列電極S4とが設けられている。

【0005】前記行電極C1, C2, C3, C4と列電極S1, S2, S3, S4は、いずれもITO等の透明導電膜からなる透明電極であり、前基板1に設けられた第1～第4の行電極C1, C2, C3, C4は、この前基板1の一端縁部に設けられた4つの行信号入力端子3 10にリード配線4を介してそれぞれ接続され、後基板2に設けられた第1～第4の列電極S1, S2, S3, S4は、この後基板2の一側縁部に設けられた4つの列信号入力端子5にリード配線6を介してそれぞれ接続されている。

【0006】また、図では省略しているが、前記一對の基板1, 2の内面にはそれぞれ、前記行電極C1, C2, C3, C4および列電極S1, S2, S3, S4を覆って配向膜が設けられている。

【0007】そして、前記一對の基板1, 2は、図に二 20点鎖線で示した枠状シール材7を介して接合されており、これらの基板1, 2間の前記シール材7で囲まれた領域に、前記シール材7の所定個所に設けられた図示しない液晶注入口から充填された液晶層が設けられている。

【0008】この液晶表示素子は、例えばTN(ツイステッドネマティック)型のものであり、前記一對の基板1, 2間の液晶層の液晶分子は電圧無印加状態において所定のツイスト角でツイスト配向しており、また、前記 30一對の基板1, 2の外面にはそれぞれ図示しない偏光板が、それぞれの透過軸を所定の方向に向けて配置されている。

【0009】この液晶表示素子は、前記第1の行電極C1と前記第1の列電極S1との間への印加電圧と、前記第2の行電極C2と前記第2の列電極S1との間への印加電圧と、前記第3の行電極C3と前記第3の列電極S3との間への印加電圧と、前記第4の行電極C4と前記第4の列電極S4との間への印加電圧とをそれぞれ制御することによりスタティック駆動されている。

【0010】図11に示したマトリクス液晶表示素子 40は、時分割駆動方式のものであり、図示しない液晶層を挟んで対向する前後一對の透明基板11, 12のうち、一方の基板、例えば前基板(図において上側の基板)11の内面に、前記マトリクス表示領域の第1行の第1列と第2列の画素の両方に対応する第1の行電極C11と、第2行の第1列と第2列の画素の両方に対応する第2の行電極C12とが設けられ、他方の後基板12の内面に、前記マトリクス表示領域の第1列の第1行と第2行の画素の両方に対応する第1の列電極S11と、第2列の第1行と第2行の画素の両方に対応する第2の列

電極S12とが設けられている。

【0011】なお、前記第1と第2の行電極C11, C12はそれぞれ、その電極C11, C12が対応する第1列と第2列の両方の画素のパターンにそれぞれ対応する形状に形成された2つの電極部C11aおよびC11b, C12aおよびC12bと、この2つの電極部C11aおよびC11b, C12aおよびC12bをつなぐリード部C11c, C12cとからなっており、前記第1と第2の列電極S11, S12はそれぞれ、その電極S11, S12が対応する第1行と第2行の両方の画素のパターンにそれぞれ対応する形状に形成された2つの電極部S11aおよびS11b, S12aおよびS12bと、この2つの電極部S11aおよびS11b, S12aおよびS12bをつなぐリード部S11c, S12cとからなっている。

【0012】前記行電極C11, C12と列電極S11, S12は、いずれもITO等の透明導電膜からなる透明電極であり、前基板11に設けられた第1および第2の行電極C11, C12は、この前基板11の一端縁部に設けられた2つの行信号入力端子13にリード配線14を介してそれぞれ接続され、後基板2に設けられた第1および第2の列電極S11, S12は、この後基板12の一側縁部に設けられた2つの列信号入力端子15にリード配線16を介してそれぞれ接続されている。

【0013】また、図では省略しているが、前記一對の基板11, 12の内面にはそれぞれ、前記行電極C11, C12および列電極S11, S12を覆って配向膜が設けられている。

【0014】そして、前記一對の基板11, 12は、図に二点鎖線で示した枠状シール材7を介して接合されており、これらの基板1, 2間の前記シール材7で囲まれた領域に、前記シール材17の所定個所に設けられた図示しない液晶注入口から充填された液晶層が設けられている。

【0015】この液晶表示素子は、例えばTN型のものであり、前記一對の基板11, 12間の液晶層の液晶分子は電圧無印加状態において所定のツイスト角でツイスト配向しており、また、前記一對の基板11, 12の外 50面にはそれぞれ図示しない偏光板が、それぞれの透過軸を所定の方向に向けて配置されている。

【0016】この液晶表示素子は、前記第1と第2の行電極C11, C12にそれぞれ、所定の電位になる選択期間を互いに異ならせた波形の行信号を供給し、前記第1および第2の列電極S11, S12にそれぞれ、前記第1の行電極C11の選択期間に第1行の画素に対する書込み電位になり、前記第2の行電極C12の選択期間に第2行の画素に対する書込み電位になる波形の行信号を供給することにより時分割駆動され、前記4つの画素を選択的に表示する。

【0017】

【発明が解決しようとする課題】上記図10に示した従来のマトリクス液晶表示素子は、スタティック駆動方式のものであるため、各画素の電極間のオフ電圧（実効電圧）を0とすることができ、したがってコントラストの高い表示が得られるが、その反面、各画素ごとに対応する行電極C1, C2, C3, C4および列電極S1, S2, S3, S4にそれぞれ行信号および列信号を供給しなければならないため、その駆動に、行信号出力端子数と列信号出力端子数との両方がそれぞれ少なくとも前記マトリクス表示領域の画素数と同数以上の、端子数の多い駆動回路素子を用いなければならない。

【0018】一方、図11に示した従来のマトリクス液晶表示素子は、時分割駆動方式のものであるため、行電極C11, C12および列電極S11, S12の数はそれぞれ前記マトリクス表示領域の画素の行数および列数と同じでよく、したがって、行信号出力端子数および列信号出力端子数が少ない安価な駆動回路素子を用いて駆動することができる。

【0019】しかし、この時分割駆動方式のマトリクス液晶表示素子は、各行電極C11, C12がそれぞれ複数の列電極S11, S12に対向し、各列電極S11, S12それぞれ複数の行電極C11, C12に対向しているため、各画素の電極間のオフ電圧（実効電圧）を0にすることができず、そのため、高いコントラストが得られない。

【0020】この発明は、各画素の電極間のオフ電圧（実効電圧）を0にし、コントラストの高い表示を得るとともに、画素数に比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動することができるマトリクス液晶表示素子を提供することを目的としたものである。

【0021】

【課題を解決するための手段】この発明のマトリクス液晶表示素子は、2行2列に配列する4つの画素からなる少なくとも1つのマトリクス表示領域を有し、液晶層を挟んで対向する一対の基板のうち、一方の基板の内面に、前記マトリクス表示領域の第1行の第1列と第2列の画素の両方に対応する第1の行電極と、第2行の第1列の画素に対応する第2の行電極と、前記第2行の第2列の画素に対応する第3の行電極とが設けられ、他方の基板の内面に、前記マトリクス表示領域の第1列の第1行と第2行の画素の両方に対応する第1の列電極と、第2列の第1行と第2行の画素の両方に対応する第2の列電極とが設けられ、前記第1の行電極と前記第1の列電極との間への印加電圧と、前記第1の行電極と前記第2の列電極との間への印加電圧と、前記第2の行電極と前記第1の列電極との間への印加電圧とをそれぞれ制御することによりスタティック駆動されることを特徴とするものである。

【0022】すなわち、この液晶表示素子は、一方の基板に設けられた第1～第3の行電極と、他方の基板に設けられた第1および第2の列電極とが上記のような対応関係にあるため、スタティック駆動により2行2列の4つの画素の電極間電圧をそれぞれ制御することができ、したがって、各画素の電極間のオフ電圧（実効電圧）を0にし、コントラストの高い表示を得ることができる。

【0023】しかも、この液晶表示素子は、2行2列に配列する4つの画素からなる少なくとも1つのマトリクス表示領域を有するものであるが、そのマトリクス表示領域の電極数は、前記第1～第3の3つの行電極と、前記第1および第2の2つの列電極だけでよいいため、画素数に比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動することができる。

【0024】また、この発明の他のマトリクス液晶表示素子は、2行3列に配列する6つの画素からなる少なくとも1つのマトリクス表示領域を有し、液晶層を挟んで対向する一対の基板のうち、一方の基板の内面に、前記マトリクス表示領域の第1行の第1列と第2列の画素の両方に対応する第1の行電極と、前記第1行の第3列の画素に対応する第2の行電極と、第2行の第1列の画素に対応する第3の行電極と、前記第2行の第2列と第3列の画素の両方に対応する第4の行電極とが設けられ、他方の基板の内面に、前記マトリクス表示領域の第1列の第1行と第2行の画素の両方に対応する第1の列電極と、第2列の第1行と第2行の画素の両方に対応する第2の列電極と、第3列の第1行と第2行の画素の両方に対応する第3の列電極とが設けられ、前記第1の行電極と前記第1の列電極との間への印加電圧と、前記第1の行電極と前記第2の列電極との間への印加電圧と、前記第2の行電極と前記第3の列電極との間への印加電圧と、前記第3の行電極と前記第1の列電極との間への印加電圧と、前記第4の行電極と前記第2の列電極との間への印加電圧と、前記第4の行電極と前記第3の列電極との間への印加電圧とをそれぞれ制御することによりスタティック駆動されることを特徴とするものである。

【0025】すなわち、この液晶表示素子は、一方の基板に設けられた第1～第4の行電極と、他方の基板に設けられた第1～第3の列電極とが上記のような対応関係にあるため、スタティック駆動により2行3列の6つの画素の電極間電圧をそれぞれ制御することができ、したがって、各画素の電極間のオフ電圧（実効電圧）を0にし、コントラストの高い表示を得ることができる。

【0026】しかも、この液晶表示素子は、2行3列に配列する6つの画素からなる少なくとも1つのマトリクス表示領域を有するものであるが、そのマトリクス領域の電極数は、前記第1～第4の4つの行電極と、前記第1～第3の3つの列電極だけでよいいため、画素数に

比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動することができる。

【0027】さらに、この発明の他のマトリクス液晶表示素子は、4行3列に配列する12の画素からなる少なくとも1つのマトリクス表示領域を有し、液晶層を挟んで対向する一对の基板のうち、一方の基板の内面に、前記マトリクス表示領域の第1行の第1列と第2列の画素の両方に対応する第1の行電極と、前記第1行の第3列の画素に対応する第2の行電極と、第2行の第1列の画素に対応する第3の行電極と、前記第2行の第2列と第3列の画素の両方に対応する第4の行電極と、第3行の第1列と第2列の画素の両方に対応する第5の行電極と、前記第3行の第3列の画素に対応する第6の行電極と、第4行の第1列の画素に対応する第7の行電極と、前記第4行の第2列と第3列の画素の両方に対応する第8の行電極とが設けられ、他方の基板の内面に、前記マトリクス表示領域の第1列の第1行と第2行の画素の両方に対応する第1の列電極と、前記第1列の第3行と第4行の画素の両方に対応する第2の列電極と、第2列の第1行と第2行の画素の両方に対応する第3の列電極と、前記第2列の第3行と第4行の画素の両方に対応する第4の列電極と、第3列の第1行と第2行の画素の両方に対応する第5の列電極と、前記第3列の第3行と第4行の画素の両方に対応する第6の列電極とが設けられ、前記第1の行電極と前記第1の列電極との間への印加電圧と、前記第1の行電極と前記第2の列電極との間への印加電圧と、前記第2の行電極と前記第3の列電極との間への印加電圧と、前記第3の行電極と前記第1の列電極との間への印加電圧と、前記第4の行電極と前記第2の列電極との間への印加電圧と、前記第4の行電極と前記第3の列電極との間への印加電圧と、前記第5の行電極と前記第4の列電極との間への印加電圧と、前記第5の行電極と前記第5の列電極との間への印加電圧と、前記第6の行電極と前記第6の列電極との間への印加電圧と、前記第7の行電極と前記第4の列電極との間への印加電圧と、前記第8の行電極と前記第5の列電極との間への印加電圧と、前記第8の行電極と前記第6の列電極との間への印加電圧とをそれぞれ制御することによりスタティック駆動されることを特徴とするものである。

【0028】すなわち、この液晶表示素子は、一方の基板に設けられた第1～第8の行電極と、他方の基板に設けられた第1～第6の列電極とが上記のような対応関係にあるため、スタティック駆動により4行3列の12の画素の電極間電圧をそれぞれ制御することができ、したがって、各画素の電極間のオフ電圧(実効電圧)を0にし、コントラストの高い表示を得ることができる。

【0029】しかも、この液晶表示素子は、4行3列の12の画素からなる少なくとも1つのマトリクス表示領域を有するものであるが、そのマトリクス表示領域

の電極数は、前記第1～第8の8つの行電極と、前記第1～第6の6つの列電極だけでよいと、画素数に比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動することができる。

【0030】

【発明の実施の形態】この発明の液晶表示素子は、上記のように、2行2列に配列する4つの画素からなる少なくとも1つのマトリクス表示領域を有し、一方の基板の内面に、前記マトリクス表示領域の第1行の第1列と第2列の画素の両方に対応する第1の行電極と、第2行の第1列の画素に対応する第2の行電極と、前記第2行の第2列の画素に対応する第3の行電極とが設けられ、他方の基板の内面に、前記マトリクス表示領域の第1列の第1行と第2行の画素の両方に対応する第1の列電極と、第2列の第1行と第2行の画素の両方に対応する第2の列電極とが設けられ、前記第1の行電極と前記第1の列電極との間、前記第1の行電極と前記第2の列電極との間、前記第2の行電極と前記第1の列電極との間、および前記第3の行電極と前記第2の列電極との間への印加電圧をそれぞれ制御することによりスタティック駆動されるものであるため、各画素の電極間のオフ電圧(実効電圧)を0にし、コントラストの高い表示を得るとともに、画素数に比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動することができる。

【0031】この液晶表示素子において、前記第1行の第1列と第2列の画素の両方に対応する第1の行電極と、前記第1列の第1行と第2行の画素の両方に対応する第1の列電極と、前記第2列の第1行と第2行の画素の両方に対応する第2の列電極とはそれぞれ、その電極が対応する前記両方の画素のパターンにそれぞれ対応する形状に形成された2つの電極部と、この2つの電極部をつなぐリード部とからなる形状の電極でもよく、また、前記両方の画素のパターンにそれぞれ対応する形状の2つの電極部が直接連続した形状の電極でもよい。

【0032】また、この発明の他の液晶表示素子は、上記のように、2行3列に配列する6つの画素からなる少なくとも1つのマトリクス表示領域を有し、一方の基板の内面に、前記マトリクス表示領域の第1行の第1列と第2列の画素の両方に対応する第1の行電極と、前記第1行の第3列の画素に対応する第2の行電極と、第2行の第1列の画素に対応する第3の行電極と、前記第2行の第2列と第3列の画素の両方に対応する第4の行電極とが設けられ、他方の基板の内面に、前記マトリクス表示領域の第1列の第1行と第2行の画素の両方に対応する第1の列電極と、第2列の第1行と第2行の画素の両方に対応する第2の列電極と、第3列の第1行と第2行の画素の両方に対応する第3の列電極とが設けられ、前記第1の行電極と前記第1の列電極との間、前記第1の行電極と前記第2の列電極との間、前記第2の行

電極と前記第3の列電極との間、前記第3の行電極と前記第1の列電極との間、前記第4の行電極と前記第2の列電極との間、および前記第4の行電極と前記第3の列電極との間への印加電圧をそれぞれ制御することによりスタティック駆動されるものであるため、各画素の電極間のオフ電圧（実効電圧）を0にし、コントラストの高い表示を得るとともに、画素数に比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動することができる。

【0033】この液晶表示素子において、前記第1行の第1列と第2列の画素の両方に対応する第1の行電極と、前記第2行の第2列と第3列の画素の両方に対応する第4の行電極と、前記第1列の第1行と第2行の画素の両方に対応する第1の列電極と、前記第2列の第1行と第2行の画素の両方に対応する第2の列電極と、前記第3列の第1行と第2行の画素の両方に対応する第3の列電極とはそれぞれ、その電極が対応する前記両方の画素のパターンにそれぞれ対応する形状に形成された2つの電極部と、この2つの電極部をつなぐリード部とからなる形状の電極でもよく、また、前記両方の画素のパターンにそれぞれ対応する形状の2つの電極部が直接連続した形状の電極でもよい。

【0034】さらに、この発明の他の液晶表示素子は、上記のように、4行3列に配列する12の画素からなる少なくとも1つのマトリクス表示領域を有し、一方の基板の内面に、前記マトリクス表示領域の第1行の第1列と第2列の画素の両方に対応する第1の行電極と、前記第1行の第3列の画素に対応する第2の行電極と、前記第2行の第1列の画素に対応する第3の行電極と、前記第2行の第2列と第3列の画素の両方に対応する第4の行電極と、第3行の第1列と第2列の画素の両方に対応する第5の行電極と、前記第3行の第3列の画素に対応する第6の行電極と、第4行の第1列の画素に対応する第7の行電極と、前記第4行の第2列と第3列の画素の両方に対応する第8の行電極とが設けられ、他方の基板の内面に、前記マトリクス表示領域の第1列の第1行と第2行の画素の両方に対応する第1の列電極と、前記第1列の第3行と第4行の画素の両方に対応する第2の列電極と、第2列の第1行と第2行の画素の両方に対応する第3の列電極と、前記第2列の第3行と第4行の画素の両方に対応する第4の列電極と、第3列の第1行と第2行の画素の両方に対応する第5の列電極と、前記第3列の第3行と第4行の画素の両方に対応する第6の列電極とが設けられ、前記第1の行電極と前記第1の列電極との間、前記第1の行電極と前記第2の列電極との間、前記第2の行電極と前記第3の列電極との間、前記第3の行電極と前記第1の列電極との間、前記第4の行電極と前記第2の列電極との間、前記第4の行電極と前記第3の列電極との間、前記第5の行電極と前記第4の列電極との間、前記第5の行電極と前記第5の列電極と

の間、前記第6の行電極と前記第6の列電極との間、前記第7の行電極と前記第4の列電極との間、前記第8の行電極と前記第5の列電極との間、および前記第8の行電極と前記第6の列電極との間への印加電圧をそれぞれ制御することによりスタティック駆動されるものであるため、各画素の電極間のオフ電圧（実効電圧）を0にし、コントラストの高い表示を得るとともに、画素数に比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動することができる。

【0035】この液晶表示素子において、前記第1行の第1列と第2列の画素の両方に対応する第1の行電極と、前記第2行の第2列と第3列の画素の両方に対応する第4の行電極と、前記第3行の第1列と第2列の画素の両方に対応する第5の行電極と、前記第4行の第2列と第3列の画素の両方に対応する第8の行電極と、前記第1列の第1行と第2行の画素の両方に対応する第1の列電極と、前記第1列の第3行と第4行の画素の両方に対応する第2の列電極と、前記第2列の第1行と第2行の画素の両方に対応する第3の列電極と、前記第2列の第3行と第4行の画素の両方に対応する第4の列電極と、前記第3列の第1行と第2行の画素の両方に対応する第5の列電極と、前記第3列の第3行と第4行の画素の両方に対応する第6の列電極とはそれぞれ、その電極が対応する前記両方の画素のパターンにそれぞれ対応する形状に形成された2つの電極部と、この2つの電極部をつなぐリード部とからなる形状の電極でもよく、また、前記両方の画素のパターンにそれぞれ対応する形状の2つの電極部が直接連続した形状の電極でもよい。

【0036】

【実施例】図1および図2はこの発明の第1の実施例を示しており、図1はマトリクス液晶表示素子の分解斜視図、図2は前記液晶表示素子のマトリクス表示領域の画素配列図である。

【0037】この実施例のマトリクス液晶表示素子は、図2のように2行2列に配列する4つの画素d1, d2, d3, d4からなる1つのマトリクス表示領域Dを有するものであり、前記4つの画素d1~d4は、例えば、円形状を上下左右に4分割したパターンを有している。

【0038】この液晶表示素子は、図1のような構成のものであり、図示しない液晶層を挟んで対向する前後一对の透明基板21, 22のうち、一方の基板の内面、例えば前基板（図において上側の基板）21の内面に、前記マトリクス表示領域Dの第1行の第1列と第2列の画素d1, d2の両方に対応する第1の行電極C21と、第2行の第1列の画素d3に対応する第2の行電極C22と、前記第2行の第2列の画素d4に対応する第3の行電極C23とが設けられ、他方の後基板22の内面に、前記マトリクス表示領域Dの第1列の第1行と第2行の画素d1, d3の両方に対応する第1の列電極

S 2 1 と、第 2 列の第 1 行と第 2 行の画素 d 2 , d 4 の両方に対応する第 2 の列電極 S 2 2 とが設けられている。

【0039】なお、前記第 1 ~ 第 3 の行電極 C 2 1 , C 2 2 , C 2 3 のうち、前記第 1 行の第 1 列と第 2 列の画素 d 1 , d 2 の両方に対応する第 1 の行電極 C 2 1 は、その電極 C 2 1 が対応する前記両方の画素 d 1 , d 2 のパターンにそれぞれ対応する形状に形成された 2 つの電極部 C 2 1 a , C 2 1 b と、この 2 つの電極部 C 2 1 a , C 2 1 b をつなぐリード部 C 2 1 c とからなっている。

【0040】また、前記第 1 と第 2 の列電極 S 2 1 , S 2 2 はそれぞれ、その電極 S 2 1 , S 2 2 が対応する第 1 行と第 2 行の両方の画素 d 1 および d 3 , d 2 および d 4 のパターンにそれぞれ対応する形状に形成された 2 つの電極部 S 2 1 a および S 2 1 b , S 2 2 a および S 2 2 b と、この 2 つの電極部 S 2 1 a および S 2 1 b , S 2 2 a および S 2 2 b をつなぐリード部 S 2 1 c , S 2 2 c とからなっている。

【0041】前記行電極 C 2 1 , C 2 2 , C 2 3 と列電極 S 2 1 , S 2 2 は、いずれも I T O 等の透明導電膜からなる透明電極であり、前基板 2 1 に設けられた第 1 ~ 第 3 の行電極 C 2 1 , C 2 2 , C 2 3 は、この前基板 2 1 の一端縁部に設けられた 3 つの行信号入力端子 2 3 にリード配線 2 4 を介してそれぞれ接続され、後基板 2 2 に設けられた第 1 および第 2 の列電極 S 2 1 , S 2 2 は、この後基板 2 2 の一側縁部に設けられた 2 つの列信号入力端子 2 5 にリード配線 2 6 を介してそれぞれ接続されている。

【0042】また、図では省略しているが、前記一對の基板 2 1 , 2 2 の内面にはそれぞれ、前記行電極 C 2 1 , C 2 2 , C 2 3 および列電極 S 2 1 , S 2 2 を覆って配向膜が設けられている。

【0043】そして、前記一對の基板 2 1 , 2 2 は、図に二点鎖線で示した枠状シール材 2 7 を介して接合されており、これらの基板 2 1 , 2 2 間の前記シール材 2 7 で囲まれた領域に、前記シール材 2 7 の所定個所に設けられた図示しない液晶注入口から充填された液晶層が設けられている。

【0044】この液晶表示素子は、例えば T N 型のものであり、前記一對の基板 2 1 , 2 2 間の液晶層の液晶分子は電圧無印加状態において所定のツイスト角でツイスト配向しており、また、前記一對の基板 2 1 , 2 2 の外面にはそれぞれ図示しない偏光板が、それぞれの透過軸を所定の方向に向けて配置されている。

【0045】この液晶表示素子は、前記第 1 の行電極 C 2 1 と前記第 1 の列電極 S 2 1 との間への印加電圧と、前記第 1 の行電極 C 2 1 と前記第 2 の列電極 S 2 2 との間への印加電圧と、前記第 2 の行電極 C 2 2 と前記第 1 の列電極 S 2 1 との間への印加電圧と、前記第 3 の行電

極 C 2 3 と前記第 2 の列電極 S 2 2 との間への印加電圧とをそれぞれ制御することによりスタティック駆動される。

【0046】その駆動は、前記第 1 , 第 2 , 第 3 の行電極 C 2 1 , C 2 2 , C 2 3 にそれぞれ供給する行信号の電位と、前記第 1 と第 2 の列電極 S 2 1 , S 2 2 とにそれぞれ供給する行信号の電位とを、いずれも 0 と $\pm V_{th}$ (液晶のしきい値電圧以上の正または負の極性の電位) とに制御することにより行なえばよく、このような駆動により、前記 2 行 2 列の 4 つの画素 d 1 , d 2 , d 3 , d 4 の点灯、非点灯を次の 16 通りに制御することができる。

【0047】図 3 は前記液晶表示素子の表示例を示している。なお、この表示例は、ノーマリーホワイトモードの場合であり、図において塗りつぶした画素が点灯画素、他の画素が非点灯画素である。

【0048】図 3 の (1) は、第 1 ~ 第 3 の行電極 C 2 1 , C 2 2 , C 2 3 の電位がいずれも 0 で、第 1 と第 2 の列電極 S 2 1 , S 2 2 の電位がいずれも 0 のときの表示を示しており、このときは、4 つの画素 d 1 , d 2 , d 3 , d 4 の全てが非点灯の無表示状態である。

【0049】図 3 の (2) は、第 1 の行電極 C 2 1 の電位が $\pm V_{th}$ 、第 2 と第 3 の行電極 C 2 2 , C 2 3 の電位が 0 で、第 1 と第 2 の列電極 S 2 1 , S 2 2 の電位がいずれも 0 のときの表示を示しており、このときは、画素 d 1 が点灯し、この画素 d 1 のパターンが表示される。

【0050】図 3 の (3) は、第 1 と第 2 の行電極 C 2 1 , C 2 2 の電位が 0、第 3 の行電極 C 2 3 の電位が $\pm V_{th}$ で、第 1 の列電極 S 2 1 の電位が 0、第 2 の列電極 S 2 2 の電位が $\pm V_{th}$ のときの表示を示しており、このときは、画素 d 2 が点灯し、この画素 d 2 のパターンが表示される。

【0051】図 3 の (4) は、第 1 の行電極 C 2 1 の電位が 0、第 2 の行電極 C 2 2 の電位が $\pm V_{th}$ 、第 3 の行電極 C 2 3 の電位が 0 で、第 1 と第 2 の列電極 S 2 1 , S 2 2 の電位がいずれも 0 のときの表示を示しており、このときは、画素 d 3 が点灯し、この画素 d 3 のパターンが表示される。

【0052】図 3 の (5) は、第 1 と第 2 の行電極 C 2 1 , C 2 2 の電位が 0、第 3 の行電極 C 2 3 の電位が $\pm V_{th}$ で、第 1 と第 2 の列電極 S 2 1 , S 2 2 の電位がいずれも 0 のときの表示を示しており、このときは、画素 d 4 が点灯し、この画素 d 4 のパターンが表示される。

【0053】図 3 の (6) は、第 1 と第 2 の行電極 C 2 1 , C 2 2 の電位が 0、第 3 の行電極 C 2 3 の電位が $\pm V_{th}$ で、第 1 と第 2 の列電極 S 2 1 , S 2 2 の電位がいずれも $\pm V_{th}$ のときの表示を示しており、このときは、画素 d 1 , d 2 が点灯し、この 2 つの画素 d 1 , d

2のパターンが表示される。

【0054】図3の(7)は、第1～第3の行電極C21, C22, C23の電位がいずれも0で、第1の列電極S21の電位が $\pm V_{th}$ 、第2の列電極S22の電位が0のときの表示を示しており、このときは、画素d1, d3が点灯し、この2つの画素d1, d3のパターンが表示される。

【0055】図3の(8)は、第1～第3の行電極C21, C22, C23の電位がいずれも0で、第1の列電極S21の電位が0、第2の列電極S22の電位が $\pm V_{th}$ のときの表示を示しており、このときは、画素d2, d4が点灯し、この2つの画素d2, d4のパターンが表示される。

【0056】図3の(9)は、第1の行電極C21の電位が0、第2と第3の行電極C22, C23の電位が $\pm V_{th}$ で、第1と第2の列電極S21, S22の電位がいずれも0のときの表示を示しており、このときは、画素d3, d4が点灯し、この2つの画素d3, d4のパターンが表示される。

【0057】図3の(10)は、第1と第2の行電極C21, C22の電位が0、第3の行電極C23の電位が $\pm V_{th}$ で、第1の列電極S21の電位が $\pm V_{th}$ 、第2の列電極S22の電位が0のときの表示を示しており、このときは、画素d1, d4が点灯し、この2つの画素d1, d4のパターンが表示される。

【0058】図3の(11)は、第1の行電極C21の電位が0、第2と第3の行電極C22, C23の電位が $\pm V_{th}$ で、第1の列電極S21の電位が0、第2の列電極S22の電位が $\pm V_{th}$ のときの表示を示しており、このときは、画素d2, d3が点灯し、この2つの画素d2, d3のパターンが表示される。

【0059】図3の(12)は、第1と第2の行電極C21, C22の電位が0、第3の行電極C23の電位が $\pm V_{th}$ で、第1と第2の列電極S21, S22の電位がいずれも $\pm V_{th}$ のときの表示を示しており、このときは、画素d1, d2, d3が点灯し、この3つの画素d1, d2, d3のパターンが表示される。

【0060】図3の(13)は、第1の行電極C21の電位が0、第2の行電極C22の電位が $\pm V_{th}$ 、第3の行電極C23の電位が $\pm V_{th}$ で、第1と第2の列電極S21, S22の電位がいずれも $\pm V_{th}$ のときの表示を示しており、このときは、画素d1, d2, d4が点灯し、この3つの画素d1, d2, d4のパターンが表示される。

【0061】図3の(14)は、第1と第2の行電極C21, C22の電位が0、第3の行電極C23の電位が $\pm V_{th}$ で、第1の列電極S21の電位が $\pm V_{th}$ 、第2の列電極S22の電位が0のときの表示を示しており、このときは、画素d1, d3, d4が点灯し、この3つの画素d1, d3, d4のパターンが表示される。

【0062】図3の(15)は、第1の行電極C21の電位が0、第2の行電極C22の電位が $\pm V_{th}$ 、第3の行電極C23の電位が0で、第1の列電極S21の電位が0、第2の列電極S22の電位が $\pm V_{th}$ のときの表示を示しており、このときは、画素d2, d3, d4が点灯し、この3つの画素d2, d3, d4のパターンが表示される。

【0063】図3の(16)は、第1～第3の行電極C21, C22, C23の電位がいずれも0で、第1と第2の列電極S21, S22の電位がいずれも $\pm V_{th}$ のときの表示を示しており、このときは、全ての画素d1, d2, d3, d4が点灯し、その4つの画素d1, d2, d3, d4のパターンが表示される。

【0064】すなわち、この液晶表示素子は、一方の基板21に設けられた第1、第2および第3の行電極C21, C22, C23と、他方の基板22に設けられた第1および第2の列電極S21, S22とが上記のような対応関係にあるため、上記のようなスタティック駆動により2行2列の4つの画素d1, d2, d3, d4の電極間電圧をそれぞれ制御することができ、したがって、各画素d1, d2, d3, d4の電極間のオフ電圧(実効電圧)を0にし、コントラストの高い表示を得ることができる。

【0065】しかも、この液晶表示素子は、2行2列に配列する4つの画素d1, d2, d3, d4からなるマトリクス表示領域Dを有するものであるが、そのマトリクス表示領域Dの電極数は、前記第1～第3の3つの行電極C21, C22, C23と、前記第1および第2の2つの列電極S21, S22だけでよいため、画素数に比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動することができる。

【0066】なお、上記実施例では、前記第1行の第1列と第2列の画素d1, d2の両方に対応する第1の行電極C21と、前記第1列の第1行と第2行の画素d1, d3の両方に対応する第1の列電極S21と、前記第2列の第1行と第2行の画素d2, d4の両方に対応する第2の列電極S22とをそれぞれ、その電極が対応する前記両方の画素のパターンにそれぞれ対応する形状に形成された2つの電極部と、この2つの電極部をつなぐリード部とからなる形状の電極としているが、これらの電極C21, S21, S22は、前記両方の画素のパターンにそれぞれ対応する形状の2つの電極部が直接連続した形状の電極でもよい。

【0067】図4および図5はこの発明の第2の実施例を示しており、図4はマトリクス液晶表示素子の分解斜視図、図5は前記液晶表示素子のマトリクス表示領域の画素配列図である。

【0068】この実施例のマトリクス液晶表示素子は、図5のように2行3列に配列する6つの画素e1, e2, e3, e4, e5, e6からなる1つのマトリッ

クス表示領域Eを有するものであり、前記6つの画素e1～e6は、例えば、両端がそれぞれ半円形の横長形状を、上下に2分割、左右に3分割したパターンを有している。

【0069】この液晶表示素子は、図4のような構成のものであり、図示しない液晶層を挟んで対向する前後一对の透明基板31、32のうち、一方の基板の内面、例えば前基板(図において上側の基板)31の内面に、前記マトリクス表示領域Eの第1行の第1列と第2列の画素e1、e2の両方に対応する第1の行電極C31と、前記第1行の第3列の画素e3に対応する第2の行電極C32と、第2行の第1列の画素e4に対応する第3の行電極C33と、前記第2行の第2列と第3列の画素e5、e6の両方に対応する第4の行電極C34とが設けられ、他方の後基板22の内面に、前記マトリクス表示領域Eの第1列の第1行と第2行の画素e1、e4の両方に対応する第1の列電極S31と、第2列の第1行と第2行の画素e2、e5の両方に対応する第2の列電極S32と、第3列の第1行と第2行の画素e3、e6の両方に対応する第3の列電極S33とが設けられている。

【0070】なお、前記第1～第4の行電極C31、C32、C33、C34のうち、前記第1行の第2列と第3列の画素e1、e2の両方に対応する第1の行電極C31と、前記第2行の第2列と第3列の画素e5、e6の両方に対応する第4の行電極C34は、それぞれ、その電極C31、C34が対応する前記両方の画素e1およびe2、e5およびe6のパターンにそれぞれ対応する形状に形成された2つの電極部C31aおよびC31b、C34aおよびC34bと、この2つの電極部C31aおよびC31b、C34aおよびC34bをつなぐリード部C31c、C34とからなっている。

【0071】また、前記第1、第2、第3の列電極S31、S32、S33はそれぞれ、その電極S31、S32、S33が対応する第1行と第2行の両方の画素e1およびe4、e2およびe5、e3およびe6のパターンにそれぞれ対応する形状に形成された2つの電極部S31aおよびS31b、S32aおよびS32b、S32aおよびS32bと、この2つの電極部S31aおよびS31b、S32aおよびS32、S33aおよびS33bをつなぐリード部S31c、S32c、S33とからなっている。

【0072】前記行電極C31、C32、C33、C34と列電極S31、S32、S33は、いずれもITO等の透明導電膜からなる透明電極であり、前基板31に設けられた第1～第4の行電極C31、C32、C33、C34は、この前基板31の一端縁部に設けられた4つの行信号入力端子33にリード配線34を介してそれぞれ接続され、後基板32に設けられた第1～第3の列電極S31、S32、S33は、この後基板32の一

側縁部に設けられた3つの列信号入力端子35にリード配線36を介してそれぞれ接続されている。

【0073】また、図では省略しているが、前記一对の基板31、32の内面にはそれぞれ、前記行電極C31、C32、C33、C34および列電極S31、S32、S33を覆って配向膜が設けられている。

【0074】そして、前記一对の基板31、32は、図に二点鎖線で示した枠状シール材37を介して接合されており、これらの基板31、32間の前記シール材37で囲まれた領域に、前記シール材37の所定個所に設けられた図示しない液晶注入口から充填された液晶層が設けられている。

【0075】この液晶表示素子は、例えばTN型のものであり、前記一对の基板31、32間の液晶層の液晶分子は電圧無印加状態において所定のツイスト角でツイスト配向しており、また、前記一对の基板31、32の外表面にはそれぞれ図示しない偏光板が、それぞれの透過軸を所定方向に向けて配置されている。

【0076】この液晶表示素子は、前記第1の行電極C31と前記第1の列電極S31との間への印加電圧と、前記第1の行電極C31と前記第2の列電極S32との間への印加電圧と、前記第3の行電極C33と前記第1の列電極S31との間への印加電圧と、前記第4の行電極C34と前記第2の列電極S32との間への印加電圧と、前記第4の行電極C34と前記第3の列電極S33との間への印加電圧とをそれぞれ制御することによりスタティック駆動される。

【0077】その駆動は、前記第1、第2、第3、第4の行電極C31、C32、C33、C34にそれぞれ供給する行信号の電位と、前記第1、第2、第3の列電極S31、S32、S33にそれぞれ供給する行信号の電位とを、いずれも0と $\pm V_{th}$ (液晶のしきい値電圧以上の正または負の極性の電位)とに制御することにより行なえばよく、このような駆動により、前記2行3列の6つの画素e1、e2、e3、e4、e5、e6の点灯、非点灯を次の64通りに制御することができる。

【0078】図6および図7は、前記液晶表示素子の表示例を示している。なお、この表示例は、ノーマリーホワイトモードの場合であり、図において塗りつぶした画素が点灯画素、他の画素が非点灯画素である。

【0079】図6の(1)は、第1～第4の行電極C31、C32、C33、C34の電位がいずれも0で、第1～第3の列電極S31、S32、S33の電位がいずれも0のときの表示を示しており、このときは、6つの画素e1、e2、e3、e4、e5、e6の全てが非点灯の無表示状態である。

【0080】図6の(2)は、第1の行電極C31の電位が $\pm V_{th}$ 、第2～第4の行電極C32、C33、C34の電位が0で、第1～第3の列電極S31、S32、S33の電位がいずれも0のときの表示を示して

り、このときは、画素e1が点灯し、この画素e1のパターンが表示される。

【0081】図6の(3)は、第1の行電極C31の電位が0、第2の行電極C32の電位が $\pm V_{th}$ 、第3の行電極C33の電位が0、第4の行電極C34の電位が $\pm V_{th}$ で、第1の列電極S31の電位が0、第2と第3の列電極S32、S33の電位が $\pm V_{th}$ のときの表示を示しており、このときは、画素e2が点灯し、この画素e2のパターンが表示される。

【0082】図6の(4)は、第1の行電極C31の電位が0、第2の行電極C32の電位が $\pm V_{th}$ 、第3と第4の行電極C33、C34の電位が0で、第1～第3の列電極S31、S32、S33の電位がいずれも0のときの表示を示しており、このときは、画素e3が点灯し、この画素e3のパターンが表示される。

【0083】図6の(5)は、第1と第2の行電極C31、C32の電位が0、第3の行電極C33の電位が $\pm V_{th}$ 、第4の行電極C34の電位が0で、第1～第3の列電極S31、S32、S33の電位がいずれも0のときの表示を示しており、このときは、画素e4が点灯し、この画素e4のパターンが表示される。

【0084】図6の(6)は、第1の行電極C31の電位が0、第2の行電極C32の電位が $\pm V_{th}$ 、第3の行電極C33の電位が0、第4の行電極C34の電位が $\pm V_{th}$ で、第1と第2の列電極S31、S32の電位が0、第3の列電極S33の電位が $\pm V_{th}$ のときの表示を示しており、このときは、画素e5が点灯し、この画素e5のパターンが表示される。

【0085】図6の(7)は、第1の行電極C31の電位が0、第2の行電極C32の電位が $\pm V_{th}$ 、第3と第4の行電極C33、C34の電位が0で、第1と第2の列電極S31、S32の電位が0、第3の列電極S33の電位が $\pm V_{th}$ のときの表示を示しており、このときは、画素e6が点灯し、この画素e6のパターンが表示される。

【0086】図6の(8)は、第1の行電極C31の電位が $\pm V_{th}$ 、第2～第4の行電極C32、C33、C34の電位が0で、第1～第3の列電極S31、S32、S33の電位がいずれも0のときの表示を示しており、このときは、画素e1、e2が点灯し、この2つの画素e1、e2のパターンが表示される。

【0087】図6の(9)は、第1の行電極C31の電位が $\pm V_{th}$ 、第2と第3の行電極C32、C33の電位が0、第4の行電極C34の電位が $\pm V_{th}$ で、第1の列電極S31の電位が0、第2と第3の列電極S32、S33の電位が $\pm V_{th}$ のときの表示を示しており、このときは、画素e1、e3が点灯し、この2つの画素e1、e3のパターンが表示される。

【0088】図6の(10)は、第1～第4の行電極C31、C32、C33、C34の電位がいずれも0で、

第1の列電極S31の電位が $\pm V_{th}$ 、第2と第3の列電極S32、S33の電位が0のときの表示を示しており、このときは画素e1、e4が点灯し、この2つの画素e1、e4のパターンが表示される。

【0089】図6の(11)は、第1の行電極C31の電位が $\pm V_{th}$ 、第2～第4の行電極C32、C33、C34が0で、第1の列電極S31の電位が0、第2の列電極S32の電位が $\pm V_{th}$ 、第3の列電極S33の電位が0のときの表示を示しており、このときは画素e1、e5が点灯し、この2つの画素e1、e5のパターンが表示される。

【0090】図6の(12)は、第1の行電極C31の電位が $\pm V_{th}$ 、第2と第3の行電極C32、C33の電位が0、第4の行電極C34の電位が $\pm V_{th}$ で、第1の列電極S31の電位が0、第2の列電極S32の電位が $\pm V_{th}$ 、第3の列電極S33の電位が0のときの表示を示しており、このときは画素e1、e6が点灯し、この2つの画素e1、e6のパターンが表示される。

【0091】図6の(13)は、第1～第3の行電極C31、C32、C33の電位が0、第4の行電極C34の電位が $\pm V_{th}$ で、第1の列電極S31の電位が0、第2と第3の列電極S32、S33の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素e2、e3が点灯し、この2つの画素e2、e3のパターンが表示される。

【0092】図6の(14)は、第1の行電極C31の電位が0、第2～第4の行電極C32、C33、C34の電位が $\pm V_{th}$ で、第1の列電極S31の電位が0、第2と第3の列電極S32、S33の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素e2、e4が点灯し、この2つの画素e2、e4のパターンが表示される。

【0093】図6の(15)は、第1～第4の行電極C31、C32、C33、C34の電位がいずれも0で、第1の列電極S31の電位が0、第2と第3の列電極S32、S33の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素e2、e5が点灯し、この2つの画素e2、e5のパターンが表示される。

【0094】図6の(16)は、第1～第3の行電極C31、C32、C33の電位が0、第4の行電極C34の電位が $\pm V_{th}$ で、第1の列電極S31の電位が0、第2の列電極S32の電位が $\pm V_{th}$ 、第3の列電極S33の電位が0のときの表示を示しており、このときは画素e2、e6が点灯し、この2つの画素e2、e6のパターンが表示される。

【0095】図6の(17)は、第1の行電極C31の電位が0、第2と第3の行電極C32、C33の電位が $\pm V_{th}$ 、第4の行電極C34の電位が0で、第1～第3の列電極S31、S32、S33の電位がいずれも0

のときの表示を示しており、このときは画素 e_3 , e_4 が点灯し、この2つの画素 e_3 , e_4 のパターンが表示される。

【0096】図6の(18)は、第1～第3の行電極 C_{31} , C_{32} , C_{33} の電位が0、第4の行電極 C_{34} の電位が $\pm V_{th}$ で、第1と第2の列電極 S_{31} , S_{32} の電位が0、第3の列電極 S_{33} の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素 e_3 , e_5 が点灯し、この2つの画素 e_3 , e_5 のパターンが表示される。

【0097】図6の(19)は、第1～第4の行電極 C_{31} , C_{32} , C_{33} , S_{34} の電位がいずれも0で、第1と第2の列電極 S_{31} , S_{32} の電位が0、第3の列電極 S_{33} の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素 e_3 , e_6 が点灯し、この2つの画素 e_3 , e_6 のパターンが表示される。

【0098】図6の(20)は、第1の行電極 C_{31} の電位が0、第2～第4の行電極 C_{32} , C_{33} , C_{34} の電位が $\pm V_{th}$ で、第1と第2の列電極 S_{31} , S_{32} の電位が0、第3の列電極 S_{33} の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素 e_4 , e_5 が点灯し、この2つの画素 e_4 , e_5 のパターンが表示される。

【0099】図6の(21)は、第1の行電極 C_{31} の電位が0、第2と第3の行電極 C_{32} , C_{33} の電位が $\pm V_{th}$ 、第4の行電極 C_{34} の電位が0で、第1と第2の列電極 S_{31} , S_{32} の電位が0、第3の列電極 S_{33} の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素 e_4 , e_6 が点灯し、この2つの画素 e_4 , e_6 のパターンが表示される。

【0100】図6の(22)は、第1～第3の行電極 C_{31} , C_{32} , C_{33} の電位が0、第4の行電極 C_{34} の電位が $\pm V_{th}$ で、第1～第3の列電極 S_{31} , S_{32} , S_{33} の電位がいずれも0のときの表示を示しており、このときは画素 e_5 , e_6 が点灯し、この2つの画素 e_5 , e_6 のパターンが表示される。

【0101】図6の(23)は、第1と第2の行電極 C_{31} , C_{32} の電位が $\pm V_{th}$ 、第3と第4の行電極 C_{33} , C_{34} の電位が0で、第1～第3の列電極 S_{31} , S_{32} , S_{33} の電位がいずれも0のときの表示を示しており、このときは画素 e_1 , e_2 , e_3 が点灯し、この3つの画素 e_1 , e_2 , e_3 のパターンが表示される。

【0102】図6の(24)は、第1の行電極 C_{31} の電位が $\pm V_{th}$ 、第2の行電極 C_{32} の電位が0、第3の行電極 C_{33} の電位が $\pm V_{th}$ 、第4の行電極 C_{34} の電位が0で、第1～第3の列電極 S_{31} , S_{32} , S_{33} の電位がいずれも0のときの表示を示しており、このときは画素 e_1 , e_2 , e_4 が点灯し、この3つの画素 e_1 , e_2 , e_4 のパターンが表示される。

【0103】図6の(25)は、第1と第2の行電極 C_{31} , C_{32} の電位が $\pm V_{th}$ 、第3の行電極 C_{33} の電位が0、第4の行電極 C_{34} の電位が $\pm V_{th}$ で、第1と第2の列電極 S_{31} , S_{32} の電位が0、第3の列電極 S_{33} の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素 e_1 , e_2 , e_5 が点灯し、この3つの画素 e_1 , e_2 , e_5 のパターンが表示される。

【0104】図6の(26)は、第1と第2の行電極 C_{31} , C_{32} の電位が $\pm V_{th}$ 、第3と第4の行電極 C_{33} , C_{34} の電位が0で、第1と第2の列電極 S_{31} , S_{32} の電位が0、第3の列電極 S_{33} の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素 e_1 , e_2 , e_6 が点灯し、この3つの画素 e_1 , e_2 , e_6 のパターンが表示される。

【0105】図6の(27)は、第1の行電極 C_{31} の電位が $\pm V_{th}$ 、第2の行電極 C_{32} の電位が0、第3と第4の行電極 C_{33} , C_{34} の電位が $\pm V_{th}$ で、第1の列電極 S_{31} の電位が0、第2と第3の列電極 S_{32} , S_{33} の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素 e_1 , e_3 , e_4 が点灯し、この3つの画素 e_1 , e_3 , e_4 のパターンが表示される。

【0106】図6の(28)は、第1と第2の行電極 C_{31} , C_{32} の電位が $\pm V_{th}$ 、第3と第4の行電極 C_{33} , C_{34} の電位が0で、第1の列電極 S_{31} の電位が0、第2の列電極 S_{32} の電位が $\pm V_{th}$ 、第3の列電極 S_{33} の電位が0のときの表示を示しており、このときは画素 e_1 , e_3 , e_5 が点灯し、この3つの画素 e_1 , e_3 , e_5 のパターンが表示される。

【0107】図6の(29)は、第1と第2の行電極 C_{31} , C_{32} の電位が $\pm V_{th}$ 、第3の行電極 C_{33} の電位が0、第4の行電極 C_{34} の電位が $\pm V_{th}$ で、第1の列電極 S_{31} の電位が0、第2の列電極 S_{32} の電位が $\pm V_{th}$ 、第3の列電極 S_{33} の電位が0のときの表示を示しており、このときは画素 e_1 , e_3 , e_6 が点灯し、この3つの画素 e_1 , e_3 , e_6 のパターンが表示される。

【0108】図6の(30)は、第1の行電極 C_{31} の電位が $\pm V_{th}$ 、第2の行電極 C_{32} の電位が0、第3の行電極 C_{33} の電位が $\pm V_{th}$ 、第4の行電極 C_{34} の電位が0で、第1の列電極 S_{31} の電位が0、第2の列電極 S_{32} の電位が $\pm V_{th}$ 、第3の列電極 S_{33} の電位が0のときの表示を示しており、このときは画素 e_1 , e_4 , e_5 が点灯し、この3つの画素 e_1 , e_4 , e_5 のパターンが表示される。

【0109】図6の(31)は、第1の行電極 C_{31} の電位が $\pm V_{th}$ 、第2の行電極 C_{32} の電位が0、第3と第4の行電極 C_{33} , C_{34} の電位が $\pm V_{th}$ で、第1の列電極 S_{31} の電位が0、第2の列電極 S_{32} の電位が $\pm V_{th}$ 、第3の列電極 S_{33} の電位が0のときの表示を示しており、このときは画素 e_1 , e_4 , e_6 が

点灯し、この3つの画素 e_1, e_4, e_6 のパターンが表示される。

【0110】図6の(32)は、第1と第2の行電極 C_{31}, C_{32} の電位が $\pm V_{th}$ 、第3と第4の行電極 C_{33}, C_{34} の電位が0で、第1の列電極 S_{31} の電位が0、第2の列電極 S_{32} の電位が $\pm V_{th}$ 、第3の列電極 S_{33} の電位が0のときの表示を示しており、このときは画素 e_1, e_5, e_6 が点灯し、この3つの画素 e_1, e_5, e_6 のパターンが表示される。

【0111】図7の(33)は、第1と第2の行電極 C_{31}, C_{32} の電位が0、第3と第4の行電極 C_{33}, C_{34} の電位が $\pm V_{th}$ で、第1の列電極 S_{31} の電位が0、第2と第3の列電極 S_{32}, S_{33} の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素 e_2, e_3, e_4 が点灯し、この3つの画素 e_2, e_3, e_4 のパターンが表示される。

【0112】図7の(34)は、第1の行電極 C_{31} の電位が0、第2の行電極 C_{32} の電位が $\pm V_{th}$ 、第3と第4の行電極 C_{33}, C_{34} の電位が0で、第1の列電極 S_{31} の電位が0、第2の列電極 S_{32} の電位が $\pm V_{th}$ 、第3の列電極 S_{33} の電位が0のときの表示を示しており、このときは画素 e_2, e_3, e_5 が点灯し、この3つの画素 e_2, e_3, e_5 のパターンが表示される。

【0113】図7の(35)は、第1の行電極 C_{31} の電位が0、第2の行電極 C_{32} の電位が $\pm V_{th}$ 、第3の行電極 C_{33} の電位が0、第4の行電極 C_{34} の電位が $\pm V_{th}$ で、第1の列電極 S_{31} の電位が0、第2の列電極 S_{32} の電位が $\pm V_{th}$ 、第3の列電極 S_{33} の電位が0のときの表示を示しており、このときは画素 e_2, e_3, e_6 が点灯し、この3つの画素 e_2, e_3, e_6 のパターンが表示される。

【0114】図7の(36)は、第1と第2の行電極 C_{31}, C_{32} の電位が0、第3の行電極 C_{33} の電位が $\pm V_{th}$ 、第4の行電極 C_{34} の電位が0で、第1の列電極 S_{31} の電位が0、第2の列電極 S_{32} の電位が $\pm V_{th}$ 、第3の列電極 S_{33} の電位が0のときの表示を示しており、このときは画素 e_2, e_4, e_5 が点灯し、この3つの画素 e_2, e_4, e_5 のパターンが表示される。

【0115】図7の(37)は、第1と第2の行電極 C_{31}, C_{32} の電位が0、第3と第4の行電極 C_{33}, C_{34} の電位が $\pm V_{th}$ で、第1の列電極 S_{31} の電位が0、第2の列電極 S_{32} の電位が $\pm V_{th}$ 、第3の列電極 S_{33} の電位が0のときの表示を示しており、このときは画素 e_2, e_4, e_6 が点灯し、この3つの画素 e_2, e_4, e_6 のパターンが表示される。

【0116】図7の(38)は、第1～第4の行電極 $C_{31}, C_{32}, C_{33}, C_{34}$ の電位がいずれも0で、第1の列電極 S_{31} の電位が0、第2の列電極 S_{32} の

電位が $\pm V_{th}$ 、第3の列電極 S_{33} の電位が0のときの表示を示しており、このときは画素 e_2, e_5, e_6 が点灯し、この3つの画素 e_2, e_5, e_6 のパターンが表示される。

【0117】図7の(39)は、第1と第2の行電極 C_{31}, C_{32} の電位が0、第3と第4の行電極 C_{33}, C_{34} の電位が $\pm V_{th}$ で、第1と第2の列電極 S_{31}, S_{32} の電位が0、第3の列電極 S_{33} の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素 e_3, e_4, e_5 が点灯し、この3つの画素 e_3, e_4, e_5 のパターンが表示される。

【0118】図7の(40)は、第1と第2の行電極 C_{31}, C_{32} の電位が0、第3の行電極 C_{33} の電位が $\pm V_{th}$ 、第4の行電極 C_{34} の電位が0で、第1と第2の列電極 S_{31}, S_{32} の電位が0、第3の列電極 S_{33} の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素 e_3, e_4, e_6 が点灯し、この3つの画素 e_3, e_4, e_6 のパターンが表示される。

【0119】図7の(41)は、第1の行電極 C_{31} の電位が0、第2の行電極 C_{32} の電位が $\pm V_{th}$ 、第3の行電極 C_{33} の電位が0、第4の行電極 C_{34} の電位が $\pm V_{th}$ で、第1～第3の列電極 S_{31}, S_{32}, S_{33} の電位がいずれも0のときの表示を示しており、このときは画素 e_3, e_5, e_6 が点灯し、この3つの画素 e_3, e_5, e_6 のパターンが表示される。

【0120】図7の(42)は、第1と第2の行電極 C_{31}, C_{32} の電位が0、第3と第4の行電極 C_{33}, C_{34} の電位が $\pm V_{th}$ で、第1～第3の列電極 S_{31}, S_{32}, S_{33} の電位がいずれも0のときの表示を示しており、このときは画素 e_4, e_5, e_6 が点灯し、この3つの画素 e_4, e_5, e_6 のパターンが表示される。

【0121】図7の(43)は、第1の行電極 C_{31} の電位が $\pm V_{th}$ 、第2の行電極 C_{32} の電位が0、第3と第4の行電極 C_{33}, C_{34} の電位が $\pm V_{th}$ で、第1と第2の列電極 S_{31}, S_{32} の電位が0、第3の列電極 S_{33} の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素 e_1, e_2, e_3, e_4 が点灯し、この4つの画素 e_1, e_2, e_3, e_4 のパターンが表示される。

【0122】図7の(44)は、第1の行電極 C_{31} の電位が $\pm V_{th}$ 、第2と第3の行電極 C_{32}, C_{33} の電位が0、第4の行電極 C_{34} の電位が $\pm V_{th}$ で、第1と第2の列電極 S_{31}, S_{32} の電位が0、第3の列電極 S_{33} の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素 e_1, e_2, e_3, e_5 が点灯し、この4つの画素 e_1, e_2, e_3, e_5 のパターンが表示される。

【0123】図7の(45)は、第1の行電極 C_{31} の電位が $\pm V_{th}$ 、第2～第4の行電極 $C_{32}, C_{33},$

電位が $\pm V_{th}$ 、第2の行電極C32の電位が0、第3の行電極C33の電位が $\pm V_{th}$ 、第4の行電極C34の電位が0で、第1の列電極S31の電位が0、第2と第3の列電極S32、S33の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素e1、e3、e4、e5、e6が点灯し、この5つの画素e1、e3、e4、e5、e6のパターンが表示される。

【0138】図7の(60)は、第1～第3の行電極C31、C32、C33の電位が $\pm V_{th}$ 、第4の行電極C34の電位が0で、第1と第2の列電極S31、S32の電位が0、第3の列電極S33の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素e1、e2、e4、e5、e6が点灯し、この5つの画素e1、e2、e4、e5、e6のパターンが表示される。

【0139】図7の(61)は、第1と第2の行電極C31、C32の電位が $\pm V_{th}$ 、第3の行電極C33の電位が0、第4の行電極C34の電位が $\pm V_{th}$ で、第1～第3の列電極S31、S32、S33の電位がいずれも0のときの表示を示しており、このときは画素e1、e2、e3、e5、e6が点灯し、この5つの画素e1、e2、e3、e5、e6のパターンが表示される。

【0140】図7の(62)は、第1～第4の行電極C31、C32、C33、C34の電位がいずれも $\pm V_{th}$ で、第1～第3の列電極S31、S32、S33の電位がいずれも0のときの表示を示しており、このときは画素e1、e2、e3、e4、e6が点灯し、この5つの画素e1、e2、e3、e4、e6のパターンが表示される。

【0141】図7の(63)は、第1の行電極C31の電位が $\pm V_{th}$ 、第2の行電極C32の電位が0、第3と第4の行電極C33、C34の電位が $\pm V_{th}$ で、第1と第2の列電極S31、S32の電位が0、第3の列電極S33の電位が $\pm V_{th}$ のときの表示を示しており、このときは画素e1、e2、e3、e4、e5が点灯し、この5つの画素e1、e2、e3、e4、e5のパターンが表示される。

【0142】図7の(64)は、第1～第4の行電極C31、C32、C33、C34の電位がいずれも $\pm V_{th}$ で、第1～第3の列電極S31、S32、S33の電位がいずれも0のときの表示を示しており、このときは全ての画素e1、e2、e3、e4、e5、e6が点灯し、その6つの画素e1、e2、e3、e4、e5、e6のパターンが表示される。

【0143】すなわち、この液晶表示素子は、一方の基板31に設けられた第1、第2、第3および第4の行電極C31、C32、C33、C34と、他方の基板32に設けられた第1、第2および第3の列電極S31、S32、S33とが上記のような対応関係にあるため、上記のようなスタティック駆動により2行3列の6つの画

素e1、e2、e3、e4、e5、e6の電極間電圧をそれぞれ制御することができ、したがって、各画素e1、e2、e3、e4、e5、e6の電極間のオフ電圧(実効電圧)を0にし、コントラストの高い表示を得ることができる。

【0144】しかも、この液晶表示素子は、2行3列に配列する6つの画素e1、e2、e3、e4、e5、e6からなるマトリクス表示領域Eを有するものであるが、そのマトリクス表示領域Eの電極数は、前記第1～第4の4つの行電極C31、C32、C33、C34と、前記第1～第3の3つの列電極S31、S32、S33だけでよいから、画素数に比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動することができる。

【0145】なお、上記実施例では、前記第1行の第1列と第2列の画素e1、e2の両方に対応する第1の行電極C31と、前記第2行の第2列と第3列の画素e5、e6の両方に対応する第4の行電極C34と、前記第1列の第1行と第2行の画素e1、e4の両方に対応する第1の列電極S31と、前記第2列の第1行と第2行の画素e2、e5の両方に対応する第2の列電極S32と、前記第3列の第1行と第2行の画素e3、e6の両方に対応する第3の列電極S33とをそれぞれ、その電極が対応する前記両方の画素のパターンにそれぞれ対応する形状に形成された2つの電極部と、この2つの電極部をつなぐリード部とからなる形状の電極としているが、これらの電極C31、C32、S31、S32、S33は、前記両方の画素のパターンにそれぞれ対応する形状の2つの電極部が直接連続した形状の電極でもよい。

【0146】図8および図9はこの発明の第3の実施例を示しており、図8はマトリクス液晶表示素子の分解斜視図、図9は前記液晶表示素子のマトリクス表示領域の画素配列図である。

【0147】この実施例のマトリクス液晶表示素子は、図9のように4行3列に配列する12の画素f1、f2、f3、f4、f5、f6、f7、f8、f9、f10、f11、f12からなる1つのマトリクス表示領域Fを有するものであり、前記12の画素f1～f12は、例えば、横長の矩形形状を、上下に2分割、左右に3分割したパターンを有している。

【0148】この液晶表示素子は、図8のような構成のものであり、図示しない液晶層を挟んで対向する前後一对の透明基板41、42のうち、一方の基板の内面、例えば前基板(図において上側の基板)41の内面に、前記マトリクス表示領域Fの第1行の第1列と第2列の画素f1、f2の両方に対応する第1の行電極C41と、前記第1行の第3列の画素f3に対応する第2の行電極C42と、第2行の第1列の画素f4に対応する第3の行電極C43と、前記第2行の第2列と第3列の画

素 f 5 , f 6 の両方に対応する第 4 の行電極 C 4 4 と、第 3 行の第 1 列と第 2 列の画素 f 7 , f 8 の両方に対応する第 5 の行電極 C 4 5 と、前記第 3 行の第 3 列の画素 f 9 に対応する第 6 の行電極 C 4 6 と、第 4 行の第 1 列の画素 f 1 0 に対応する第 7 の行電極 C 4 7 と、前記第 4 行の第 2 列と第 3 列の画素 f 1 1 , f 1 2 の両方に対応する第 8 の行電極 C 4 8 とが設けられ、他方の後基板 4 2 の内面に、前記マトリクス表示領域 F の第 1 列の第 1 行と第 2 行の画素 f 1 , f 4 の両方に対応する第 1 の列電極 S 4 1 と、前記第 1 列の第 3 行と第 4 行の画素 f 7 , f 8 の両方に対応する第 2 の列電極 S 4 2 と、第 2 列の第 1 行と第 2 行の画素 f 2 , f 5 の両方に対応する第 3 の列電極 S 4 3 と、前記第 2 列の第 3 行と第 4 行の画素 f 8 , f 1 1 の両方に対応する第 4 の列電極 S 4 4 と、第 3 列の第 1 行と第 2 行の画素 f 3 , f 6 の両方に対応する第 5 の列電極 S 4 5 と、前記第 3 列の第 3 行と第 4 行の画素 f 9 , f 1 2 の両方に対応する第 6 の列電極 S 4 6 とが設けられている。

【 0 1 4 9 】なお、この実施例では、前記第 1 行の第 1 列と第 2 列の画素 f 1 , f 2 の両方に対応する第 1 の行電極 C 4 1 と、前記第 2 行の第 2 列と第 3 列の画素 f 5 , f 6 の両方に対応する第 4 の行電極 C 4 4 と、前記第 3 行の第 1 列と第 2 列の画素 f 7 , f 8 の両方に対応する第 5 の行電極 C 4 5 と、前記第 4 行の第 2 列と第 3 列の画素 f 1 1 , f 1 2 の両方に対応する第 8 の行電極 C 4 8 とを、前記両方の画素 f 1 および f 2 , f 5 および f 6 , f 7 および f 8 , f 1 1 および f 1 2 のパターンにそれぞれ対応する形状の 2 つの電極部が直接連続した形状の電極とし、前記第 1 ~ 第 6 の列電極 S 4 1 , S 4 2 , S 4 3 , S 4 4 , S 4 5 , S 4 6 をそれぞれ、第 1 行と第 2 行または第 3 行と第 4 行の画素 f 1 および f 4 , f 7 および f 8 , f 2 および f 5 , f 8 および f 1 1 の両方に対応する形状の 2 つの電極部が直接連続した形状の電極としているが、これらの行電極 C 4 1 , C 4 4 , C 4 5 , C 4 8 および列電極 S 4 1 , S 4 2 , S 4 3 , S 4 4 , S 4 5 , S 4 6 は、その電極が対応する前記両方の画素のパターンにそれぞれ対応する形状に形成された 2 つの電極部と、この 2 つの電極部をつなぐリード部とからなる形状の電極でもよい。

【 0 1 5 0 】前記行電極 C 4 1 , C 4 2 , C 4 3 , C 4 4 , C 4 5 , C 4 6 , C 4 7 , C 4 8 と列電極 S 4 1 , S 4 2 , S 4 3 , S 4 4 , S 4 5 , S 4 6 は、いずれも I T O 等の透明導電膜からなる透明電極であり、前基板 4 1 に設けられた第 1 ~ 第 8 の行電極 C 4 1 ~ C 4 8 は、この前基板 4 1 の一端縁部に設けられた 8 つの行信号入力端子 4 3 にリード配線 4 4 を介してそれぞれ接続され、後基板 4 2 に設けられた第 1 ~ 第 6 の列電極 S 4 1 ~ S 4 6 は、この後基板 4 2 の一側縁部に設けられた 6 つの列信号入力端子 4 5 にリード配線 4 6 を介してそれぞれ接続されている。

【 0 1 5 1 】また、図では省略しているが、前記一對の基板 4 1 , 4 2 の内面にはそれぞれ、前記行電極 C 4 1 ~ C 4 8 および列電極 S 4 1 ~ S 4 6 を覆って配向膜が設けられている。

【 0 1 5 2 】そして、前記一對の基板 4 1 , 4 2 は、図に二点鎖線で示した枠状シール材 4 7 を介して接合されており、これらの基板 4 1 , 4 2 間の前記シール材 4 7 で囲まれた領域に、前記シール材 4 7 の所定個所に設けられた図示しない液晶注入口から充填された液晶層が設けられている。

【 0 1 5 3 】この液晶表示素子は、例えば T N 型のものであり、前記一對の基板 4 1 , 4 2 間の液晶層の液晶分子は電圧無印加状態において所定のツイスト角でツイスト配向しており、また、前記一對の基板 4 1 , 4 2 の外面にはそれぞれ図示しない偏光板が、それぞれの透過軸を所定の方向に向けて配置されている。

【 0 1 5 4 】この液晶表示素子は、前記第 1 の行電極 C 4 1 と前記第 1 の列電極 S 4 1 との間への印加電圧と、前記第 1 の行電極 C 4 1 と前記第 2 の列電極 S 4 2 との間への印加電圧と、前記第 2 の行電極 C 4 2 と前記第 3 の列電極 S 4 3 との間への印加電圧と、前記第 3 の行電極 C 4 3 と前記第 1 の列電極 S 4 1 との間への印加電圧と、前記第 4 の行電極 C 4 4 と前記第 2 の列電極 S 4 2 との間への印加電圧と、前記第 4 の行電極 C 4 4 と前記第 3 の列電極 S 4 3 との間への印加電圧と、前記第 5 の行電極 C 4 5 と前記第 4 の列電極 S 4 4 との間への印加電圧と、前記第 5 の行電極 C 4 5 と前記第 5 の列電極 S 4 5 との間への印加電圧と、前記第 6 の行電極 C 4 6 と前記第 6 の列電極 S 4 6 との間への印加電圧と、前記第 7 の行電極 C 4 7 と前記第 4 の列電極 S 4 4 との間への印加電圧と、前記第 8 の行電極 C 4 8 と前記第 5 の列電極 S 4 5 との間への印加電圧と、前記第 8 の行電極 C 4 8 と前記第 6 の列電極 S 4 6 との間への印加電圧とをそれぞれ制御することによりスタティック駆動される。

【 0 1 5 5 】その駆動は、前記第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8 の行電極 C 4 1 , C 4 2 , C 4 3 , C 4 4 , C 4 5 , C 4 6 , C 4 7 , C 4 8 に供給する行信号の電位と、前記第 1、第 2、第 3、第 4、第 5、第 6 の列電極 S 4 1 , S 4 2 , S 4 3 , S 4 4 , S 4 5 , S 4 6 に供給する行信号の電位とを、それぞれ 0 と $\pm V_{th}$ (0 に対して液晶のしきい値電圧以上の電位差をもつ所定値 n の正または負の極性の電位) とに制御することにより行なえばよい。

【 0 1 5 6 】なお、この実施例の液晶表示素子は、その表示領域 F の上半分の領域の行電極 C 4 1 , C 4 2 , C 4 3 , C 4 4 と列電極 S 4 1 , S 4 2 , S 4 3 との対応関係と、前記表示領域 F の下半分の領域の行電極 C 4 5 , C 4 6 , C 4 7 , C 4 8 と列電極 S 4 4 , S 4 5 , S 4 6 との対応関係とがそれぞれ、上記第 2 の実施例における行電極 C 3 1 , C 3 2 , C 3 3 , C 3 4 と列電極

S31, S32, S33との対応関係と実質的に同じであるため、前記表示領域Fの上半分の領域と下半分の領域とをそれぞれ上記第2の実施例と同様に駆動することにより、前記表示領域Fの上半分の2行3列の6つの画素f1, f2, f3, f4, f5, f6の点灯、非点灯を64通りに制御し、前記表示領域Fの下半分の2行3列の画素f7, f8, f9, f10, f11, f12の点灯、非点灯を64通りに制御することができ、したがって、前記表示領域Fの4行3列の12の画素f1, f2, f3, f4, f5, f6, f7, f8, f9, f10, f11, f12の点灯、非点灯を128通りに制御することができる。

【0157】すなわち、この実施例の液晶表示素子は、一方の基板41に設けられた第1～第8の行電極C41～C48と、他方の基板42に設けられた第1～第6の列電極S41～S46とが上記のような対応関係にあるため、スタティック駆動により4行3列の12の画素の電極間電圧をそれぞれ制御することができ、したがって、各画素の電極間のオフ電圧（実効電圧）を0にし、コントラストの高い表示を得ることができる。

【0158】しかも、この液晶表示素子は、4行3列の12の画素f1～f12からなるマトリクス表示領域Fを有するものであるが、そのマトリクス表示領域Fの電極数は、前記第1～第8の8つの行電極C41～C48と、前記第1～第6の6つの列電極S41～S46だけでよいから、画素数に比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動することができる。

【0159】なお、上述した第1、第2、第3の実施例の液晶表示素子は、2行2列に配列する4つの画素からなるマトリクス表示領域Dと、2行3列に配列する6つの画素からなるマトリクス表示領域Eと、4行3列に配列する12の画素からなるマトリクス表示領域Fとのうちの1つのマトリクス表示領域を有するものであるが、この発明は、液晶層が対応する表示エリア内に、複数のマトリクス表示領域を有するマトリクス液晶表示素子にも適用することができ、その場合、前記複数のマトリクス表示領域は、前記第1、第2、第3の実施例のうちの1つの実施例のマトリクス表示領域の組み合わせでも、異なる実施例のマトリクス表示領域の組み合わせでもよい。

【0160】

【発明の効果】この発明の液晶表示素子は、2行2列に配列する4つの画素からなる少なくとも1つのマトリクス表示領域を有し、一方の基板の内面に、前記マトリクス表示領域の第1行の第1列と第2列の画素の両方に対応する第1の行電極と、第2行の第1列の画素に対応する第2の行電極と、前記第2行の第2列の画素に対応する第3の行電極とが設けられ、他方の基板の内面に、前記マトリクス表示領域の第1列の第1行と第2

行の画素の両方に対応する第1の列電極と、第2列の第1行と第2行の画素の両方に対応する第2の列電極とが設けられ、前記第1の行電極と前記第1の列電極との間、前記第1の行電極と前記第2の列電極との間、前記第2の行電極と前記第1の列電極との間、および前記第3の行電極と前記第2の列電極との間への印加電圧をそれぞれ制御することによりスタティック駆動されるものであるため、各画素の電極間のオフ電圧（実効電圧）を0にし、コントラストの高い表示を得るとともに、画素数に比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動することができる。

【0161】また、この発明の他の液晶表示素子は、2行3列に配列する6つの画素からなる少なくとも1つのマトリクス表示領域を有し、一方の基板の内面に、前記マトリクス表示領域の第1行の第1列と第2列の画素の両方に対応する第1の行電極と、前記第1行の第3列の画素に対応する第2の行電極と、第2行の第1列の画素に対応する第3の行電極と、前記第2行の第2列と第3列の画素の両方に対応する第4の行電極とが設けられ、他方の基板の内面に、前記マトリクス表示領域の第1列の第1行と第2行の画素の両方に対応する第1の列電極と、第2列の第1行と第2行の画素の両方に対応する第2の列電極と、第3列の第1行と第2行の画素の両方に対応する第3の列電極とが設けられ、前記第1の行電極と前記第1の列電極との間、前記第1の行電極と前記第2の列電極との間、前記第2の行電極と前記第3の列電極との間、前記第3の行電極と前記第1の列電極との間、前記第4の行電極と前記第2の列電極との間、および前記第4の行電極と前記第3の列電極との間への印加電圧をそれぞれ制御することによりスタティック駆動されるものであるため、各画素の電極間のオフ電圧（実効電圧）を0にし、コントラストの高い表示を得るとともに、画素数に比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動することができる。

【0162】さらに、この発明の他の液晶表示素子は、上記のように、4行3列に配列する12の画素からなる少なくとも1つのマトリクス表示領域を有し、一方の基板の内面に、前記マトリクス表示領域の第1行の第1列と第2列の画素の両方に対応する第1の行電極と、前記第1行の第3列の画素に対応する第2の行電極と、第2行の第1列の画素に対応する第3の行電極と、前記第2行の第2列と第3列の画素の両方に対応する第4の行電極と、第3行の第1列と第2列の画素の両方に対応する第5の行電極と、前記第3行の第3列の画素に対応する第6の行電極と、第4行の第1列の画素に対応する第7の行電極と、前記第4行の第2列と第3列の画素の両方に対応する第8の行電極とが設けられ、他方の基板の内面に、前記マトリクス表示領域の第1列の第1行と第2行の画素の両方に対応する第1の列電極と、前記

第1列の第3行と第4行の画素の両方に対応する第2の列電極と、第2列の第1行と第2行の画素の両方に対応する第3の列電極と、前記第2列の第3行と第4行の画素の両方に対応する第4の列電極と、第3列の第1行と第2行の画素の両方に対応する第5の列電極と、前記第3列の第3行と第4行の画素の両方に対応する第6の列電極とが設けられ、前記第1の行電極と前記第1の列電極との間、前記第1の行電極と前記第2の列電極との間、前記第2の行電極と前記第3の列電極との間、前記第3の行電極と前記第1の列電極との間、前記第4の行電極と前記第2の列電極との間、前記第4の行電極と前記第3の列電極との間、前記第5の行電極と前記第4の列電極との間、前記第5の行電極と前記第5の列電極との間、前記第6の行電極と前記第6の列電極との間、前記第7の行電極と前記第4の列電極との間、前記第8の行電極と前記第5の列電極との間、および前記第8の行電極と前記第6の列電極との間への印加電圧をそれぞれ制御することによりスタティック駆動されるものであるため、各画素の電極間のオフ電圧（実効電圧）を0にし、コントラストの高い表示を得るとともに、画素数に比べて少ない行信号出力端子数および列信号出力端子数の駆動回路素子を用いて駆動することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例を示すマトリクス液晶表示素子の分解斜視図。

【図2】第1の実施例の液晶表示素子のマトリクス表示領域の画素配列図。

【図3】第1の実施例の液晶表示素子の表示例を示す図。

【図4】この発明の第2の実施例を示すマトリクス液晶表示素子の分解斜視図。

【図5】第2の実施例の液晶表示素子のマトリクス表示領域の画素配列図。

【図6】第2の実施例の液晶表示素子の表示例を示す図。

【図7】第2の実施例の液晶表示素子の表示例を示す図。

【図8】この発明の第3の実施例を示すマトリクス液晶表示素子の分解斜視図。

【図9】第3の実施例の液晶表示素子のマトリクス表示領域の画素配列図。

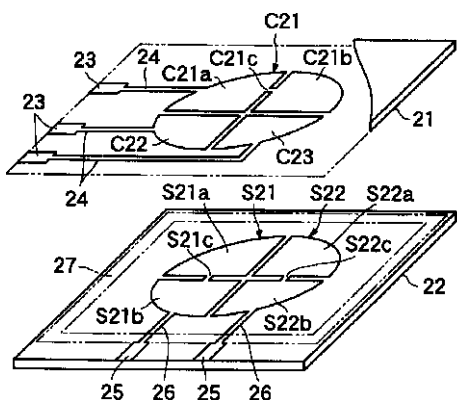
【図10】従来のスタティック駆動されるマトリクス液晶表示素子の分解斜視図。

【図11】従来の時分割駆動されるマトリクス液晶表示素子の分解斜視図。

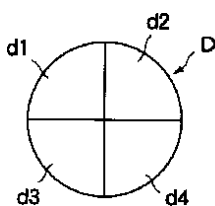
【符号の説明】

- 21, 22...基板
- C21, C22, C23...行電極
- D21, D22...列電極
- 31, 32...基板
- C31, C32, C33, C34...行電極
- D31, D32, D33...列電極
- 41, 42...基板
- C41, C42, C43, C44, C45, C46, C47, C48...行電極
- D41, D42, D43, D44, D46, D46...列電極

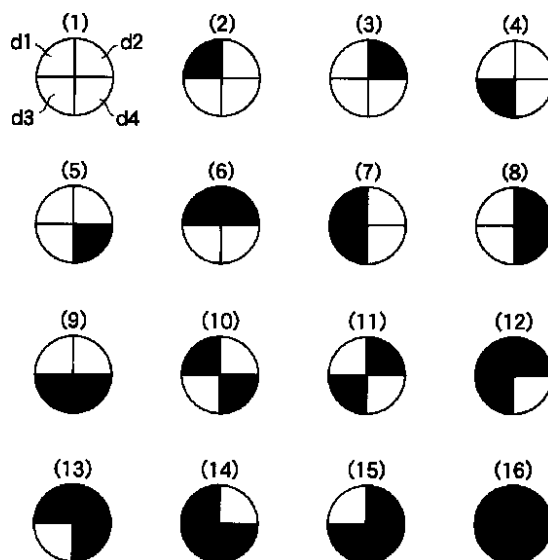
【図1】



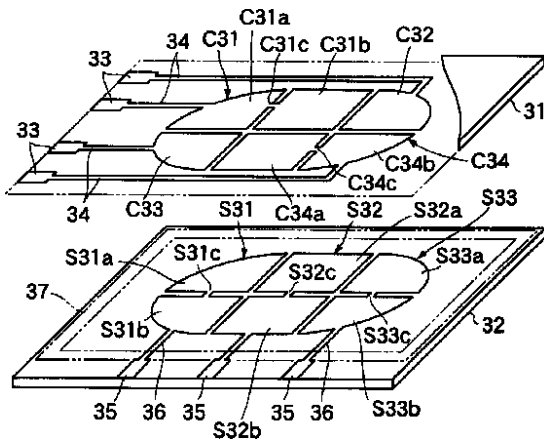
【図2】



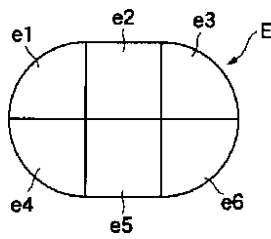
【図3】



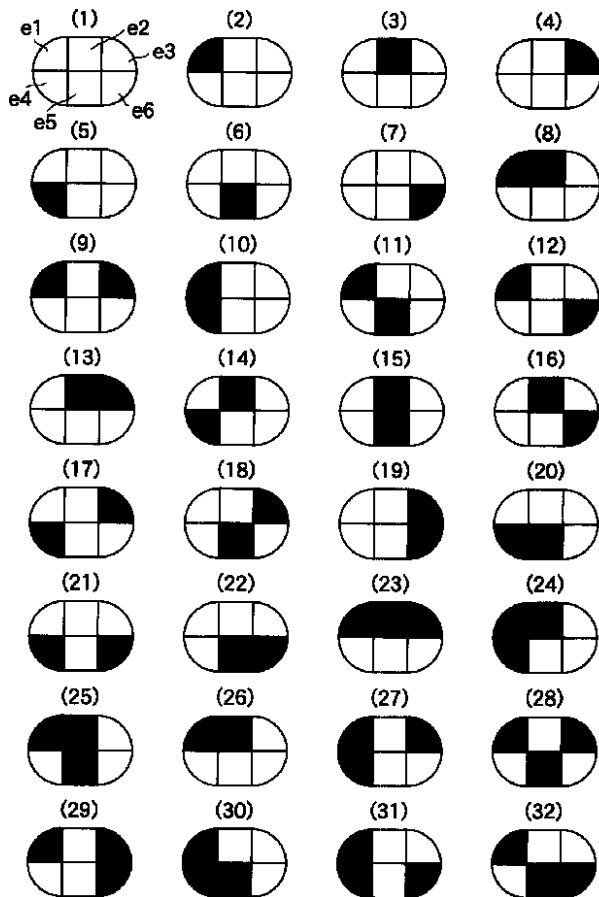
【図4】



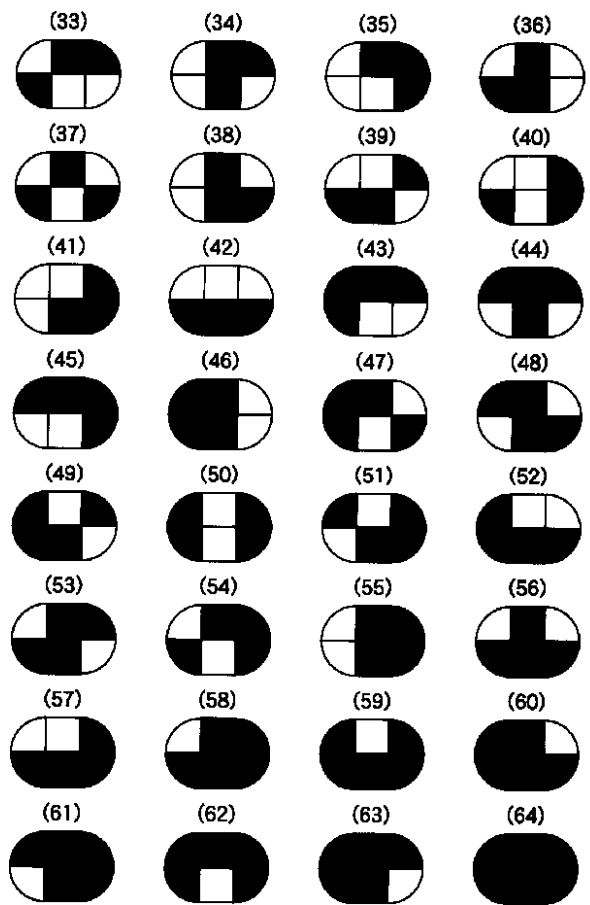
【図5】



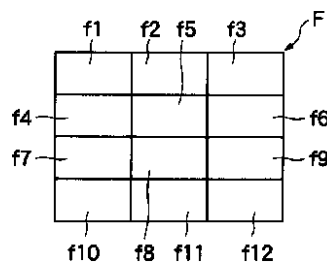
【図6】



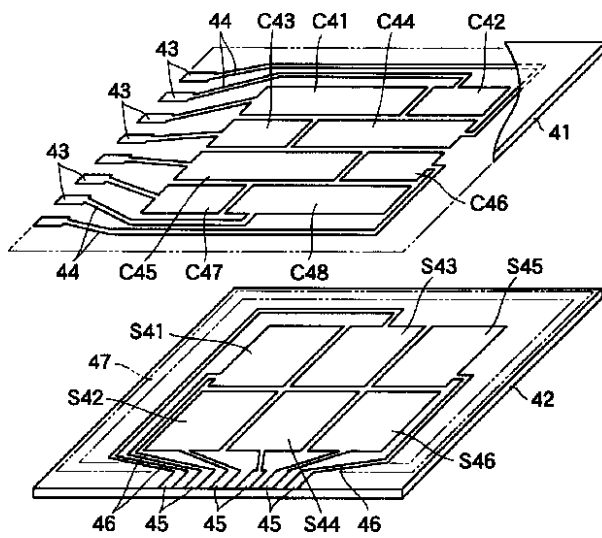
【図7】



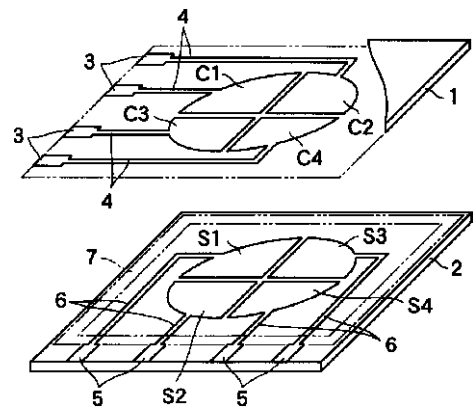
【図9】



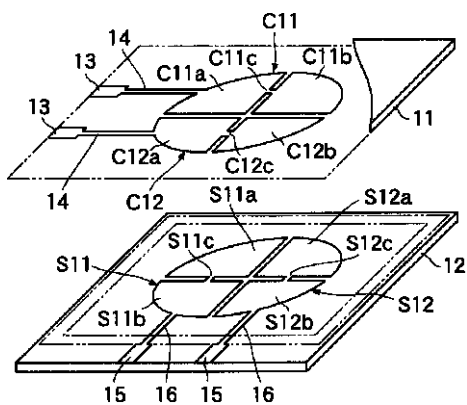
【図8】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.⁷
G 0 9 G 3/36

識別記号

F I
G 0 9 G 3/36

テ-マ-コ-ド (参考)

F タ-ム(参考) 2H092 GA06 GA13 GA40 NA01 PA06
 2H093 NA01 NC02 ND04 NE03 NE07
 5C006 AC01 BB01 BB12 FA43 FA54
 5C080 AA10 BB01 BB05 DD01 DD22
 FF08 JJ01 JJ06
 5C094 AA06 AA45 BA03 BA43 CA19
 CA24 EA04 EA07 EB02 FB12

专利名称(译)	矩阵液晶显示元件		
公开(公告)号	JP2001272649A	公开(公告)日	2001-10-05
申请号	JP2000085011	申请日	2000-03-24
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	西野利晴		
发明人	西野 利晴		
IPC分类号	G02F1/1343 G02F1/133 G09F9/30 G09G3/18 G09G3/20 G09G3/36		
FI分类号	G02F1/133.505 G02F1/1343 G09F9/30.343.Z G09G3/18 G09G3/20.620.A G09G3/36 G09F9/30.343		
F-TERM分类号	2H092/GA06 2H092/GA13 2H092/GA40 2H092/NA01 2H092/PA06 2H093/NA01 2H093/NC02 2H093/ND04 2H093/NE03 2H093/NE07 5C006/AC01 5C006/BB01 5C006/BB12 5C006/FA43 5C006/FA54 5C080/AA10 5C080/BB01 5C080/BB05 5C080/DD01 5C080/DD22 5C080/FF08 5C080/JJ01 5C080/JJ06 5C094/AA06 5C094/AA45 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/EA04 5C094/EA07 5C094/EB02 5C094/FB12 2H193/ZB51 2H193/ZF02 2H193/ZP03		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过将每个像素和电极之间的关断电压（有效电压）设置为0来获得高对比度显示，并通过使用行信号输出端子编号和列的驱动电路元件来驱动像素信号输出端子数小于像素数。解决方案：该矩阵液晶显示元件具有矩阵显示区域，该矩阵显示区域由排列有2行和2列的四个像素组成。基板21具有与第1列的第1列和第2列的像素对应的第1行电极C21，与第2列的第1列的像素对应的第2行电极C22，以及第3列电极C23。对应于第2行的第2列的像素。另一个基板22设置有与第一列的第一列和第二列的两个像素对应的列电极S21，以及与第一列的第一行和第二列的两个像素对应的第二列电极S22，从而通过分别控制跨电极C21和S21，C21和S22，C22和S21以及C23和S22施加的电压来静态地驱动像素。

