(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-181154
(P2008-181154A)
(43)公開日　平成20年8月7日(2008.8.7)

(51)Int.Cl.			F I			テーマコード（参考）
G02F	1/1345	(2006.01)	G02F	1/1345		2H092
G02F	1/133	(2006.01)	G02F	1/133	550	2H093
G09G	3/20	(2006.01)	G09G	3/20	660Q	5C006
G09G	3/36	(2006.01)	G09G	3/20	623V	5C080
G09F	9/30	(2006.01)	G09G	3/20	623L	5C094

審査請求 有　請求項の数 1　OL　（全 10 頁）　最終頁に続く

(21)出願番号　特願2008-86086(P2008-86086)
(22)出願日　平成20年3月28日(2008.3.28)
(62)分割の表示　特願2005-308582(P2005-308582)の分割
原出願日　平成9年12月16日(1997.12.16)

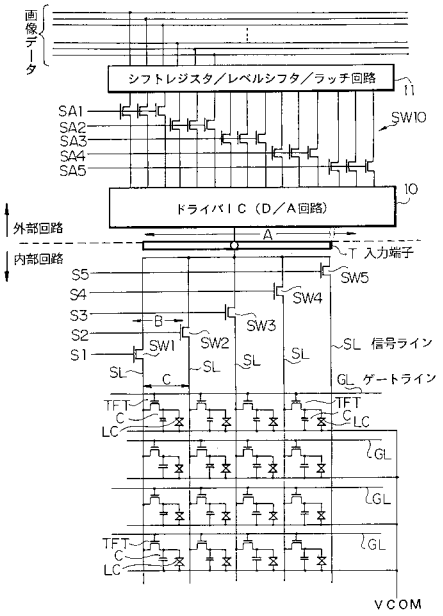
(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100086298
弁理士　船橋　國則
(72)発明者　猪野　益充
東京都港区港南１丁目７番１号　ソニー株式会社内

Fターム(参考)　2H092 GA33 GA41 GA50 GA59 JA24 KA04 NA25
2H093 NA16 NA42 NC12 NC13 NC24 NC34 ND42 NE03

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【要約】
【課題】外部回路との接続を行う接続端子の占める長さを短くして液晶表示装置の小型化図ること。
【解決手段】本発明は、基板に複数の画素がマトリクス状に配列された画像表示領域と、基板の画像表示領域の周辺に設けられる余白領域と、複数画素単位で構成される組毎にその組内の各画素への信号入力を時分割で切り換える複数のスイッチ回路と、複数のスイッチ回路へ信号を与える外部回路との接続を行う複数の接続端子とを備えており、複数の接続端子のピッチをA、前記複数のスイッチ回路のピッチをB、前記画像表示領域の複数の画素のピッチをC、前記複数の接続端子の１つから前記複数の画素へ時分割で信号を送る際の時分割数をｎ（ｎは２以上の自然数）とした場合、Ａ／ｎ≦Ｂ≦Ｃの全ての関係を満足するとともに、複数の接続端子が基板の片側の余白領域に設けられている液晶表示装置である。
【選択図】図１



【特許請求の範囲】
【請求項１】
基板に所定のピッチで複数の画素がマトリクス状に配列された画像表示領域と、
前記基板の画像表示領域の周辺に設けられる余白領域と、
前記画像表示領域における複数画素単位で構成される組毎にその組内の各画素への信号入力を時分割で切り換える複数のスイッチ回路と、
前記複数のスイッチ回路へ信号を与える外部回路との接続を行うため、前記組毎に対応して前記余白領域に設けられる複数の接続端子とを備えており、
前記複数のスイッチ回路がポリシリコンを用いて形成され、前記複数のスイッチ回路の各ゲート電極の位置が各スイッチ回路と対応する複数の画素の並びの方向において隣接するスイッチ回路の領域と重複しないよう配置されている液晶表示装置であって、
前記複数の接続端子のピッチをＡ、前記複数のスイッチ回路のピッチをＢ、前記画像表示領域の複数の画素のピッチをＣ、前記複数の接続端子の１つから前記複数の画素へ時分割で信号を送る際の時分割数をｎ（ｎは２以上の自然数）とした場合、
Ａ／ｎ≦Ｂ≦Ｃ
の全ての関係を満足するとともに、
前記複数の接続端子が前記基板の片側の余白領域に設けられている
ことを特徴とする液晶表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、マトリクス状に配列された複数の画素にドライバ回路から信号を与えて画像の表示を行う液晶表示装置に関する。
【背景技術】
【０００２】
液晶表示装置は、例えば各画素に対応したＴＦＴ（Thin Film Transistor）が形成された駆動側基板と、カラーフィルタ等が形成された対向側基板との間に液晶を封入したものを備えており、ＴＦＴを駆動することによって画素に対応した液晶の配向を切り換えて所望の画像表示を行っている。
【０００３】
図５は従来の液晶表示装置を説明する回路図（その１）である。この液晶表示装置では、ドライバＩＣ１０から図中縦方向に出力される複数本の信号ラインＳＬと図中横方向に配線される複数本のゲートラインＧＬとを備えており、各信号ラインＳＬと各ゲートラインＧＬとが交差する位置に各画素が設けられている。また、各画素には、液晶ＬＣを駆動するためのＴＦＴとコンデンサＣとが設けられている。
【０００４】
このゲートラインＧＬがＯＮとなると、ゲートラインＧＬに接続されたＴＦＴがＯＮになる。この状態でドライバＩＣ１０から信号ラインを介して画像に対応した信号が与えられることでＯＮになったＴＦＴを介してその信号がコンデンサＣに充電される。
【０００５】
これによって、信号が与えられた画素の液晶ＬＣの透過率が変化するとともに、コンデンサＣの充電電圧によって光の透過状態を次にＴＦＴがＯＮになるまで維持できるようになっている。
【０００６】
また、図６は従来の液晶表示装置を説明する回路図（その２）である。この液晶表示装置は多階調表示を行うもので、複数画素の組に対応した出力線を備えるドライバＩＣ１０と、このドライバＩＣ１０の出力線を対応する組の各画素の信号ラインＳＬに時分割で切り換えるスイッチ回路ＳＷ１～ＳＷ５とを備えている。
【０００７】
例えば、３本単位のデジタル画像データから各々８ビットの信号がドライバＩＣ１０に

入力され、このドライバＩＣ１０からは８ビットの信号に対応したアナログ信号が順に出力される。

【０００８】

スイッチ回路ＳＷ１～ＳＷ５では、このドライバＩＣ１０から順に出力されるアナログ信号を時分割で切り換えて対応する画素の信号ラインＳＬへ送るようにしている。これによって、各画素８階調の画像表示を行うことができるようになっている（例えば、特許文献１参照。）。

【０００９】

【特許文献１】特開平４－５２６８４号公報

【発明の開示】

【発明が解決しようとする課題】

【００１０】

しかしながら、いずれの液晶表示装置においても、ドライバＩＣと基板に形成された画素へのゲートラインとの接続を行う端子のピッチを規定しておらず、その端子を用いたＴＡＢ（Tape Automated Bonding）の接続範囲に無駄が生じている。つまり、画像表示を行う領域よりも接続範囲の方が広く、画像表示領域の周辺に多くの余白（いわゆる額縁領域）が存在することになる。これによって液晶表示装置の小型化を妨げたり、製造歩留りの低下を招いている。

【課題を解決するための手段】

【００１１】

本発明はこのような課題を解決するために成された液晶表示装置である。すなわち、本発明は、基板に所定のピッチで複数の画素がマトリクス状に配列された画像表示領域と、基板の画像表示領域の周辺に設けられる余白領域と、画像表示領域における複数画素単位で構成される組毎にその組内の各画素への信号入力を時分割で切り換える複数のスイッチ回路と、複数のスイッチ回路へ信号を与える外部回路との接続を行うため、組毎に対応して余白領域に設けられる複数の接続端子とを備えており、複数のスイッチ回路がポリシリコンを用いて形成され、複数のスイッチ回路の各ゲート電極の位置が各スイッチ回路と対応する複数の画素の並びの方向において隣接するスイッチ回路の領域と重複しないよう配置されている液晶表示装置であって、複数の接続端子のピッチをＡ、前記複数のスイッチ回路のピッチをＢ、前記画像表示領域の複数の画素のピッチをＣ、前記複数の接続端子の１つから前記複数の画素へ時分割で信号を送る際の時分割数をｎ（ｎは２以上の自然数）とした場合、Ａ／ｎ≦Ｂ≦Ｃの全ての関係を満足するとともに、複数の接続端子が基板の片側の余白領域に設けられている液晶表示装置である。

【００１２】

ここで、液晶表示装置の他の例としては、基板に所定のピッチで複数の画素がマトリクス状に配列された画像表示領域と、基板の画像表示領域の周辺に設けられる余白領域と、画像表示領域の各画素へ信号を送る外部回路との接続を行うため、余白領域に形成された複数の接続端子とを備える液晶表示装置において、複数の接続端子のピッチをＡ、画像表示領域の複数の画素のピッチをＣ、複数の接続端子の１つから複数の画素へ時分割で信号を送る際の時分割数をｎとした場合、Ａ／ｎ＜Ｃの関係を満足することにより、余白領域における複数の接続端子の占める長さが画像表示領域の全体の長さより短くなっているものである。また、他の例としては、基板に所定のピッチで複数の画素がマトリクス状に配列された画像表示領域と、基板の画像表示領域の周辺に設けられる余白領域と、画像表示領域における複数画素単位で構成される組毎にその組内の各画素への信号入力を時分割で切り換える複数のスイッチ回路と、複数のスイッチ回路へ信号を与える外部回路との接続を行うため、組毎に対応して余白領域に設けられる複数の接続端子とを備える液晶表示装置において、画像表示領域における各組内の複数の画素のピッチをＣ、複数の接続端子のピッチをＡ、複数のスイッチ回路における時分割数をｎとした場合、Ａ／ｎ＜Ｃの関係を満足することにより、余白領域における複数の接続端子の占める長さが画像表示領域の全体の長さより短くなっているものである。

【００１３】
また、他の例としては、基板に所定のピッチで複数の画素がマトリクス状に配列された画像表示領域と、基板の画像表示領域の周辺に設けられる余白領域と、画像表示領域の各画素へ信号を送る外部回路との接続を行うため、余白領域に形成された複数の接続端子とを備える液晶表示装置において、複数の接続端子の１本に対して画素へ信号を与える１本の信号ラインが接続される場合、前記複数の接続端子のピッチを前記複数の画素のピッチ以下にすることで、余白領域における複数の接続端子の占める長さが画像表示領域の全体の長さより短くなっているものである。
【００１４】
また、その他の例としては、基板に所定のピッチで複数の画素がマトリクス状に配列された画像表示領域と、基板の画像表示領域の周辺に設けられる余白領域と、画像表示領域の各画素へ信号を送るドライバＩＣと、ドライバＩＣとの接続を行うため、余白領域に設けられる複数の接続端子とを備える液晶表示装置において、複数の接続端子のピッチをＡ、画像表示領域の複数の画素のピッチをＣ、複数の接続端子の１つから複数の画素へ時分割で信号を送る際の時分割数をｎとした場合、Ａ／ｎ＜Ｃの関係を満足することにより、余白領域における複数の接続端子の占める長さが画像表示領域の全体の長さより短くなっているものである。
【００１５】
また、その他の例としては、基板に所定のピッチで複数の画素がマトリクス状に配列された画像表示領域と、基板の画像表示領域の周辺に設けられる余白領域と、画像表示領域における複数画素単位で構成される組毎にその組内の各画素への信号入力を時分割で切り換える複数のスイッチ回路と、複数のスイッチ回路へ信号を与えるドライバＩＣと、ドライバＩＣとの接続を行うため、組毎に対応して余白領域に設けられる複数の接続端子とを備える液晶表示装置において、画像表示領域における各組内の複数の画素のピッチをＣ、複数の接続端子のピッチをＡ、複数のスイッチ回路における時分割数をｎとした場合、Ａ／ｎ＜Ｃの関係を満足することにより、余白領域における複数の接続端子の占める長さが画像表示領域の全体の長さより短くなっている。
【００１６】
また、その他の例としては、基板に所定のピッチで複数の画素がマトリクス状に配列された画像表示領域と、基板の画像表示領域の周辺に設けられる余白領域と、画像表示領域の各画素へ信号を送るドライバＩＣと、ドライバＩＣとの接続を行うため、余白領域に形成された複数の接続端子とを備える液晶表示装置において、複数の接続端子の１本に対して画素へ信号を与える１本の信号ラインが接続される場合、複数の接続端子のピッチを複数の画素のピッチ以下にすることで、余白領域における複数の接続端子の占める長さが画像表示領域の全体の長さより短くなっているものである。
【００１７】
このような本発明では、複数の接続端子のピッチが、画像表示領域の複数の画素におけるピッチ以下または画像表示領域の複数画素から構成される複数の組のピッチ以下になっていることから、複数の接続端子における全体の長さを画像表示領域の全体の長さ以下にすることができ、画像表示領域の周辺領域（余白領域）を小さくすることができるようになる。
【発明の効果】
【００１８】
したがって、本発明によれば次のような効果がある。すなわち、外部回路との接続を行う複数の接続端子のピッチを画素のピッチ以下または複数画素から構成される複数の組のピッチ以下にすることで、複数の接続端子における全体の長さを画像表示領域の全体の長さ以下にすることができ、画像表示領域の周辺領域（余白領域）を小さくすることが可能となる。これにより、画像表示領域の周辺における無駄な部分を小さくでき、液晶表示装置全体の小型化を図ることが可能となる。
【００１９】

また、液晶表示装置全体の小型化を図ることができることから、同じ面積の基板から数多くの液晶表示装置用パネルを製造することができ、液晶表示装置の製造歩留りを向上させることが可能となる。

【発明を実施するための最良の形態】

【００２０】

以下に、本発明の液晶表示装置における実施の形態を図に基づいて説明する。図１は本実施形態の液晶表示装置を説明する回路図である。すなわち、この液晶表示装置は、デジタル画像データをシフトレジスタ／レベルシフタ／ラッチ回路１１および第１スイッチ回路ＳＷ１０を介して受けてアナログデータに変換するドライバＩＣ（Ｄ／Ａ回路）１０と、ドライバＩＣ１０の出力線の１本に対して複数の信号ラインＳＬに対応した入力端子Ｔと、複数の信号ラインＳＬに各々設けられた第２スイッチ回路ＳＷ１～ＳＷ５と、マトリクス状に配置された画素の液晶ＬＣを駆動するＴＦＴおよびコンデンサＣとを備えている。

【００２１】

特に、本実施形態の液晶表示装置では、外部回路であるドライバＩＣ１０の出力線と内部回路である第２スイッチ回路ＳＷ１～ＳＷ５への入力線とを接続する入力端子Ｔのピッチを、画素のピッチＣや複数画素から成る組のピッチに基づいて規定することで、全ての入力端子Ｔの占める長さ（図中横方向の長さ。以下説明において同様）を画像表示領域の全体の長さ以下にしている点に特徴がある。

【００２２】

図２は本実施形態で適用されるＴＦＴの構造を説明する断面図であり、（ａ）は逆スタガ型、（ｂ）はスタガ型を示している。すなわち、（ａ）に示す逆スタガ型では、ガラス等の基板１００の上にゲート電極１０１が形成され、その上にゲート絶縁膜１０２を介してポリシリコンＰ－Ｓｉが形成されている。なお、ポリシリコンＰ－Ｓｉの代わりにアモルファスシリコンを形成してもよい。

【００２３】

また、このポリシリコンＰ－Ｓｉのゲート電極１０１と対応する部分の両側にはＮ⁻領域から成るソース領域およびドレイン領域が形成されている。そのうちのソース領域にはソース電極ＳＤが接続され、ドレイン領域にはドレイン電極ＤＤが接続されている。

【００２４】

（ｂ）に示すスタガ型では、ガラス等の基板１００の上にポリシリコンＰ－Ｓｉが形成され、その上にゲート絶縁膜１０２を介してゲート電極１０１が形成されている。また、このポリシリコンＰ－Ｓｉのゲート電極１０１と対応する部分の両側にＮ⁻領域から成るソース領域およびドレイン領域が形成され、そのうちいのソース領域にはソース電極ＳＤが接続され、ドレイン領域にはドレイン電極ＤＤが接続されている。

【００２５】

いずれのＴＦＴであっても、そのゲート電極１０１が図１に示すゲートラインＧＬに接続され、このゲートラインＧＬに電圧が印加されることによってＴＦＴがＯＮ状態となる。また、ソース電極ＳＤは図１に示す信号ラインＳＬに接続され、ドレイン電極ＤＤは対向電極電位ＶＣＯＭに接続されている。

【００２６】

すなわち、ゲートラインＧＬに電圧が印加された状態で信号ラインＳＬに信号が与えられると、ＴＦＴのソース電極ＳＤからドレイン電極ＤＤへ電流が流れ、図１に示す液晶ＬＣの光の透過状態を変えることができるようになる。

【００２７】

なお、第２スイッチ回路ＳＷ１～ＳＷ５も上記と同様なＴＦＴによって構成されている。

【００２８】

次に、入力端子Ｔのピッチと、第２スイッチ回路ＳＷ１～ＳＷ５のピッチＢと、画素のピッチＣとの関係について説明する。図３は入力端子のピッチ、第２スイッチ回路のピ

ッチ、画素のピッチの関係を説明する模式図である。なお、この図では、１つの入力端子に４つの第２スイッチ回路が接続されている例を示している。

【００２９】

入力端子Ｔ１の出力線は４本の信号ラインに接続され、各信号ラインには第２スイッチＳＷ１１～ＳＷ１４が各々設けられている。また、入力端子Ｔ２の出力線は４本の信号ラインに接続され、各信号ラインには第２スイッチＳＷ２１～ＳＷ２４が各々設けられている。

【００３０】

第２スイッチ回路ＳＷ１１～ＳＷ１４、ＳＷ２１～ＳＷ２４は時分割で切り換えが行われ、入力端子Ｔ１、Ｔ２から出力される信号を順に対応する画素へ与えるようになっている。この例では、４分割周期で切り換えが行われる。

【００３１】

このような構成の液晶表示装置において、本実施形態ではその入力端子Ｔ１、Ｔ２のピッチＡと画素のピッチＣとの関係として、以下の（１）式を満たすようにしている。

【００３２】

$$A / n \leqq C \quad \cdots (1)$$

ここで、ｎは時分割数である。

【００３３】

つまり、上記の例では、時分割数が４であるから、ピッチＡの１／４がピッチＣ以下となるようにする。

【００３４】

これによって、全ての入力端子の占める長さを全ての画素の占める長さ（すなわち、有効画像領域の長さ）以下にすることが可能となる。

【００３５】

また、本実施形態では入力端子Ｔ１、Ｔ２のピッチＡと第２スイッチ回路ＳＷ１１～ＳＷ１４のピッチＢとの関係として、以下の（２）式を満たすようにしている。

【００３６】

$$A / n \leqq B \quad \cdots (2)$$

ここで、ｎは時分割数である。

【００３７】

つまり、上記の例では、時分割数が４であるから、ピッチＡの１／４がピッチＢ以下となるようにする。

【００３８】

これによって、全ての入力端子の占める長さを全ての第２スイッチ回路の占める長さ以下にすることが可能となる。

【００３９】

さらに、本実施形態では第２スイッチ回路ＳＷ１１～ＳＷ１４のピッチＢと画素のピッチＣとの関係として、以下の（３）式を満たすようにしている。

【００４０】

$$B \leqq C \quad \cdots (3)$$

【００４１】

すなわち、第２スイッチ回路ＳＷ１１～ＳＷ１４のピッチＢを画素のピッチＣ以下にすることで、全ての第２スイッチ回路の占める長さを全ての画素の占める長さ（すなわち、有効画像領域の長さ）以下にすることが可能となる。

【００４２】

また、図３に示す例では、入力端子１本に対して４本の信号ラインが接続され、これを時分割で切り換えて対応する画素へ信号を与えるものについて説明したが、入力端子１本に対して１本の信号ラインが接続されているものの場合は、その入力端子のピッチを画素のピッチ以下にするようにする。これによって上記と同様、全ての入力端子の占める長さを全ての画素の占める長さ（すなわち、有効画像領域の長さ）以下にすることが可能とな

る。

【００４３】

図４は液晶表示装置の平面視面積を説明する図で、（ａ）が従来の液晶表示装置、（ｂ）が本実施形態の液晶表示装置の例である。

【００４４】

すなわち、（ａ）に示す従来の液晶表示装置では、複数のドライバＩＣ１０ａ～１０ｄをフレキシブル配線Ｆによって基板１００の接続領域ＴＳに接続しているが、上記説明したような画素ピッチと接続領域ＴＳでの入力端子ピッチとの関係が規定されていないことから、有効画像領域Ｓの長さより接続領域ＴＳの長さの方が長くなっている。

【００４５】

一方、（ｂ）に示す本実施形態の液晶表示装置でも、従来と同様に複数のドライバＩＣ１０ａ～１０ｄをフレキシブル配線Ｆによって基板１００の余白領域の片側にある接続領域ＴＳに接続しているが、上記説明のような画素ピッチと接続領域ＴＳでの入力端子ピッチとの関係を規定していることで、接続領域ＴＳの長さと有効画像領域Ｓの長さとを等しく（または、短く）できるようになっている。

【００４６】

本実施形態では、このように従来に比べて接続領域ＴＳの長さを短くできることから、有効画像領域Ｓの周辺に形成される余白領域（いわゆる額縁領域）を大幅に縮小することができ、液晶表示装置の平面視面積を小さくすることが可能となる。

【図面の簡単な説明】

【００４７】

【図１】本実施形態の液晶表示装置を説明する回路図である。

【図２】本実施形態で適用されるＴＦＴの構造を説明する断面図である。

【図３】各ピッチの関係を説明する模式図である。

【図４】液晶表示装置の平面視面積を説明する図である。

【図５】従来の液晶表示装置を説明する回路図（その１）である。

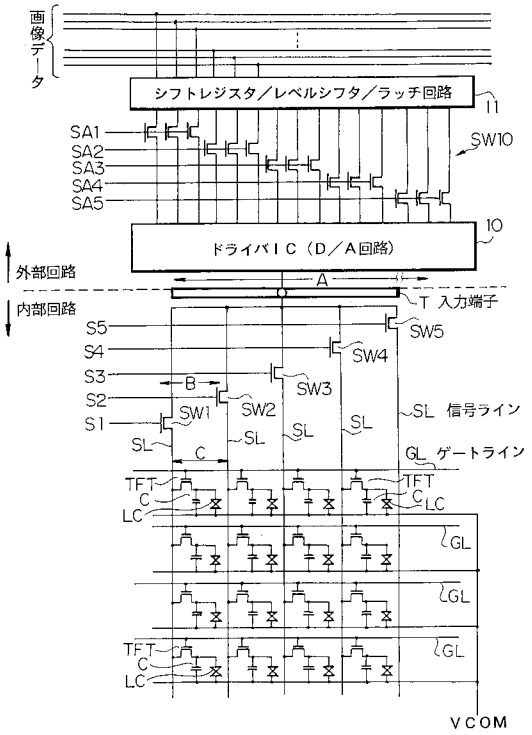
【図６】従来の液晶表示装置を説明する回路図（その２）である。

【符号の説明】

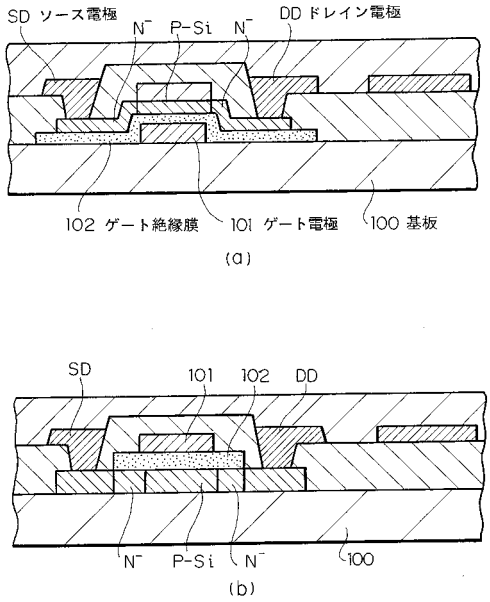
【００４８】

１０…ドライバＩＣ、Ｔ…入力端子、ＧＬ…ゲートライン、ＳＬ…信号ライン、ＳＷ１～ＳＷ５…第２スイッチ回路

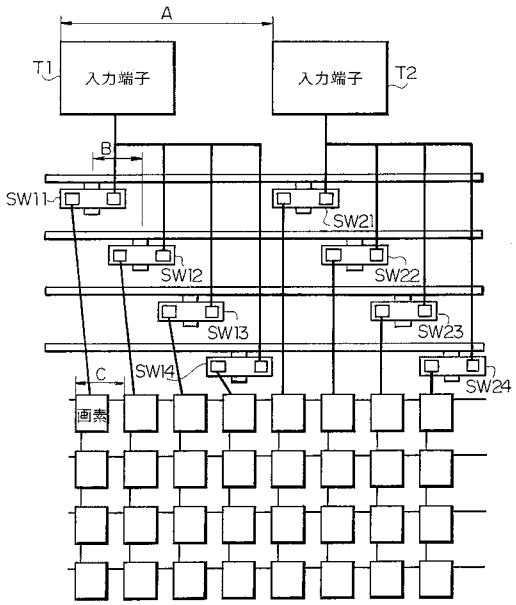
【図１】


画像データ
シフトレジスタ／レベルシフタ／ラッチ回路
11
SA1
SA2
SA3
SA4
SA5
SW10
ドライバＩＣ（Ｄ／Ａ回路）
10
外部回路
内部回路
A
T 入力端子
S5
S4
S3
S2
S1
SW5
SW4
SW3
SW2
SW1
B
C
SL
SL 信号ライン
GL ゲートライン
TFT
C
LC
GL
VCOM

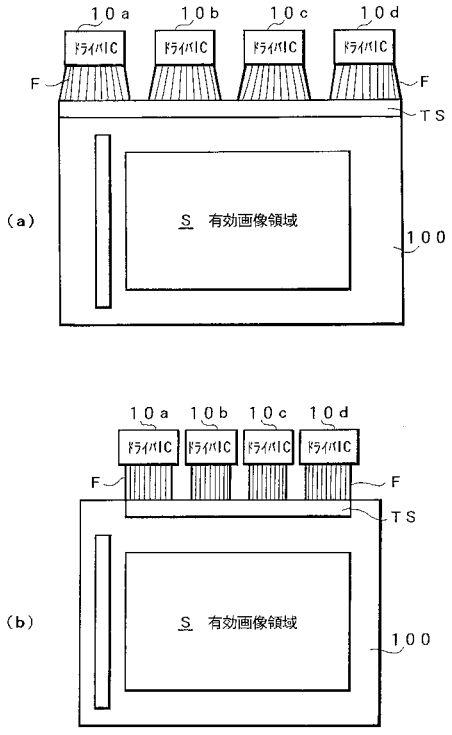
【図２】


SD ソース電極
N⁻
P-Si
N⁻
DD ドレイン電極
102 ゲート絶縁膜
101 ゲート電極
100 基板
(a)
SD
101
102
DD
N⁻
P-Si
N⁻
100
(b)

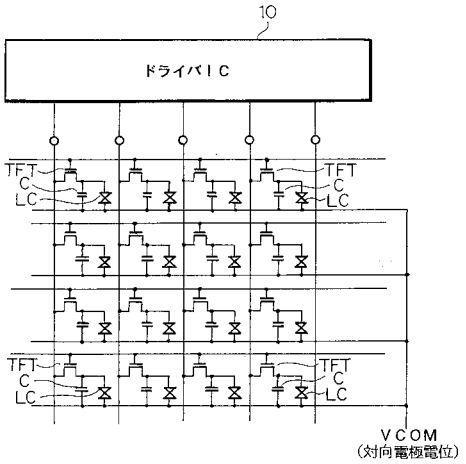
【図３】


A
T1
入力端子
入力端子
T2
B
SW11
SW21
SW12
SW22
SW13
SW23
SW14
SW24
C
画素

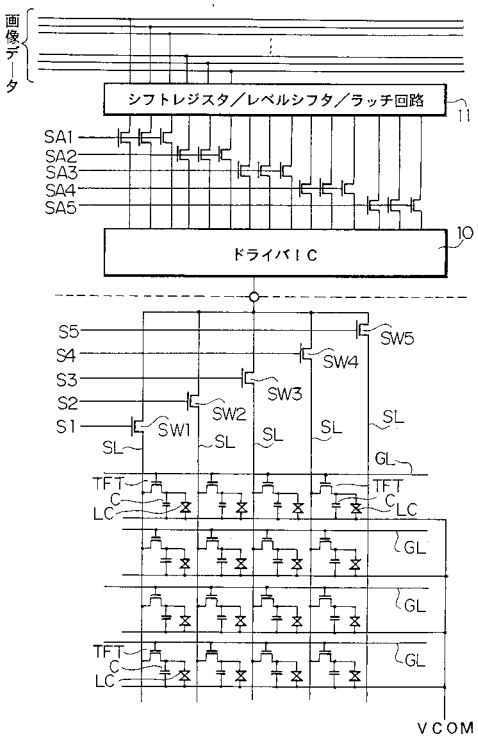
【図４】


10a
10b
10c
10d
ドライバIC
F
TS
(a)
S 有効画像領域
100
(b)

【図５】


10
ドライバＩＣ
TFT
C
LC
VCOM
(対向電極電位)

【図６】

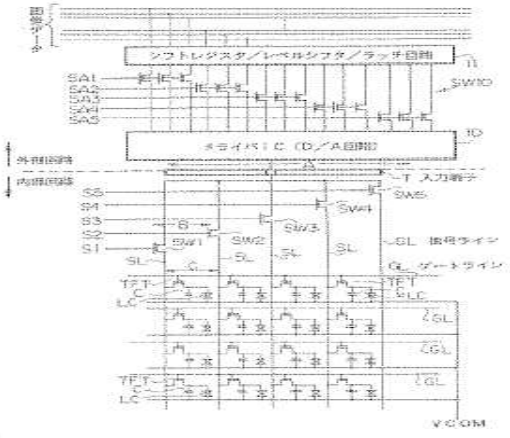

画像データ
シフトレジスタ／レベルシフタ／ラッチ回路
11
SA1
SA2
SA3
SA4
SA5
ドライバＩＣ
10
S5
S4
S3
S2
S1
SW5
SW4
SW3
SW2
SW1
SL
GL
TFT
C
LC
VCOM

フロントページの続き

(51)Int.Cl.	FI			テーマコード（参考）
	Ｇ０９Ｇ	3/20	６２１Ｍ	
	Ｇ０９Ｇ	3/20	６８０Ｇ	
	Ｇ０９Ｇ	3/36		
	Ｇ０９Ｇ	3/20	６２１Ｊ	
	Ｇ０９Ｇ	3/20	６２３Ｒ	
	Ｇ０９Ｆ	9/30	３３８	
	Ｇ０９Ｆ	9/30	３３０Ｚ	

Ｆターム(参考) 5C006 AA16 AC11 AC21 AF43 AF51 AF72 AF83 BB16 BC02 BC12
BC20 BC23 BC24 BF03 BF04 BF11 BF24 BF34 EB04 EB06
FA42 FA43 GA03
5C080 AA10 BB06 DD23 DD25 DD28 EE29 FF11 FF13 GG11 JJ02
JJ03 JJ06
5C094 AA15 AA42 BA03 BA43 DA09 DB01 DB02 FA01

专利名称(译)	液晶表示装置		
公开(公告)号	JP2008181154A	公开(公告)日	2008-08-07
申请号	JP2008086086	申请日	2008-03-28
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	猪野益充		
发明人	猪野 益充		
IPC分类号	G02F1/1345 G02F1/133 G09G3/20 G09G3/36 G09F9/30		
FI分类号	G02F1/1345 G02F1/133.550 G09G3/20.660.Q G09G3/20.623.V G09G3/20.623.L G09G3/20.621.M G09G3/20.680.G G09G3/36 G09G3/20.621.J G09G3/20.623.R G09F9/30.338 G09F9/30.330.Z G09F9/30.330		
F-TERM分类号	2H092/GA33 2H092/GA41 2H092/GA50 2H092/GA59 2H092/JA24 2H092/KA04 2H092/NA25 2H093/NA16 2H093/NA42 2H093/NC12 2H093/NC13 2H093/NC24 2H093/NC34 2H093/ND42 2H093/NE03 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AF43 5C006/AF51 5C006/AF72 5C006/AF83 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BC20 5C006/BC23 5C006/BC24 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF24 5C006/BF34 5C006/EB04 5C006/EB06 5C006/FA42 5C006/FA43 5C006/GA03 5C080/AA10 5C080/BB06 5C080/DD23 5C080/DD25 5C080/DD28 5C080/EE29 5C080/FF11 5C080/FF13 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA15 5C094/AA42 5C094/BA03 5C094/BA43 5C094/DA09 5C094/DB01 5C094/DB02 5C094/FA01 2H193/ZA04 2H193/ZC22 2H193/ZF36 2H193/ZP03		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过用于连接外部电路的连接端子缩短占用时间来缩小液晶显示装置的尺寸。 ŽSOLUTION：液晶显示装置具有：图像显示区域，其具有以矩阵形式排列在基板上的多个像素;边缘设置在基板上的图像显示区域的周边上;多个开关电路，用于将信号输入切换到组中的各个像素，每组由具有时分的多个像素的单元组成;多个连接端子，用于与外部电路连接，将信号传递给多个开关电路;其中，当多个连接端子的间距由A表示时，满足来自不等式A /n≤B≤C的所有关系;多个开关电路的间距用B表示;图像显示区域中的多个像素的间距由C表示，并且在从多个连接端子中的一个端子向具有时分的多个像素发送信号的情况下的时分的数量用n表示（n是≥2的自然数）;而多个连接端子安装在基板一侧的边缘上。 Ž