

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-3611

(P2008-3611A)

(43) 公開日 平成20年1月10日(2008.1.10)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 550	2H093
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G02F 1/133 505	5C080
G11C 19/28 (2006.01)	G02F 1/133 525	
G11C 19/00 (2006.01)	G09G 3/20 622E	
審査請求 有 請求項の数 9 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2007-180135 (P2007-180135)
 (22) 出願日 平成19年7月9日(2007.7.9)
 (62) 分割の表示 特願平9-90901の分割
 原出願日 平成9年4月9日(1997.4.9)
 (31) 優先権主張番号 631484
 (32) 優先日 平成8年4月12日(1996.4.12)
 (33) 優先権主張国 米国 (US)

(71) 出願人 391000771
 トムソン マルチメディア ソシエテ ア
 ノニム
 THOMSON multimedia
 S. A.
 フランス国 ブローニュ＝ビランクル ケ
 ア. ル ガロ 46
 46, Quai A. Le Gallo,
 F-92100 Boulogne-Bi
 llancourt, France
 (74) 代理人 100070150
 弁理士 伊東 忠彦

最終頁に続く

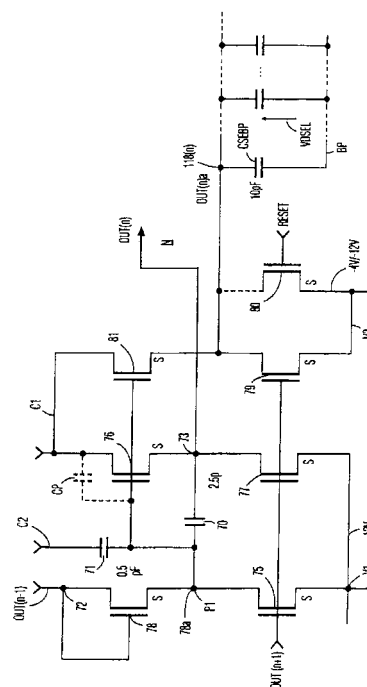
(54) 【発明の名称】 ディスプレイ装置及びその行選択ラインスキナ

(57) 【要約】 (修正有)

【課題】 ディスプレイ装置のちらつきを減らすために、液晶材料の分極を防ぐ選択ラインドライバを提供する。

【解決手段】 トグリングバックプレーン電圧を有する液晶ディスプレイのアレーの所与の行が選択解除された場合、画素容量の中の容量性の電流を防ぐため、行選択ライン電圧もまたトグリングする。行選択ラインドライバは、プッシュプル形式で連結された一対のトランジスタを含む。一対のトランジスタは、シフトレジスタの縦続段の対応する段において発生した制御信号に応ずる。一対のトランジスタは、行が選択解除されたときに行選択ラインの中に発生するトグリング電圧が、シフトレジスタの動作に影響を与えることを防ぐバッファ段を形成する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

複数の縦続段 ($N-1$ 、 N 、 $N+1$ 、 $N+2$) からなり、該縦続段の所与の 1 つ (N) は、

該所与の段の制御信号を発生させるために、該縦続段の第 2 の段 ($N-1$) の出力の出力パルス信号に応答する入力部と、

該所与の段の出力パルス信号はシフトレジスタ動作用に供給されるため該第 2 の段の該出力パルスに関して時間シフトされ、該縦続段の第 3 の段 ($N+1$) の入力部に連結された該所与の段の該出力パルス信号を該制御信号に応答し発生させる第 1 のトランジスタ (76) と、

10

行選択間隔の間に、所与の行ラインに、該第 2 の段の該出力信号に関して時間シフトされた行ライン選択信号を発生させ、及び行選択解除間隔の間に、所与の行ラインに、行ライン選択解除信号は保持され、該第 3 の段の該入力部からは連結を解除される、トグリング行ライン選択解除信号を発生させる切り替え回路網 (81、79) とからなるディスプレイ装置のアレー用の行選択ラインスキャナ。

【請求項 2】

該切り替え回路網 (81、79) は、該行ラインに連結され、該行ライン選択信号を発生させるための第 2 のトランジスタ (81) と、該行ライン及びトグリングする第 2 の信号源に連結され、該行ライン選択解除信号を発生させるための第 3 のトランジスタ (79) とからなる請求項 6 記載の行選択ラインスキャナ。

20

【請求項 3】

該第 2 (81) 及び第 3 のトランジスタ (79) は、プッシュプル形式に結合されている請求項 7 記載の行選択ラインスキャナ。

【請求項 4】

該制御信号は、該第 1 及び第 2 の夫々のトランジスタ (76、81) を電導へと調節するための、該第 1 及び第 2 のトランジスタの夫々のゲート電極に結合される容量に蓄えられる請求項 7 記載の行選択ラインスキャナ。

【請求項 5】

該行選択解除間隔の間に、該所与の段の下流の段の出力信号に応答し、該第 1 及び第 2 のトランジスタをディスエーブルするための第 4 のトランジスタ (75) からさらになる請求項 7 記載の行選択ラインスキャナ。

30

【請求項 6】

該画素の共通の電極で発生したトグリングする第 1 の信号源は、交番に第 1 及び第 2 のレベルを有し、切り替え回路網 (81、79) は、該行選択解除間隔の第 1 の部分の間に、該第 1 の信号に従って該行ラインに関連づけられた容量に電圧を発生させるための、該行ラインに結合された第 2 のトランジスタ (79) を含み、該容量は、該行選択解除間隔の第 2 の部分の間に、該容量電圧に従って該第 1 の信号に関してレベルシフトされた該行ラインに、該トグリングする行ライン選択解除信号を発生させるため、該第 1 の信号と該行ラインとを容量的に結合することからさらになる請求項 6 記載の行選択ラインスキャナ。

40

【請求項 7】

該容量電圧は、該第 2 の信号がトグリングするたびの後に、該 2 のトランジスタの動作によって補充される請求項 11 記載の行選択ラインスキャナ。

【請求項 8】

該容量電圧は、夫々の行選択解除間隔毎に 1 回、該第 2 のトランジスタの動作によって補充される請求項 11 記載の行選択ラインスキャナ。

【請求項 9】

複数の位相シフトされたクロック信号源と、

複数の縦続段 ($N-1$ 、 N 、 $N+1$ 、 $N+2$) とからなり、該縦続段の所与の一つ (N) は、

50

該縦続段の第 2 の段 ($N-1$) の出力に発生した制御信号を発生するために出力パルス信号に応答する入力部と、

該制御信号は、該所与の段の該出力パルス信号が該第 2 の段の該出力パルスに関して時間シフトされるように、クロック信号が第 1 のトランジスタ (76) の主電流電導端子 (ドレイン電極) に発生されるときに、該第 1 のトランジスタ (76) が該所与の段の該出力パルス信号を発生するように調節し、第 3 の段 ($N+1$) の入力部に連結された該所与の段の出力パルス信号を該制御信号に応答し発生させる該第 1 のトランジスタ (76) と

、
対応する行ラインに行ライン選択信号を発生するための該制御信号に応答し、該行ライン選択信号は、該第 2 の段の該出力信号に関して時間シフトされるように、クロック信号が該第 2 のトランジスタ (81) の主電流電導端子 (ドレイン電極) に発生するときに、該制御信号は、該第 2 のトランジスタ (81) が該行ライン選択信号を発生するように調節する第 2 のトランジスタ (81) と、

該行ラインに、行選択解除間隔の第 1 の部分の間、第 1 のレベルの行選択解除信号を、そして行選択解除間隔の第 2 の部分の間は、第 2 のレベルの行選択解除信号を発生させるため該行ラインに連結された第 3 のトランジスタ (79) からなるマトリックス型ディスプレイの行選択ラインスキナのためのシフトレジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して液晶ディスプレイ (LCD) といった、ディスプレイ装置のための駆動回路及び特に行選択ライン信号をディスプレイ装置の行選択ラインに印加する方式に関する。

【背景技術】

【0002】

LCD のディスプレイのようなディスプレイ装置は、マトリックス、或いはたとえば、水平方向には行、また垂直方向には列で配置されるアレーからなる。表示されるビデオ情報は、画素セルの夫々の列に個々に関連するデータラインに対する輝度 (グレースケール) 信号として印加される。所与のデータライン駆動回路は、対応するデータラインの中に駆動信号を発生させる。Plus 外による、「System for Applying Brightness Signals To A Display Device And Comparator Therefore (輝度信号をディスプレイ装置に対して印加する方式及びそれによる比較器)」なる名称の米国特許第 5, 170, 155 号は、LCD のデータラインあるいは列ドライバの例を示す。画素セルの行は、連続して走査されるか、或いは画素セルの行に関連した行ライン導体で発生した行選択信号によって選択される。

【0003】

アクティブマトリックス型ディスプレイでは、それぞれの画素セルは、画素セルに輝度信号を印加するスイッチ装置を含む。一般的に、スイッチ装置は、データラインドライバからデータラインを通して輝度信号を受ける薄膜トランジスタ (TFT) である。この装置を以下画素 TFT と称する。画素 TFT は、行選択ライン導体に接続し、画素セルの行に関連する行選択信号に応ずるゲート電極を有する。

【0004】

液晶ディスプレイは、二つの電極の間に挟まれた液晶材料からなる。少なくとも一つの、そして一般的には両方の電極は、光を通し、液晶材料に隣接した電極の表面は、個々の画素セルを形作るパターンに配置された、透明な電導電極のパターンを支える。一般的に、画素セルの一つの電極は、アレーの全ての画素セルに共通の電圧にある。その電極を、アレーのバックプレーン (back plane) 或いはコモンプレーン (common plane) と称する。バックプレーンから遠くにある画素セルの他の電極は、画素 TFT スwitchの主電流電導電極に接続し、これを画素電極と称する。TFT は、画素電極に

10

20

30

40

50

において、輝度信号の電圧レベルとほぼ同じ電圧レベルを発生させる。画素電極とバックプレーンの間の電圧レベルの差を、以下画素セル電圧と称する。

【0005】

画素セル内の液晶材料の分極を防ぐため、画素セル電圧の極性は、画素セル電圧の平均値或いは直流成分がゼロであるように、周期的に交番せねばならない。画素セル内の液晶材料の分極を防ぐための一つの既知の技術は、トグリングコモンプレーン電圧技術或いはトグリングバックプレーン電圧技術と呼ばれる。

【0006】

トグリングバックプレーン電圧技術では、所与の行が選択された場合、バックプレーン電圧は、第1或いは第2の電圧レベルのうちの一つになる。ところが、同じ行が選択された場合、連続して起こる画像フレームの画像情報を更新する際に、バックプレーン電圧は第1或いは第2の電圧レベルのうちの他方の一つになる。グレースケールの中間範囲の画素セル輝度を発生させる、輝度信号の電圧レベルを、ここに中間範囲の電圧レベルと称する。トグリングバックプレーン電圧技術では、中間範囲の電圧レベルは、バックプレーン電圧のレベルとは無関係に同じである。

【0007】

第1或いは第2の電圧レベルのうちの一つは、データラインドライバで発生した輝度信号の最大レベルよりもより正、或いはより大きい。第1或いは第2の電圧レベルのうちの他方の一つは、輝度信号の最小レベルよりもより負、或いはより小さい。バックプレーン電圧の第1及び第2のレベルは、輝度信号の中間範囲のレベルについて対称である。従って、バックプレーン電圧が第1のレベルの場合、選択された行の画素セルの画素セル電圧は、バックプレーン電圧が第2のレベルの場合に発生する電圧と反対の極性である。結果は、所与の画像フレームの間は、画素セル電圧の極性は、続けて起こる画像フレームの間の極性と反対であるということである。これはフレーム極性反転と呼ばれる。このようにして、液晶材料の分極は回避される。

【発明の開示】

【発明が解決しようとする課題】

【0008】

不利なことに、フレーム周波数でのトグリングバックプレーン電圧は、目が感知しやすい周波数においてちらつき（フリッカ）を発生しうる。目の感知度を減少するために、バックプレーン電圧は、行選択変化のより高い周波数でトグリングしうる。バックプレーンに印加される電圧は、すぐに続く行が選択されると、第1のレベルから第2のレベルへ、又はその逆に変化する。この動作のモードは、画素電圧の極性が行ごとを基準に変化するため、ライン極性反転と呼ばれる。フレーム極性反転の場合のように、各フレームで液晶材料の分極を回避するため、画素セル電圧の極性は極性反転される。

【課題を解決するための手段】

【0009】

選択ラインスキナと呼ばれる、本発明による特徴を実施するシフトレジスタは、対応する行選択ライン導体において、行極性反転の動作の方式に適した行選択信号を発生する。行が選択された時のバックプレーンの電圧レベルと無関係に、選択された行の行選択ライン導体には同一の電圧レベルが生成される。この特徴は、空間的な均一性とちらつきを考慮した結果による。画素セル電圧は、画素TFTの電導性に依存する。

【0010】

ちらつきを減らし、交互に選択される行の画素輝度の差を減らすため、バックプレーン電圧が第1のレベル及び第2のレベルの両方の場合に行が選択された際に、画素TFTにおいて同じ電導性を保つことは望ましい。同じ電導性を保つことは、輝度信号が中間範囲の電圧レベルであるときに、特に重要である。これは、輝度信号が中間範囲の電圧レベルであるときに、目が輝度の変化に対して非常に敏感なためである。画素TFTの電導性は、選択された行の行ライン導体における電圧、及び輝度信号の電圧レベルによって決定される。中間範囲の電圧レベル及び行ライン導体における電圧は、バックプレーン電圧レベ

ルとは無関係に同じであるため、画素 T F T は、有利に、同じ電導性を保つ。

【0011】

選択スキュナはまた、対応する行選択ライン導体において、行極性反転の動作のモードに適した行選択解除信号を発生する。これは、選択解除された行の行選択ライン導体において、行選択解除間隔の間に、トグリングバックプレーン電圧と同じ量だけ、そして同じ時に変化する第2のトグリング電圧を発生させることによって達成される。この特徴は、時間的な均一性とちらつきを考慮した結果による。バックプレーン電圧のトグリングと調和して、行選択信号の電圧をトグリングすることは、行選択解除間隔の間、バックプレーン電圧と行選択ライン導体の電圧の差を一定に保つ。従って、画素セル容量を含む電流路中の変位電流或いは容量性電流は、減少または除去される。如何なる変位電流も画素セル電圧の変化を発生し、その結果ちらつき或いは画像焼付といった望ましくない効果を発生しうる。

【0012】

LCDディスプレイマトリックスの選択ラインスキュナは、トグリングバックプレーン電圧と共に同一基板上に作られ、同時に液晶ディスプレイセルはディスプレイマトリックスに作られることが望ましい。

【0013】

本発明のある態様によると、アレーの複数の行及び複数の列に配置された画素に輝度信号を印加するディスプレイ装置は、所与の行が選択された場合に、所与の行の画素の画素電極に、輝度信号を発生する複数の列ドライバを有する。トグリングする第1の信号源が設けられる。第1の信号は、輝度信号の所定のレベルに対して第1及び第2のレベルを交互に有する画素の共通の電極で発生する。複数の段が行選択ラインスキュナを作る。所与の行に関連づけられた所与の一つの段は、所与の行選択間隔の間に所与の行を選択するため、対応する行ラインに行ライン選択信号を発生する第1のトランジスタを有する。行ラインに連結する第2のトランジスタは、第1の信号に従って、行ラインに関連した容量に電圧を発生させる。容量は、容量性に第1信号と行ラインを結合し、行選択解除間隔の間に、容量電圧に従って第1の信号に関してレベルシフトされた行ラインにおいて、トグリング行ライン選択解除信号を発生させる。

【発明を実施するための最良の形態】

【0014】

図1では、液晶アレー16のデータライン17を駆動する従来のデータラインドライバ200は、例えばPlus外による特許において説明されているラインドライバと多くの点で類似しうる。夫々のデータラインドライバ200は、トランジスタMN6を通じて対応するデータライン17に連結する。アレー16は、例えば水平に560行、垂直に960列に整列される、液晶セル16aといった多数の画素セルからなる。液晶アレー16は、960列のデータライン17を有し、液晶セル16aの垂直の各列に1つのデータライン17があり、及び560本の選択ライン118を有し、液晶セル16aの水平の各行に1本の行選択ライン118がある。

【0015】

本発明のある態様を実施する選択ラインスキュナ60は、対応する選択ライン118(n)上行選択信号OUT(n)aを生成し、アレー16の所与の行nを選択する。所与のデータライン17において発生した輝度電圧VOLUMEは、行nのライン選択期間の間、行の画素セル16aに印加される。

【0016】

夫々の画素セル16aの電極16dにおいて発生した電圧VBPは、アレー16の全ての画素セルに共通である。共通の電圧VBPが発生する電極16dを、アレー16のバックプレーンBPの電極と称する。所与の画素セル16aでは、バックプレーンBPから離れている画素セル16aの第2の電極16eは、対応する画素TF Tスイッチ16cに連結する。この電極を、画素電極と称する。対応する行nが選択されると、画素TF T16cは、画素電極16eにおいて、対応する輝度電圧VOLUMEの電圧レベルとほぼ同

10

20

30

40

50

じである電圧 V_{16e} を発生する。

【0017】

図2の(a)及び(b)は、図1の1対の画素セルの各画素セル16aの、連続して選択された行 $n-1$ 及び n の、バックプレーン電極16d及び画素電極16eにおいて夫々発生した電圧波形の例を示す。図1、図2の(a)及び図2の(b)において、類似する符号及び数字は、類似する項目或いは機能を示す。

【0018】

図1のマトリックス16のバックプレーンBPに印加された図2の(a)或いは(b)のバックプレーン電圧 V_{BP} は、行選択が変化するときにはトグリングする。バックプレーン電圧 V_{BP} がトグリングする間の、移行間隔の間、図1のトランジスタMN6の夫々は、ターンオフされている。図1の行選択信号OUT($n-1$)aが、選択された行 $n-1$ の行選択ライン118($n-1$)上に発生するとき、図2の(a)のライン時間 $T(n-1)$ の間、従来のバックプレーンドライバ61で発生したバックプレーン電圧 V_{BP} は、+6Vである。図1の行選択信号OUT(n)aが、すぐ次に選択された行 n の行選択ライン118(n)上に発生するとき、図2の(b)のライン時間 $T(n)$ の間、バックプレーン電圧 V_{BP} は、-2Vである。

【0019】

図2の(a)或いは(b)の電圧 V_{16e} は、画素16aの行が選択された場合、電圧 V_{COLUMN} とほぼ等しい。電圧 V_{COLUMN} は、一般的に最大+4Vと最小0Vの間の、夫々の行について同じである電圧の範囲を有する。同じ電圧の範囲を使用することは、データラインドライバ200の設計を容易にする。

【0020】

図2の(a)のバックプレーン電圧 V_{BP} の+6Vのレベルは、輝度電圧 V_{COLUMN} の最大レベルの+4Vよりも更に正である。バックプレーン電圧 V_{BP} の-2Vのレベルは、輝度電圧 V_{COLUMN} の最小レベルの0Vよりも更に正でない、あるいは更に負である。選択された行の画素セル16aの画素セル電圧 V_{PIXEL} は、画素電極電圧 V_{16e} とバックプレーン電圧 V_{BP} の間の差に等しい。バックプレーン電圧 V_{BP} が+6Vの場合、選択された行の画素セルの画素セル電圧 V_{PIXEL} は負であり、バックプレーン電圧 V_{BP} が-2Vの場合に発生した電圧と逆の極性である。示された例では、画素セル電圧 V_{PIXEL} の極性は、図2の(a)のライン時間 $T(n-1)$ の間の選択された行 $n-1$ における負の極性から、図2の(b)のライン時間 $T(n)$ の間のすぐ次に選択された行 n における正の極性へと変化する。このように、電圧 V_{PIXEL} の極性は、行ごとを基準に交番に変化する。

【0021】

光透過性或いは輝度の所与の変化について、選択された行 $n-1$ 及び n では、輝度電圧 V_{COLUMN} の変化の方向は反対である。図2の(a)のライン時間 $T(n-1)$ の間、輝度電圧 V_{COLUMN} が、中間範囲の電圧レベルMRGよりも大きい電圧レベルである場合、輝度電圧 V_{COLUMN} は、例えば中間範囲の電圧レベルMRGの時よりも高い画素の光透過性或いは輝度を発生する。それに対して、図2の(b)のライン時間 $T(n)$ の間、輝度電圧 V_{COLUMN} は、中間範囲の電圧レベルMRGよりも大きい電圧レベルであるとき、輝度電圧 V_{COLUMN} は、中間範囲の電圧レベルMRGの時よりも低い画素の光透過性或いは輝度を発生する。電圧レベルMRGは、輝度のグレースケールの中間の輝度レベルを示す。従って、例えば、行 $n-1$ 及び n の画素で同じ光透過性を得るためには、電圧 V_{COLUMN} と電圧レベルMRGの差は、同じ大きさで反対の極性でなくてはならない。

【0022】

図2の(a)及び(b)は、画素電極16eにおける電圧 V_{16e} の電圧レベルを示す。破線は最大の光透過性或いは輝度を与える電圧 V_{16e} 、そして点線は最小の光透過性或いは輝度を与える電圧 V_{16e} を示す。バックプレーン電圧 V_{BP} は、行ごとを基準にトグリングするため、画素セル電圧 V_{PIXEL} の極性もまた行ごとを基準に変化する。

【0023】

所与の行が選択された場合、所与の画像フレームの画像情報を更新する際に、バックプレーン電圧VBPは+6V或いは-2Vの電圧レベルのうちの一つになる。これに反し、同じ行が選択された場合、次に起こる画像フレームの画像情報を更新する際に、バックプレーン電圧VBPは+6V或いは-2Vの電圧レベルのうちの一つになる。この結果、所与の画像フレームの間の画素セル電圧VPixelの極性は、次に起こる画像フレームの間に起こる極性と反対になる。このようにして、上述のごとく液晶材料の分極は回避される。電圧VPixelの極性を行ごとを基準に変化させることは、ちらつき（フリッカ）を減少させる。

【0024】

図4は、本発明の特徴を実施する、図1の選択ラインキャナ60の、図3のシフトレジスタ100の、模範的な段Nを示す。段Nの夫々のトランジスタは、N-MOS TFTである。閾電圧ドリフトを引き起こしうる電圧負荷を減少させるため、夫々のトランジスタが電導性である時間は、不導性である時間と比較して短い。図3のシフトレジスタ100は、図1の液晶ディスプレイマトリックス16の行選択ライン118を駆動するためのタイミングを与える。図1、図2の(a)及び(b)、図3及び図4において、類似する符号及び数字は、類似する項目或いは機能を示す。

【0025】

図3のシフトレジスタ100において、段N-1、N、N+1及びN+2は、縦続の形状で互いに連結する。所与の段の出力信号は、回路の中ですぐ次の段の入力と連結する。例えば、レジスタ100の回路の前の段N-1の出力信号OUT(n-1)のパルスは、図4の段Nの入力端子72と連結する。説明のため、4つの段N-1、N、N+1及びN+2のみが、図3に示されている。しかしながら、レジスタ100の回路の合計の段数Nは、行選択ラインの数、この例では560と同じである。シフトレジスタ100を、「walking one」シフトレジスタと称することもできる。これは、ビデオ画像フレーム時間の間、レジスタ100を通して、真(TRUE)の状態或いは高(HIGH)レベルが伝達されるからである。

【0026】

図5の(a)乃至(i)は、図3及び図4の回路を説明するのに役立つ波形を示す。図1、図2の(a)及び(b)、図3、図4及び図5の(a)乃至(i)において、類似する符号及び数字は、類似する項目或いは機能を示す。

【0027】

図3のクロック発生器101は、夫々図5の(b)及び(c)に示される波形を持つ2相クロック信号(クロック信号C1およびC2)を発生する。図3の(a)の出力信号OUT(n-1)のパルスは、図5の(c)のクロック信号C2のパルスの間、図4の段Nの入力端子72で発生する。図5の(a)の高レベルの出力信号OUT(n-1)のパルスは、図4のトランジスタ78を通して、制御信号P1を発生させるため、端子78aに連結される。制御信号P1は、第1の出力トランジスタ76のゲート電極に連結される。

【0028】

制御信号P1が、図4のトランジスタ76のゲート電極で発生するとき、トランジスタ76のドレイン電極は、クロック信号C1の負の低レベルである。出力トランジスタ76のゲートで発生した信号P1は、電導のため、出力トランジスタ76を調節する。電導性のトランジスタ76は、電導性のトランジスタ76のゲートとソース電極との間に連結されているコンデンサ70に、高レベルの信号P1を一時的に蓄える電流路を作る。クロック信号C1はまた、トランジスタ76の電極間寄生容量CPを通して、端子78aに連結する。従って、高レベルの信号P1はまた、容量CPにも蓄えられる。図5の(a)の出力信号OUT(n-1)が低レベルに達し、図4のトランジスタ78がターンオフされた後でさえ、高レベルはコンデンサ70及び容量CPに蓄えられる。

【0029】

図5の(b)のクロック信号C1は、クロック信号C2のパルスが止んだ後或いは低レ

10

20

30

40

50

ベルに達した後すぐに、トランジスタ76のドレイン電極で高レベルで発生する。図5の(b)のクロック信号C1は、電導性のトランジスタ76を通じて出力端子73に連結する。従って、高レベルを達すると、コンデンサ70及びCPを通じて、端子78aにおける電圧をブートストラップし、それによりトランジスタ76に対して余分の駆動を与える。そのような動作は、ブートストラップ動作と呼ばれる。従って、図5の(f)の出力信号OUT(n)は、信号C1の高レベルから電圧降下なしに、図4のレジスタNの出力端子73において発生する。

【0030】

信号P1はまた、本発明による特徴を実施するバッファ出力トランジスタ81のゲート電極にも連結する。トランジスタ81のドレインは、クロック信号C1に連結する。トランジスタ81は、トランジスタ76と同じ時点にターンオンされたり、ターンオフされたりする。段Nのトランジスタ81が、ターンオンされたときはいつでも、図1のマトリックス16の選択ライン118(n)上に、行選択信号OUT(n)aのパルスが発生する。

10

【0031】

本発明の特徴によれば、トランジスタ78がターンオフされた後にコンデンサ70に蓄えられている信号P1は、トランジスタ81のゲートに連結する。それにより、有利に、ブートストラップ動作はクロック信号C1が発生したときには、トランジスタ76と81の両方で実行される。ブートストラップ動作は、電圧降下なしに、行選択信号OUT(n)aにクロック信号C1の高レベルを達成させる。トランジスタ76は、選択ライン118(n)の比較的大きい容量の負荷を駆動する必要があるため、信号OUT(n)の伝達時間は速く有利である。

20

【0032】

中間範囲で画素セル輝度を発生する輝度電圧VCOLUMNの電圧レベルMGRは、行が選択された時点では、バックプレーン電圧VBPの電圧レベルに依存しない。従って、行nが選択されたときには、図4の行選択信号OUT(n)の電圧レベルと、図2の(a)及び(b)の中間範囲の電圧レベルMGRの輝度電圧VCOLUMNとの差は、図2の(a)のバックプレーン電圧VBPが+6Vの場合と図2の(b)のバックプレーン電圧VBPが-2Vの場合の両方において同じである。従って、有利に、輝度電圧VCOLUMNが中間範囲の電圧レベルMGRであるとき、図1の画素TFT16cの電導性は、バックプレーン電圧が+6V及び-2Vの場合の両方において同じである。

30

【0033】

バックプレーン電圧VBPが+6V及び-2Vの場合の両方において、所与の行が選択されたときにTFTスイッチ16cで同じ電導性を保つことは望ましい。これは、電導性の少しの差も、ちらつき及び／又は画像静止を引き起こしうる画素セル電圧VPIXELのゼロ以外の平均値を発生させうるためである。同じ電導性を保つことは、目がグレースケールの中の範囲での輝度の変化に敏感であるため、輝度電圧VCOLUMNが図2の(a)或いは(b)の中間範囲の電圧レベルMGRである場合に、特に重要である。

【0034】

図4の段Nの信号OUT(n)は、図3の連続する段N+1の入力端子に印加される。段N+1は、レジスタ100の信号路の下流に配置され、クロック信号C1の代わりに補足的なクロック信号C2を使用すること以外は、対応するレジスタをターンオンするために、段Nと同様に動作する。このように、図5の(c)のクロック信号C2の間に生ずる、図5の(g)の出力信号OUT(n+1)は、図5の(b)のクロック信号C1の高から低へのレベルの転換にすぐ続く、低から高へのレベルの転換を有する。図5の(g)の信号OUT(n+1)の低から高へのレベルの転換は、図5の(c)のクロック信号C2が低から高へのレベルの転換を起こすと同時に生ずる。このように、図1の選択ラインスキャナ60は、シフトレジスタとして動作する。

40

【0035】

図5の(b)のクロック信号C1が作動しない低レベルに達したとき、図4のランジ

50

スタ76及び81は、コンデンサ70及びCPが放電するまで、ターンオンされたままである。トランジスタ75は、端子78aと-12Vの負の定電源電圧V1の間に連結される。トランジスタ77は、端子73との負の電源電圧V1の間に連結される。

【0036】

段N+1の信号OUT(n+1)は、トランジスタ75及び77のゲート電極に戻って連結される。信号OUT(n+1)はまた、本発明の特徴を実施し、夫々トグリング電圧V2及び行nの選択ライン118(n)に連結するソース及びドレイン電極を有するプルダウントランジスタ79のゲート電極に連結する。このように、信号OUT(n+1)のパルスが生じると、トランジスタ75、77及び79は、ターンオンされる。トランジスタ75及び77がターンオンされるとき、それらはコンデンサ70及び寄生コンデンサCPを放電する。これは、-12Vの負の電源電圧V1が、クロック信号C1が作動しない低レベルと同じためである。それにより、トランジスタ76及び81はターンオフされる。信号OUT(n+1)はフレーム当たり1回起こり、それは実質的にクロック信号C1或いはC2よりも頻繁でないため、トランジスタにおいて閾電圧の変化を起こしうるトランジスタ79、75及び77の電圧負荷は、有利に、小さい。

10

【0037】

容量CSEBPは、行nの選択ライン118(n)とバックプレーンBPとの間に結合される。容量CSEBPは、行nの選択ライン118(n)とバックプレーンBPとの間の結合容量を増加するために用いられる。

【0038】

本発明のある態様によれば、トランジスタ79がターンオンされたとき、それは容量CSEBPを充電し、容量CSEBPの端子間に行選択解除電圧VDSELを発生させる。電圧VDSELは、トグリング電圧V2とトグリング電圧VBPとの差に等しい。電圧VBPのどちらの電圧レベルであるかとは無関係に、電圧VDSELは、-10Vの一定の値を有する。

20

【0039】

行nの全ての選択解除間隔の間、信号OUT(n+1)のパルスの立下り縁に続き、トランジスタ79は不導性であり、選択ライン118(n)に関して、高いインピーダンスを作る。このように、-10Vの電圧VDSELは、容量CSEBPの中に保たれる。バックプレーンBPは、容量CSEBPを通して容量的に選択ライン118(n)に結合されるため、選択解除間隔のあいだ、選択ライン118(n)の信号OUT(n)の電圧レベルはトグリングバックプレーン電圧VBPに従う。トグリングバックプレーン電圧VBPに従う選択ライン118(n)は、有利に、図1の画素容量CPIXEL及び容量CSPを含む電流路で発生しうる変位電流を起こさない。これは、トグリング電圧VBPの転換の間は図1のトランジスタMN6はターンオフされており、従ってデータ列はデータスキナから連結を解除されるためである。従って、画素電圧VPixelは、行nの選択解除間隔の間は、電圧VBPがトグリングしても変化しない。図5の(h)及び(i)は、夫々図3の信号OUT(n)a及びOUT(n+1)aの波形を示す。

30

【0040】

トランジスタ76の図4の出力端子73は、選択ライン118(n)から絶縁されている。従って、選択ライン118(n)のトグリング電圧は、端子73の電圧に影響を与えない。よって図3の段N+1に連結する端子73の電圧は選択解除間隔の間は一定であり、トグリング信号OUT(n)aに影響されない。当然段N+1の夫々のクロック信号C1及びC2は、図4の選択ライン118(n)のトグリング電圧に依存せず、単純な二レベル信号であり得る。このように、段Nといった夫々の段の設計は、有利に簡単化される。

40

【0041】

図5の(e)のリセットパルス信号RESETは、夫々トグリング電圧V2及びトランジスタ81のソース電極に連結するソース及びドレイン電極を有する任意のプルダウントランジスタ80のゲート電極に連結する。図5の(e)のパルス信号RESETは、行ご

50

とを基準に行選択が生じるたびに起こる狭いパルスである。トランジスタ 80 は、選択ライン 118 (n) a で高いインピーダンスが発生する場合に、行 n の選択解除間隔の間に、ノイズ障害が電圧 V_{DSEL} の大きさに影響を与えることを防ぐために使用されうる。

【0042】

行 n の選択解除間隔の間に、図 4 のクロック信号 C1 は、容量 CP を通じ、コンデンサ 70 の充電を引き起こす傾向を有しうる。従って、クロック信号 C2 は、容量 CP よりも 20 % 大きい容量 71 を通じて端子 78 a に連結する。有利に、容量結合されたクロック信号 C2 は、行 n の選択解除間隔の間に、コンデンサ 70 のいかなる電荷の発生をも防ぐ。

【0043】

10

以下に本発明を纏める。

(付記 1) ディスプレイ装置であって、アレーの複数の行及び複数の列に配置された画素毎に切り替え素子として薄膜トランジスタ (TFT) を有するアクティブマトリックス TFT 液晶ディスプレイ (TFT-LCD) 装置に輝度信号を印加し、該ディスプレイ装置は、画素電極電圧と共通の電圧 (バックプレーン電圧) の極性が行選択ライン毎に反転されるライン極性反転を実行し、及び行ライン選択解除信号を該共通の電圧 (バックプレーン電圧) と同振幅及び同位相で変化し、該ディスプレイ装置は、

所与の行が選択されたときに、該所与の行の画素の画素電極に輝度信号を発生させるための、複数の列ドライバと、

該画素の共通の電極に発生され、所与の輝度信号の所定のレベルに関して、交番に第 1 及び第 2 のレベルを有する、トグリングする第 1 の信号源と、 20

段の所与の 1 つは該所与の行に関連づけられ、行選択ラインスキナを形成する複数の段と、

所与の行選択間隔の間に、該所与の行を選択するために、対応する行ラインに行ライン選択信号を発生させるための第 1 のトランジスタ (81) と、

行選択解除間隔の間に、該第 1 の信号に従って、該行ラインに関連づけられた容量に電圧を発生させるために、該行ラインに連結され、該容量は、該容量電圧に従って該第 1 の信号に関してレベルシフトされた該行ラインに、トグリング行ライン選択解除信号を発生させるために、該第 1 の信号が印加される該画素の共通の電極と該行ラインとを容量的に結合し、第 2 のトランジスタ (79) とを含む、ディスプレイ装置。 30

(付記 2) 該行ライン選択解除信号と該第 1 の信号との差が、該第 1 の信号の夫々のレベルで一定に保たれる請求項 1 記載のディスプレイ装置。

(付記 3) 該第 2 のトランジスタ (79) は、該第 1 の信号が該第 1 及び第 2 のレベルである場合、夫々第 3 及び第 4 のレベルで行ライン選択解除信号を発させる請求項 1 記載のディスプレイドライバ。

(付記 4) 該第 1 (81) 及び第 2 のトランジスタ (79) は、該行ラインに関してプッシュプル形式で動作する請求項 1 記載のディスプレイドライバ。

(付記 5) 行ライン選択信号は、該第 1 の信号が該第 1 及び第 2 のレベルに夫々ある場合、該輝度信号の該所定のレベルに関して同じレベルである請求項 1 記載の装置。

(付記 6) 複数の縦続段 ($N-1$ 、 N 、 $N+1$ 、 $N+2$) からなり、該縦続段の所与の 1 つ (N) は、 40

該所与の段の制御信号を発生させるために、該縦続段の第 2 の段 ($N-1$) の出力の出力パルス信号に応答する入力部と、

該所与の段の出力パルス信号はシフトレジスタ動作用に供給されるため該第 2 の段の該出力パルスに関して時間シフトされ、該縦続段の第 3 の段 ($N+1$) の入力部に連結された該所与の段の該出力パルス信号を該制御信号に応答し発生させる第 1 のトランジスタ (76) と、

行選択間隔の間に、所与の行ラインに、該第 2 の段の該出力信号に関して時間シフトされた行ライン選択信号を発生させ、及び行選択解除間隔の間に、所与の行ラインに、行ライン選択解除信号は保持され、該第 3 の段の該入力部からは連結を解除される、トグリン 50

グ行ライン選択解除信号を発生させる切り替え回路網（８１、７９）とからなるディスプレイ装置のアレー用の行選択ラインスキャナ。

（付記７） 該切り替え回路網（８１、７９）は、該行ラインに連結され、該行ライン選択信号を発生させるための第２のトランジスタ（８１）と、該行ライン及びトグリングする第２の信号源に連結され、該行ライン選択解除信号を発生させるための第３のトランジスタ（７９）とからなる請求項６記載の行選択ラインスキャナ。

（付記８） 該第２（８１）及び第３のトランジスタ（７９）は、プッシュプル形式に結合されている請求項７記載の行選択ラインスキャナ。

（付記９） 該制御信号は、該第１及び第２の夫々のトランジスタ（７６、８１）を電導へと調節するための、該第１及び第２のトランジスタの夫々のゲート電極に結合される容量に蓄えられる請求項７記載の行選択ラインスキャナ。 10

（付記１０） 該行選択解除間隔の間に、該所与の段の下流の段の出力信号に応答し、該第１及び第２のトランジスタをディスエーブルするための第４のトランジスタ（７５）からさらになる請求項７記載の行選択ラインスキャナ。

（付記１１） 該画素の共通の電極で発生したトグリングする第１の信号源は、交番に第１及び第２のレベルを有し、切り替え回路網（８１、７９）は、該行選択解除間隔の第１の部分の間に、該第１の信号に従って該行ラインに関連づけられた容量に電圧を発生させるための、該行ラインに結合された第２のトランジスタ（７９）を含み、該容量は、該行選択解除間隔の第２の部分の間に、該容量電圧に従って該第１の信号に関してレベルシフトされた該行ラインに、該トグリングする行ライン選択解除信号を発生させるため、該第１の信号と該行ラインとを容量的に結合することからさらになる請求項６記載の行選択ラインスキャナ。 20

（付記１２） 該容量電圧は、該第２の信号がトグリングするたびの後に、該２のトランジスタの動作によって補充される請求項１１記載の行選択ラインスキャナ。

（付記１３） 該容量電圧は、夫々の行選択解除間隔毎に１回、該第２のトランジスタの動作によって補充される請求項１１記載の行選択ラインスキャナ。

（付記１４） 複数の位相シフトされたクロック信号源と、

複数の縦続段（ $N-1$ 、 N 、 $N+1$ 、 $N+2$ ）とからなり、該縦続段の所与の一つ（ N ）は、

該縦続段の第２の段（ $N-1$ ）の出力に発生した制御信号を発生するために出力パルス信号に応答する入力部と、 30

該制御信号は、該所与の段の該出力パルス信号が該第２の段の該出力パルスに関して時間シフトされるように、クロック信号が第１のトランジスタ（７６）の主電流電導端子（ドレイン電極）に発生されるときに、該第１のトランジスタ（７６）が該所与の段の該出力パルス信号を発生するように調節し、第３の段（ $N+1$ ）の入力部に連結された該所与の段の出力パルス信号を該制御信号に응答し発生させる該第１のトランジスタ（７６）と、

、
対応する行ラインに行ライン選択信号を発生するための該制御信号に응答し、該行ライン選択信号は、該第２の段の該出力信号に関して時間シフトされるように、クロック信号が該第２のトランジスタ（８１）の主電流電導端子（ドレイン電極）に発生するときに、該制御信号は、該第２のトランジスタ（８１）が該行ライン選択信号を発生するように調節する第２のトランジスタ（８１）と、 40

該行ラインに、行選択解除間隔の第１の部分の間、第１のレベルの行選択解除信号を、そして行選択解除間隔の第２の部分の間は、第２のレベルの行選択解除信号を発生させるため該行ラインに連結された第３のトランジスタ（７９）からなるマトリックス型ディスプレイの行選択ラインスキャナのためのシフトレジスタ。

【図面の簡単な説明】

【００４４】

【図１】 本発明のある態様を実施する、行選択ドライバを有する液晶ディスプレイ装置のブロック図である。

【図 2】図 1 の装置を説明するための波形を示す図である。

【図 3】複数の縦続段を有するシフトレジスタを有する図 1 の行選択ドライバのブロック図である。

【図 4】本発明のある態様を実施する、図 3 のシフトレジスタに使用されるシフトレジスタ段を示す図である。

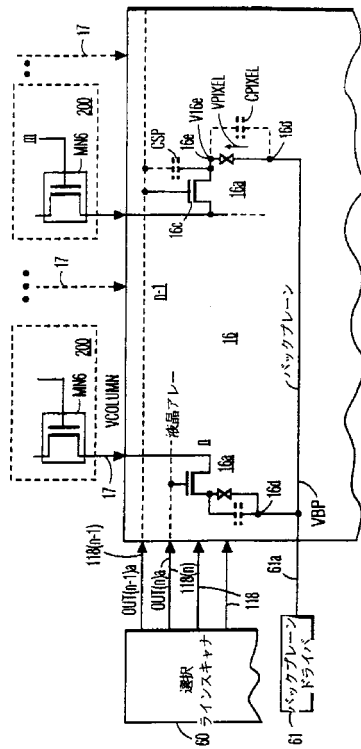
【図 5】出力信号と、図 4 に示される段を使用する図 3 のシフトレジスタの各節点で生ずるクロック信号の相対的なタイミング図である。

【符号の説明】

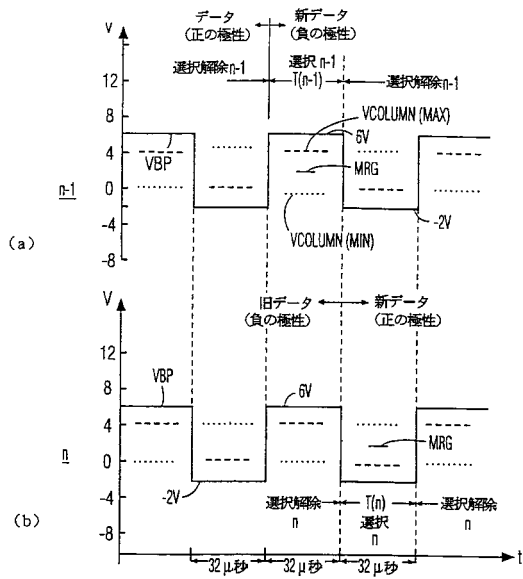
【0045】

16	液晶アレー	10
16a	液晶セル	
16c	画素 TFT スイッチ	
16d	電極	
16e	画素電極	
17	データライン	
60	選択ラインキャナ	
61	従来のバックプレーンドライバ	
70	コンデンサ	
71	容量	
72	入力端子	20
73	出力端子	
75	トランジスタ	
76	トランジスタ	
77	トランジスタ	
78	トランジスタ	
78a	端子	
79	トランジスタ	
80	トランジスタ	
81	トランジスタ	
100	シフトレジスタ	30
200	データラインドライバ	
118	行選択ライン	
C1	クロック信号	
C2	クロック信号	
CP	容量	
P1	制御信号	
MN2	トランジスタ	

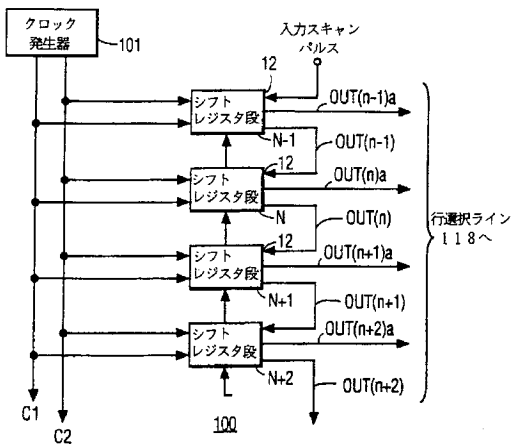
【図 1】



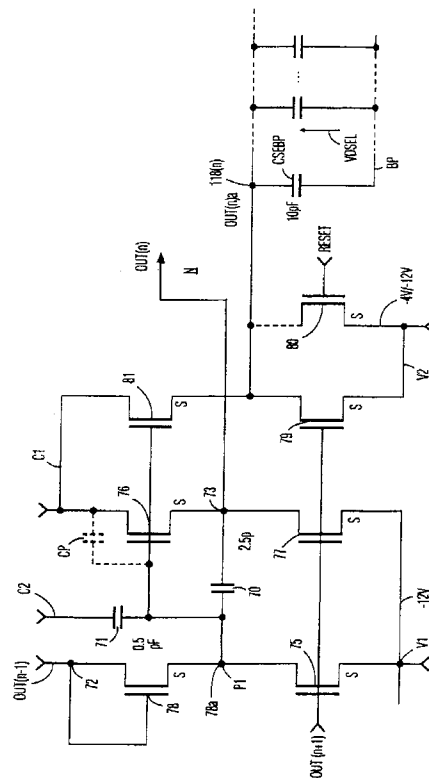
【図 2】



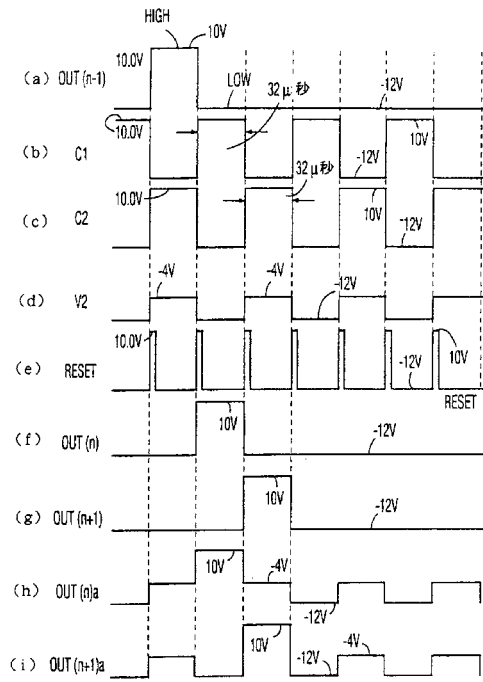
【図 3】



【図 4】



【図 5】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 1 E
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 2 4 D
	G 1 1 C 19/28	D
	G 1 1 C 19/00	J

(72)発明者 ホンジン キム
 アメリカ合衆国 ニュージャージー州 0 8 5 4 0 プリンストン セイア・ドライヴ 4 2 0

F ターム(参考) 2H093 NA16 NA32 NA33 NA53 NC10 NC12 NC18 NC22 NC65 ND06
 ND10 ND35 ND58 NH12
 5C006 AC11 AC22 AC25 AC27 AF42 BB16 BC03 BC06 BC20 BF03
 BF34 FA23
 5C080 AA10 BB05 DD06 FF01 FF11 JJ02 JJ03 JJ04

专利名称(译)	显示设备及其行选择线扫描仪		
公开(公告)号	JP2008003611A	公开(公告)日	2008-01-10
申请号	JP2007180135	申请日	2007-07-09
[标]申请(专利权)人(译)	汤姆森多媒体公司		
申请(专利权)人(译)	汤姆森多媒体兴业ANONYME		
[标]发明人	ホンジンキム		
发明人	ホンジン キム		
IPC分类号	G02F1/133 G09G3/36 G09G3/20 G11C19/28 G11C19/00		
CPC分类号	G09G3/3655 G09G3/2011 G09G3/3614 G09G3/3677 G09G2320/0247 G11C19/28		
FI分类号	G02F1/133.550 G09G3/36 G02F1/133.505 G02F1/133.525 G09G3/20.622.E G09G3/20.611.E G09G3/20.622.C G09G3/20.621.B G09G3/20.624.D G11C19/28.D G11C19/00.J G11C19/00 G11C19/28.230		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA53 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC22 2H093/NC65 2H093/ND06 2H093/ND10 2H093/ND35 2H093/ND58 2H093/NH12 5C006/AC11 5C006/AC22 5C006/AC25 5C006/AC27 5C006/AF42 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BF03 5C006/BF34 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD06 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZB02 2H193/ZB08 2H193/ZC02 2H193/ZC04 2H193/ZC15 2H193/ZD23 2H193/ZF22 2H193/ZF23 2H193/ZF36 2H193/ZF59 2H193/ZH40 5B074/AA01 5B074/AA10 5B074/CA01 5B074/DA02 5B074/DB01 5B074/EA01		
代理人(译)	伊藤忠彦		
优先权	08/631484 1996-04-12 US		
其他公开文献	JP4567710B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种选择线驱动器，用于防止液晶材料的极化，以减少显示装置的闪烁。当取消选择具有翻转背板电压的液晶显示器阵列的给定行时，行选择线电压也会触发以防止像素电容中出现电容性电流。行选择线驱动器包括以推挽方式连接的一对晶体管。晶体管对响应在移位寄存器的相应级联级中生成的控制信号。该对晶体管形成缓冲级，该缓冲级防止在取消选择行时在行选择线中产生的触发电压影响移位寄存器的操作。[选择图]图4

