

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-260209
(P2004-260209A)

(43) 公開日 平成16年9月16日(2004.9.16)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 2 6 C	2 H 0 9 2
GO 2 F 1/1368	GO 2 F 1/1368	5 F 1 1 0

審査請求 有 請求項の数 2 O L (全 12 頁)

<p>(21) 出願番号 特願2004-146686 (P2004-146686)</p> <p>(22) 出願日 平成16年5月17日 (2004.5.17)</p> <p>(62) 分割の表示 特願平9-303204の分割 原出願日 平成9年11月5日 (1997.11.5)</p>	<p>(71) 出願人 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号</p> <p>(74) 代理人 100095728 弁理士 上柳 雅普</p> <p>(74) 代理人 100107076 弁理士 藤網 英吉</p> <p>(74) 代理人 100107261 弁理士 須澤 修</p> <p>(72) 発明者 米山 良一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内</p> <p>Fターム(参考) 2H092 JA25 JA34 JA37 MA22 NA27 NA29</p>
--	--

最終頁に続く

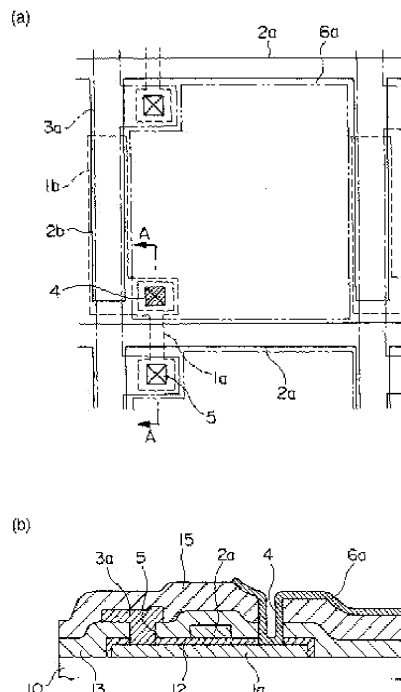
(54) 【発明の名称】 液晶パネル及び液晶パネルの製造方法

(57) 【要約】

【課題】 絶縁性の基板10に半導体装置の能動層となるべきポリシリコン層を堆積し、所定のパターンに形成した後、当該基板10を長期間放置しても、後の工程に悪影響を及ぼすことのないようにする。

【解決手段】 絶縁性の基板10にポリシリコン層を堆積した後、当該ポリシリコン層をパターニングして半導体装置の能動層1aに形成するエッチング工程において、当該ポリシリコン層の除去により露出した基板10の表面も若干エッチングする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上に薄膜トランジスタの能動層となるシリコン層を堆積してパターンニングする工程と、前記シリコン層を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜及び前記基板の露出部分をライトエッチングする工程と、前記ライトエッチングされたゲート絶縁膜上にゲート電極を形成する工程とを有することを特徴とする液晶パネルの製造方法。

【請求項 2】

基板上に薄膜トランジスタの能動層となるシリコン層と、前記シリコン層を覆うゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有し、前記ゲート絶縁膜及び前記基板の露出部分がライトエッチングされたことを特徴とする液晶パネル。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、ガラス基板上に形成される薄膜トランジスタ（以下、単に T F T という）のような半導体装置の製造方法に関し、特に、熱処理や C V D 処理などによってダメージを受けた基板表面の性質を回復させるとともに、その表面に付着した不純物、残渣物を除去する技術に関する。さらに、この半導体装置並びにこれを用いた液晶パネル用基板および液晶パネルに関する。

20

【背景技術】

【0002】

従来の半導体装置の製造方法、例えば、T F T の製造方法において、ゲート電極 2 a は、次のようにして形成される。すなわち、第 1 に、基板 1 0 上にポリシリコンやアモルファスシリコンなどを堆積した後、パターンニングして、ソース・ドレイン・チャンネルとなる能動層 1 a を形成し、第 2 に、この能動層 1 a の表面を熱酸化等して、ゲート絶縁膜 1 2 を形成し、第 3 に、この後、導電層を堆積した後、パターンニングすることにより、図 2 の (5) で示されるようなゲート電極 2 a が形成される。

30

【発明の開示】

【発明が解決しようとする課題】

【0003】

ところで、T F T の能動層 1 a が形成された基板 1 0 を何らかの理由により長期間放置すると、その表面に結晶化物が析出してしまい、後の工程において悪影響を及ぼすという問題が生じた。

【0004】

この原因について検討してみると、以下の理由によるものと考えられる。第 1 に、ポリシリコン層 1 を基板 1 0 の表面に堆積させるのに C V D 等を用いるため、基板 1 0 の表面に何らかのダメージが発生する。第 2 に、このダメージのため、T F T の能動層 1 a を形成した後に基板 1 0 の表面を洗浄しても、洗浄液等を完全に取り除くことができない。第 3 に、この残留物が空気中の炭化水素を吸着する結果、結晶化物を析出させる、と考えられる。

40

【0005】

本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、T F T のように絶縁性基板上にシリコン層を堆積し、所定のパターンに形成した後、当該基板を長期間放置しても、後の工程に悪影響を及ぼすことのない半導体の製造方法、半導体装置、この素子を用いた液晶パネル用基板、および、この基板を用いた液晶パネルを提供することにある。

【課題を解決するための手段】

【0006】

50

上記課題を解決するため本発明にあっては、第1の層の上に第2の層を堆積する第1の工程と、当該第2の層を所定のパターンに形成する第2の工程とを少なくとも有する半導体装置の製造方法において、前記第2の工程では、前記第1の工程により堆積した第2の層のうちの不要部分とともに、露出した第1の層の表面もエッチングすることを特徴としている。

【0007】

通常、層の堆積には、CVDやスパッタリングなどが用いられるため、第1の層の表面は、少なからずダメージを受ける。しかしながら、本発明によれば、第1の層の表面がエッチングされるので、ダメージを受けた部分が除去され、第1の層の本来の性質を引き出すことが可能となる。また、このエッチングに伴い、第1の層の表面に付着した不純物や洗浄時の残渣物なども除去される。

10

【0008】

本発明の液晶パネルの製造方法は、基板上に形成された複数のデータ線と、前記複数のデータ線に交差する複数の走査線と、前記複数のデータ線と走査線に接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタに接続された複数の画素電極とを有する液晶パネルの製造方法において、前記基板上に前記薄膜トランジスタの能動層となるシリコン層を堆積してパターンニングする工程と、前記シリコン層を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜及び前記基板の露出部分をライトエッチングする工程と、前記ライトエッチングされたゲート絶縁膜上にゲート電極を形成する工程とを有することを特徴とする。本発明によれば、ゲート絶縁膜のエッチングに伴い、露出された基板の表面もエッチングされるため、不純物などが除去され、基板の悪影響を防ぐことができる。

20

【発明を実施するための最良の形態】

【0009】

以下、本発明の実施の形態について図面を参照して説明する。

【0010】

<実施形態>

本実施形態は、半導体装置として、アクティブマトリクス型液晶表示装置の各画素を駆動するポリシリコン型TFTとしたものであり、図1(a)は、そのTFTを適用した液晶パネル基板における1画素分のレイアウトを示す平面図である。また、図1(b)は、そのTFTの構造を図1(a)におけるA-A線に沿って示す断面図である。

30

【0011】

まず、図1(a)において、1aは1層目のポリシリコン層であり、TFTの能動層(ソース・ドレイン・チャンネル領域)を構成する。2aは走査線であり、TFTにあってはゲート電極となる。3aはデータ線であり、走査線2aと交差するように配設されたTFTのソース領域に印加すべき電圧を供給する。ここで、走査線2aは二層目のポリシリコン層によって、また、データ線3aはアルミニウム層のような導電層によってそれぞれ形成されている。

【0012】

さらに、コンタクトホール4は、ITO(Indium-Tin Oxide)膜からなる画素電極6aとポリシリコン層1におけるTFTのドレイン領域(もしくはソース領域)とを接続するために設けられ、また、コンタクトホール5は、データ線3aとポリシリコン層1aにおけるTFTのソース領域とを接続するために設けられる。

40

【0013】

次に、図1(b)において、基板10は、ガラス基板(例えば、無アルカリ基板)や、石英基板などのような絶縁性基板により構成される。ゲート絶縁膜12は、TFTの能動層となるポリシリコン層1を熱酸化処理等することによってその表面に形成されたものである。また、第1の層間絶縁膜13および第2の層間絶縁膜15は、それぞれ、SiO₂膜(NSG膜)やBPSG膜(ボロンおよびリンを含むシリケートガラス膜)等からなり、後述するようにCVDにより形成される。

50

【 0 0 1 4 】

このような構成にかかる T F T の製造工程について、図 2 ~ 図 5 を参照しながら説明する。

【 0 0 1 5 】

まず、(1) の工程において、基板 1 0 の上面にポリシリコン層 1 を、例えば減圧 C V D 法等によって 5 0 0 ~ 2 0 0 0 オングストロームの厚さで、好ましくは 1 0 0 0 オングストローム弱の厚さに堆積する。

【 0 0 1 6 】

次に、工程 (2) においては、ポリシリコンと基板 1 0 の材質とに反応するエッチングにより、基板 1 0 に堆積したポリシリコン層 1 をパターンングして、T F T における島状の能動層 1 a を形成するとともに、それにより露出した基板 1 0 の表面をごくわずかにエッチングする。すなわち、この工程では、ポリシリコン層 1 の不要部分が除去されると、露出した基板 1 0 表面も若干エッチングとされる。ここで、工程 (2) のエッチングは、例えば、次の R I E (反応性イオンエッチング) が有効である。すなわち、この R I E の条件を、ガス圧力 : 1 6 0 0 [m t o r r]、 $C H F_3$: 5 [s c c m]、 $S F_6$: 1 5 [s c c m]、 $H e$: 8 0 [s c c m]、電力 : 2 5 0 [W] とした場合、エッチングの選択比は、ポリシリコン層 1 と基板 1 0 とで 1 : 1 となり、そのエッチング速度は、毎分 2 0 0 0 オングストロームとなる。

【 0 0 1 7 】

したがって、この条件のエッチング処理時間を 3 0 [秒] とし、工程 (1) において堆積されるポリシリコン層 1 の厚さを、好ましいとされる 1 0 0 0 オングストローム弱の厚さとすると、ポリシリコン層 1 a の不要部分が除去されるとともに、これにより露出した基板 1 0 の表面も微量ながらエッチングされることがわかる。このため、基板 1 0 の表面が若干エッチングされて、ダメージを受けた部分や、不純物、残渣物等が除去されることとなる。

【 0 0 1 8 】

この結果、工程 (1) によってダメージを受けた基板 1 0 の表面部分が除去されて、基板 1 0 が本来的に有する性質を引き出すことが可能となる。さらに、基板 1 0 のライトエッチングに伴い、その表面に付着した不純物や洗浄時の残渣物なども除去される結果、結晶化物が析出するという不都合も解消される。くわえて、これらの効果は、新たな工程を追加することなく奏することができる。

【 0 0 1 9 】

さて、(3) の工程において、能動層 1 a の表面を熱酸化処理して、ゲート絶縁膜 1 2 を能動層 1 a の表面に形成する。この工程により、能動層 1 a は最終的に 3 0 0 ~ 1 5 0 0 オングストロームの厚さ、好ましくは 3 5 0 ~ 4 5 0 オングストロームの厚さとなり、ゲート絶縁膜 1 2 は約 6 0 0 ~ 1 5 0 0 オングストロームの厚さとなる。

【 0 0 2 0 】

ここで、能動層 1 a を構成するポリシリコン層のうちのデータ線 3 a に沿って上方へ延在して保持容量を形成する延設部 1 b (図 1 (a) 参照) に、不純物 (例えばリン) を適当なドーズ量 (例えば、 3×10^{14} [a t m s / c m ^ 2]) でドーピングして、その部分のポリシリコン層を低抵抗化させる。このドーズ量の下限は、ポリシリコン層の保持容量を形成するために必要な導電性を確保する観点から求められ、また、その上限は、ゲート酸化膜の劣化を抑える観点から求められる。

【 0 0 2 1 】

そして、(4) の工程において、T F T におけるゲート絶縁膜 1 2 および基板 1 0 の上に、ゲート電極および走査線となるべき低抵抗のポリシリコン層 2 を減圧 C V D 法等により堆積する。ここで、ゲート電極の材料としては、ポリシリコンの他、 $M o$ 、 $T a$ 、 $T i$ 、 W 等の高融点金属、あるいは、これらのメタルシリサイドを用いることができる。

【 0 0 2 2 】

次に説明を図 3 に移すと、(5) の工程において、ポリシリコン層 2 を、ケミカル・ド

ライエッチングによりパターンニングして、T F Tの走査線を含むゲート電極2 aを形成する。

【0023】

(6)の工程においては、ゲート電極2 aをマスクとして不純物(例えばリン)のイオンを打込み、T F Tの能動層1 aにおいて自己整合されたソース領域およびドレイン領域となる高濃度半導体領域を形成する。なお、ソース・ドレイン領域は、不純物(リン)を $1 \times 10^{13} \sim 3 \times 10^{13}$ [atms/cm²]のドーズ量にてライトドープして低濃度領域を形成した後に、ゲート電極の幅よりも広いマスク層を走査線2 a上に形成して、さらに不純物(リン)を $1 \times 10^{15} \sim 3 \times 10^{15}$ [atms/cm²]のドーズ量で打ち込むことによって、マスクされた領域がライトリー・ドープト・ドレイン(LDD)構造となるようにしても良い。あるいは、ライトリー・ドープせずにゲート電極2 aの幅よりも広いマスクを使用してパターンを形成し、続いてイオンを打ち込んでソース・ドレインを形成した後にゲート電極をオーバーエッチングすることにより、オフセット構造となるようにしてもよい。

10

【0024】

さて、(7)の工程では、ゲート電極2 aを覆うように第1の層間絶縁膜13を、例えば、CVD法等によって800度の温度下で5000~15000オングストロームの厚さに堆積する。

【0025】

(8)の工程では、この第1の層間絶縁膜13に対し、T F Tのソース領域に対応した位置にドライエッチング等によりコンタクトホール5を開孔させる。

20

【0026】

ここで、コンタクトホール5は、ゲート絶縁膜12および第1の層間絶縁膜13の重ね膜を貫通して形成される。

【0027】

次に、説明を図4に移すと、(9)の工程では、ソース電極を兼ねるデータ線となるべきアルミニウム等の低抵抗導電層3をスパッタ法により堆積する。この低抵抗導電層3は、T F Tのコンタクトホール5にて能動層1 aのソース領域に接続される。

【0028】

(10)の工程では、低抵抗導電層3をフォトエッチングによりパターンニングして、T F Tのソース電極を兼ねるデータ線3 aを形成する。

30

【0029】

(11)の工程では、データ線3 aを覆うように、第2の層間絶縁膜15を、例えばCVD法により500度のような低温下で5000~15000オングストロームの厚さに形成する。

【0030】

次に、説明を図5に移すと、(12)の工程では、第2の層間絶縁膜15とその下層の第1の層間絶縁膜13とゲート絶縁膜12とからなる重ね膜であって、ドレイン領域に対応する位置において、第1に、ドライエッチングを実行して、異方性エッチングによるホールを形成し、第2に、ウェットエッチングによって上記ホールを能動層1 aまで貫通させて、T F Tのコンタクトホール4を形成する。

40

【0031】

(13)の工程では、画素電極となるべきITO膜6をスパッタ法で、例えば1500オングストロームの厚さに形成する。このときT F Tでは、ITO膜6が、コンタクトホール4にて能動層1 aのドレイン領域に接続される。

【0032】

(14)の工程では、ITO膜6に対してフォトエッチングによりパターンニングを行なうことで、T F Tの画素電極6 aを形成する。

【0033】

このようなT F Tは、実際には各画素に対応して基板10の上に複数形成されることとなる。

50

【0034】

以上述べたように、本実施形態にかかる半導体の製造方法によれば、基板10の上に、ポリシリコン層1を堆積した後、これをエッチングによりパターンニングして能動層1aを形成する際に、ポリシリコン層1の不要部分とともに、露出した基板10の表面も若干エッチングすることによって、不純物や残渣物などが除去される。したがって、能動層1aが形成された基板10の表面に結晶化物が析出し、後の工程において悪影響を及ぼすという問題が解消されることとなる。

【0035】

< 応用例 >

次に、本実施形態により形成されるTFTをアクティブマトリックス型の液晶パネルに適用した応用例について説明する。 10

【0036】

図6は、応用例にかかる液晶パネルのうち、TFTが形成される基板10の構成を示すブロック図である。

【0037】

図において、90, 90, , はそれぞれ画素であり、互いに交差するように配設された走査線2とデータ線3との交点に対応してそれぞれ配置される。各画素90はITO等からなる画素電極6aとこの画素電極6aにデータ線3上の画像信号に応じた電圧を印加するTFT91とからなる。同一行のTFT91はそのゲート電極が同一の走査線2に接続され、そのドレインが対応する画素電極6aに接続されている。また、同一列のTFT91は、そのソース電極が同一のデータ線3に接続されている。この応用例においては、周辺回路(X、Yシフトレジスタやサンプリング手段)50, 60を構成するトランジスタが画素を駆動するTFTと同様にポリシリコン層を動作層とするいわゆるポリシリコンTFTで構成されている。したがって、周辺回路50, 60を構成するトランジスタは画素駆動用TFTとともに同一プロセスにより、同時に形成されることとなる。 20

【0038】

さて、図において、表示領域(画素マトリックス)20の上側一端には、データ線3を順次選択するシフトレジスタ(以下、Xシフトレジスタと称する)51が配置される一方、画素マトリックスの左側一端には、走査線2を順次選択駆動するシフトレジスタ(以下、Yシフトレジスタと称する)61が設けられている。また、Yシフトレジスタ61の次段には必要に応じてバッファ63が設けられる。各データ線3の一端にはTFTで構成されたサンプリング用スイッチ52がそれぞれ設けられている。これらのサンプリング用スイッチ52は、外部端子74, 75, 76に入力される画像信号VID1~VID3を伝送するビデオ信号線54, 55, 56との間に接続され、Xシフトレジスタ51から出力されるサンプリング信号によって順次オン/オフされるように構成されている。Xシフトレジスタ51は、端子72, 73を介して外部より入力されるクロック信号CLX1, CLK2に基づいて1水平走査期間中にすべてのデータ線3を順番に1回ずつ選択するようなサンプリング信号X1, X2, X3, , Xnを形成してサンプリング用スイッチ52の制御端子に供給する。一方、Yシフトレジスタ61は、端子77, 78を介して外部から入力されるクロック信号CLY1, CLY2に同期して動作され、各走査線2を順次駆動する。また、端子72~78等は、後述するように基板10の周縁部に沿って一列にパッド電極群として配置される。 30

【0039】

次に、液晶パネル全体の構成について説明する。図7(a)は、図6における基板を適用した液晶パネルの構成を示す断面図であり、図7(b)は、そのレイアウトを示す平面図である。

【0040】

まず、図7(a)に示すように、液晶パネル30は、TFTや画素電極が形成された基板10とITO等のような透明導電膜を対向電極(共通電極)33として有する対向基板31とを、電極同士が互に対向するように、かつ、適当な間隔があくように、シール材 40

36によって接着した構成となっており、さらに、その間隙内にはTN (Twisted Nematic) 型やSH (Super Homeotropic) 型などの液晶37が充填された構成となっている。ここで、対向基板31における対向電極33の上面(図では下側となる)には、基板10における画素電極に相当する部分以外を遮光するブラックマトリクス層や、必要に応じてカラーフィルタ層が設けられる(図示省略)。

【0041】

また、周辺回路50, 60の上方は、例えば、対向基板31に設けられるブラックマトリクス層等により遮光されるように構成される。なお、38は対向基板31側に設けられる液晶注入口、39は対向基板31に設けられるクロム層等からなる見切り用の遮光層である。その他、液晶パネルとして必要なものとして、入出射光の偏光方向を選択する偏光板や、液晶37の分子配列を定める配向膜、基板10と対向基板31との間隙を全面にわたって一定に維持するためのスペーサー等が挙げられるが、図示を省略することとする。

10

【0042】

さて、図7(b)に示すように、対向基板31は、TFTが形成された基板10よりも一回り小さな形状とされるため、基板10の周縁部に配置するパッド電極群70は、対向基板31よりも外側に露出して、前述した周辺回路50, 60へのクロック信号や、スタート信号、ビデオ信号などの信号を入力する外部入力端子として用いる際の便宜が図られている。

【0043】

また、基板10の周縁部には、パッド電極群70の他に、プローブによる検査の際に信号を入出力するのに使用される検査用端子としてのパッド電極群170が設けられている。一方、対向基板31にも検査用端子としてのパッド電極群270が設けられており、これらのパッド電極群は、データ線の短絡や画素電極の欠陥等を検査するための信号の入出力に使用される。

20

【0044】

なお、80は、TFTが形成される基板10から対向基板31の対向電極33に、共通電位を与えるための上下基板間導通用端子であり、所定の径を有する導電性接着剤を介在させて、基板10と対向基板31との導通を図るように構成されている。

【0045】

次に、液晶パネルと外部回路との接続の一例について図8を用いて説明する。この図に示すように、パッド電極群70のうちの1つのパッド電極71と、外部回路に接続されてクロック信号や、スタート信号、ビデオ信号などの信号を供給するFPC (Film Printed Circuit) 102の端子電極103とは、物理的には接着剤101によって固定保持される一方、電気的には接着剤101中に分散する導電粒子100によって接続される。

30

【0046】

ここで、接着剤101における導電粒子100の濃度を適切に設定すれば、接着層の上下方向(パッド電極71と端子電極103とを結ぶ方向)には導通を許すが、接着層の平面方向には導通を許さないという異方性導電接合が実現される。そして、異方性導電接合によれば、間隔が狭い多数の端子を一括して接続できるため効率的である。

40

【0047】

なお、FPC 102は、例えば、ポリイミドフィルムにラミネートされた銅箔を周知のフォトリソグラフィ工程や、エッチング工程等によってパターンニングすることで形成される。また、導電粒子100には、ハンダニッケルなどの金属粒子や金属メッキしたプラスチックボールなどが用いられる。

【0048】

<液晶パネルの適用例1>

次に、応用例にかかる液晶パネルを表示装置として用いた例を説明する。

【0049】

まず、この液晶パネルをライトバルブとして用いたビデオプロジェクタについて説明す

50

る。図9は、ビデオプロジェクタの構成例を示す平面図である。

【0050】

この図に示すように、ビデオプロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、ライトガイド1104内に配置された複数のミラー1106, 1106, および2枚のダイクロックミラー1108によってRGBの3原色に分離され、各原色に対応するライトバルブとしての液晶パネル1110R, 1110Bおよび1110Gに入射される。

【0051】

液晶パネル1110R, 1110Bおよび1110Gの構成は、上述した通りであり、図示しないビデオ信号処理回路から供給されるR, G, Bの原色信号でそれぞれ駆動される。さて、これらの液晶パネルによって変調された光は、ダイクロックプリズム1112に、3方向から入射される。このダイクロックプリズム1112においては、RおよびBの光が90度に屈折する一方、Gの光が直進する。したがって、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン等にカラー画像が投写されることとなる。

10

【0052】

<液晶パネルの適用例2>

次に、応用例にかかる液晶パネルをパーソナルコンピュータに適用した例について説明する。図10は、このパーソナルコンピュータの構成を示す正面図である。図において、パーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶ディスプレイ1206とから構成されている。この液晶ディスプレイ1206は、先に述べた応用例にかかる液晶パネルにカラーフィルタとバックライトとを付加することにより構成される。

20

【0053】

なお、液晶パネルの適用例としてビデオプロジェクタ1100およびパーソナルコンピュータ1200を挙げて説明したが、これ以外の種々の各種電子機器に適用可能なのは言うまでもない。

【0054】

以上説明したように本発明によれば、第2の層のパターニングにより露出した第1の層の表面がエッチングされるので、CVD等によりダメージを受けた部分が除去され、第1の層の本来の性質が引き出される。また、このエッチングによって、絶縁性基板の表面に付着した不純物や洗浄時の残渣物なども除去される。したがって、結晶化物の析出を防止して、後の工程に悪影響を及ぼすことをなくすることが可能となる。

30

【図面の簡単な説明】

【0055】

【図1】(a)は、本発明の実施形態にかかる半導体装置の製造方法によるTF Tを適用した液晶パネル用基板の1画素分についてのレイアウトを示す平面図であり、(b)は、そのA-A線の断面図である。

【図2】(1)~(4)は、それぞれ同実施形態にかかるTF Tの製造工程を示す図である。

40

【図3】(5)~(8)は、それぞれ同実施形態にかかるTF Tの製造工程を示す図である。

【図4】(9)~(11)は、それぞれ同実施形態にかかるTF Tの製造工程を示す図である。

【図5】(12)~(14)は、それぞれ同実施形態にかかるTF Tの製造工程を示す図である。

【図6】本実施形態にかかる半導体装置の製造方法を適用したTF Tを有する液晶パネル基板の構成を示すブロック図である。

【図7】(a)は、本実施形態にかかる半導体装置の製造方法を適用したTF Tを有する

50

液晶パネル基板の構成を示す断面図であり、(b)は、同液晶パネルの構成を示す平面図である。

【図8】同液晶パネルと外部回路との異方性導電接合構造を示す断面図である。

【図9】同液晶パネルをライトバルブに用いたビデオプロジェクタの構成を示す平面図である。

【図10】同液晶パネルを表示装置に用いたパーソナルコンピュータの構成を示す平面図である。

【符号の説明】

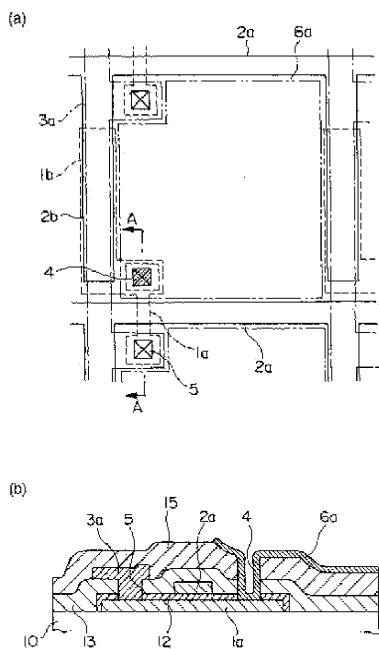
【0056】

- 1 ポリシリコン層
- 1 a 能動層
- 2 a 走査線(ゲート電極)
- 3 a データ線(ソース電極)
- 4, 5 コンタクトホール
- 6 ITO膜
- 6 a 画素電極
- 10 基板
- 12 ゲート絶縁膜
- 13 第1の層間絶縁膜
- 15 第2の層間絶縁膜
- 20 表示領域
- 30 液晶パネル
- 31 対向基板

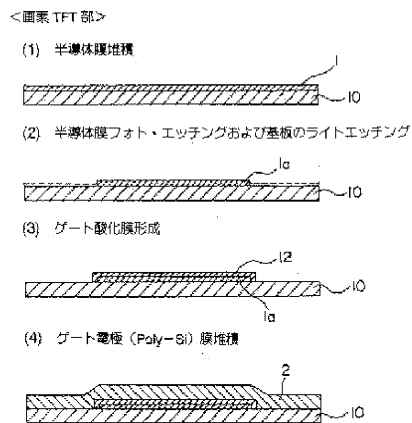
10

20

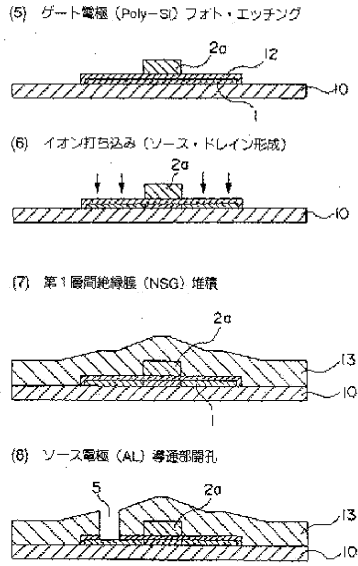
【図1】



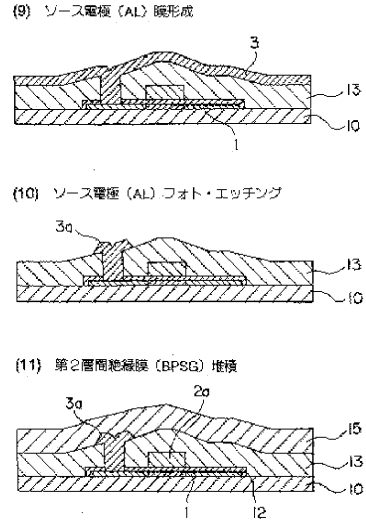
【図2】



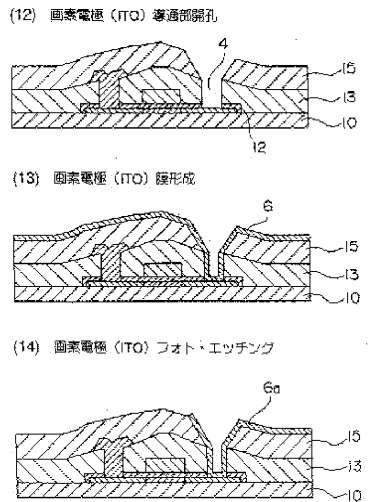
【 図 3 】



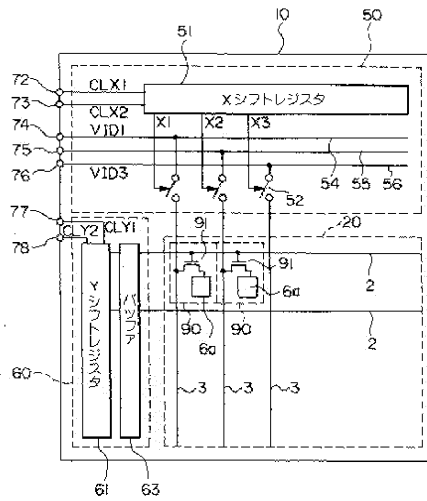
【 図 4 】



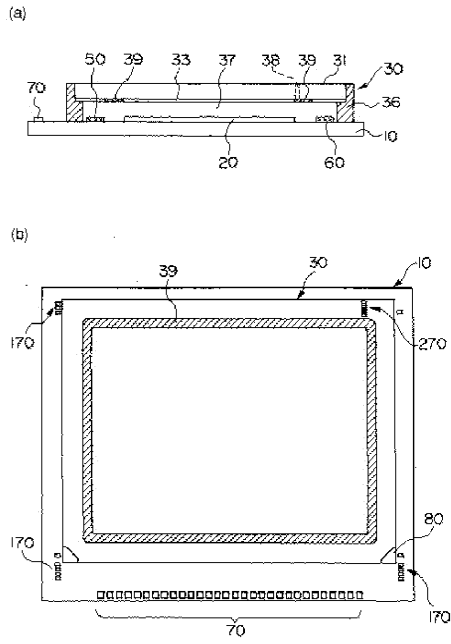
【 図 5 】



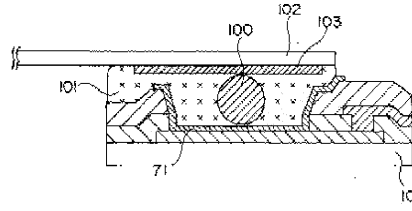
【 図 6 】



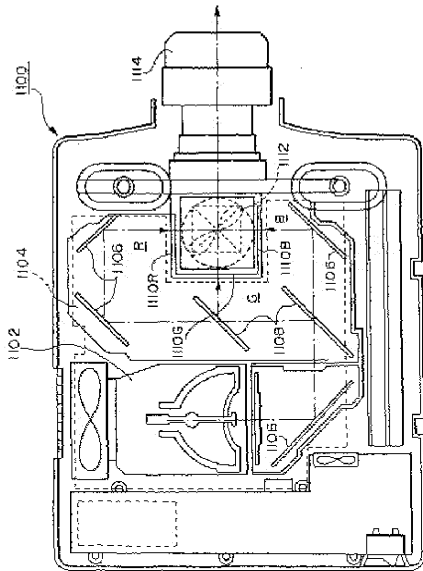
【 図 7 】



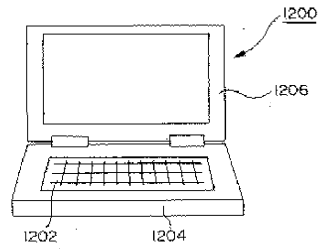
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

Fターム(参考) 5F110 BB02 CC02 EE04 EE05 EE09 EE45 FF02 FF23 GG02 GG13
GG24 GG47 GG58 HJ01 HJ13 HL03 HL23 HM14 HM15 NN03
NN04 NN35 NN72 NN73

专利名称(译)	液晶面板和液晶面板的制造方法		
公开(公告)号	JP2004260209A	公开(公告)日	2004-09-16
申请号	JP2004146686	申请日	2004-05-17
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	米山良一		
发明人	米山 良一		
IPC分类号	G02F1/1368 H01L29/786		
FI分类号	H01L29/78.626.C G02F1/1368		
F-TERM分类号	2H092/JA25 2H092/JA34 2H092/JA37 2H092/MA22 2H092/NA27 2H092/NA29 5F110/BB02 5F110/CC02 5F110/EE04 5F110/EE05 5F110/EE09 5F110/EE45 5F110/FF02 5F110/FF23 5F110/GG02 5F110/GG13 5F110/GG24 5F110/GG47 5F110/GG58 5F110/HJ01 5F110/HJ13 5F110/HL03 5F110/HL23 5F110/HM14 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN35 5F110/NN72 5F110/NN73 2H192/AA24 2H192/BC33 2H192/CB02 2H192/CC04 2H192/DA44 2H192/EA22 2H192/EA32 2H192/EA43 2H192/FA65 2H192/FA73 2H192/FB02 2H192/FB72 2H192/HA63 2H192/HA66 2H192/HA80 2H192/HB13 2H192/JB02		
代理人(译)	须泽 修		
外部链接	Espacenet		

摘要(译)

解决的问题：即使在将要成为半导体器件的有源层的多晶硅层沉积在绝缘基板10上并形成预定图案之后，即使将基板10放置很长时间，也会不利地影响后续工艺。尽量不要。在将多晶硅层沉积在绝缘基板上然后对多晶硅层进行构图以形成半导体器件的有源层的蚀刻工艺中，暴露通过去除多晶硅层而暴露的基板。的表面也被略微蚀刻。 [选型图]图1

