

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 44012

(P2003 - 44012A)

(43)公開日 平成15年2月14日 (2003.2.14)

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-コ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	575	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	632	G 0 9 G 3/20	5 C 0 5 8
	642		5 C 0 8 0
	650	650 F	

審査請求 未請求 請求項の数 5 O L (全 11数) 最終頁に続く

(21)出願番号 特願2001 - 228910(P2001 - 228910)

(22)出願日 平成13年7月30日(2001.7.30)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 大平 智秀

千葉県茂原市早野3300番地 株式会社日立

製作所ディスプレイグループ内

(74)代理人 100083552

弁理士 秋田 収喜

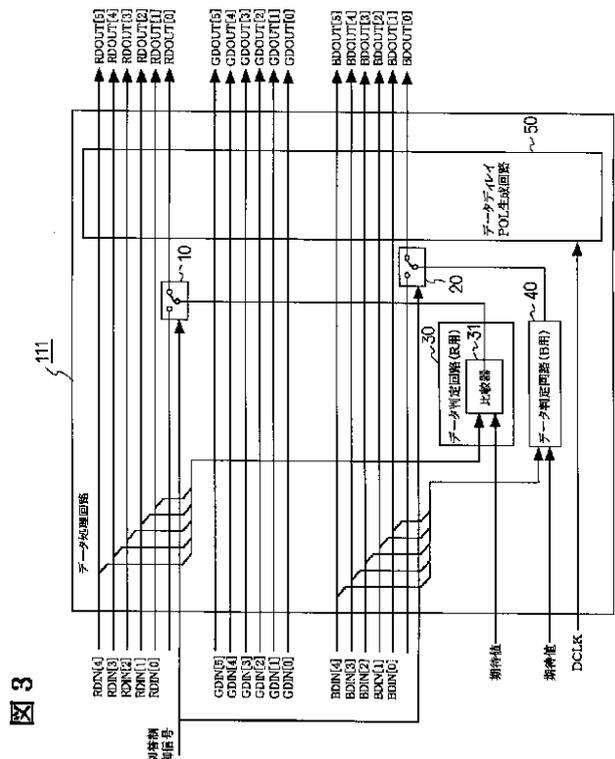
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 外部から表示制御回路に入力される表示データのビット数が、表示制御回路からドライバに出力される表示データのビット数よりも小さい場合に、液晶表示パネルに表示される画像の黒レベル、あるいは白レベルが低下することを防止することが可能な液晶表示装置を提供する。

【解決手段】 外部から入力される表示データに基づき、 n (n は整数) ビットの表示データを前記駆動手段に出力する表示制御回路とを備える液晶表示装置であって、表示制御回路は、外部から入力される表示データが、 m (m は整数、 $m < n$) ビットの表示データである場合に、駆動手段に対して、上位 m ビットのデータが、前記外部から入力される m ビットの表示データであり、下位の $(m - n)$ ビットのデータが、前記判断手段から出力される [0] レベルの電圧あるいは [1] レベルの電圧である n ビットの表示データを出力する。



3

【特許請求の範囲】

【請求項1】 互いに対向して配置される2枚の基板間に挟持される液晶層を有し、かつ、複数の画素を有する液晶表示素子と、

前記各画素を駆動する駆動手段と、

外部から入力される表示データに基づき、 n (n は整数) ビットの表示データを前記駆動手段に出力する表示制御回路とを備える液晶表示装置であって、前記表示制御回路は、前記外部から入力される表示データが、 n ビットより少ない m (m は整数、 $m < n$) ビットの表示データである場合に、前記外部から入力される m ビットの表示データのデータ値が、ある規定の m ビットのデータ値よりも大きいか否かを判断し、前記外部から入力される m ビットの表示データのデータ値が、ある規定の m ビットのデータ値よりも小さい場合に[0]レベルの電圧を出力し、前記外部から入力される m ビットの表示データのデータ値が、ある規定の m ビットのデータ値よりも大きい場合に[1]レベルの電圧を出力する判断手段を有し、

前記表示制御回路は、前記外部から入力される表示データが、 m ビットの表示データである場合に、前記駆動手段に対して、上位 m ビットのデータが、前記外部から入力される m ビットの表示データであり、下位の $(m - n)$ ビットのデータが、前記判断手段から出力される[0]レベルの電圧あるいは[1]レベルの電圧である n ビットの表示データを出力することを特徴とする液晶表示装置。

【請求項2】 前記判断手段における前記規定の m ビットのデータ値は、各ビット値が全て[0]、および各ビット値が全て[1]以外のデータ値の中の任意のデータ値であることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記外部から入力される表示データは、赤、緑、および青の3色の表示データであり、前記外部から入力される赤、緑、および青の3色の表示データの少なくとも1つの表示データは、外部から入力される表示データのビット数が、前記駆動手段に出力する表示データのビット数よりも少ないことを特徴とする請求項1または請求項2に記載の液晶表示装置。

【請求項4】 前記外部から入力される赤、緑、および青の3色の表示データの少なくとも1つの表示データは、5ビットの表示データであり、前記駆動手段に出力する表示データは、6ビットの表示データであることを特徴とする請求項3に記載の液晶表示装置。

【請求項5】 前記判断手段における前記規定の5ビットのデータ値は、[0.1.0.0.0]以上、[1.1.0.0.0]以下のデータ値であることを特徴とする請求項4に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係わり、特に、多階調表示が可能な液晶表示装置の表示制御回路(または、タイミングコントローラ)に適用して有効な技術に関する。

【0002】

【従来の技術】画素毎に能動素子(例えば、薄膜トランジスタ)を有し、この能動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型パーソナルコンピュータ(以下、単に、パソコンという)等の表示装置として広く使用されている。このアクティブマトリクス型液晶表示装置は、能動素子を介して画素電極に映像信号電圧を印加するため、各画素間のクロストークがなく、単純マトリクス形液晶表示装置のようにクロストークを防止するための特殊な駆動方法を用いる必要がなく、多階調表示が可能である。このアクティブマトリクス型液晶表示装置の1つに、TFT(Thin Film Transistor)方式の液晶表示パネル(TFT-LCD)と、液晶表示パネルの周辺部に配置されるドレインドライバおよびゲートドライバと、ドレインドライバおよびゲートドライバを駆動するインタフェース部とを備えるTFT方式の液晶表示モジュールが知られている。なお、このような技術は、例えば、特開平5-257142号に記載されている。

【0003】

【発明が解決しようとする課題】前述したようなTFT方式の液晶表示モジュールにおいて、インタフェース部には、表示制御回路(または、タイミングコントローラ)が設けられる。この表示制御回路は、1個の半導体集積回路(LSI)から構成され、外部(例えば、コンピュータ本体側)から入力されるデータ転送クロック(DCLK)、ディスプレイタイミング信号(DTMG)、水平同期信号(HSYNC)、垂直同期信号(HSYNC)の各表示制御信号および表示用データ(R・G・B)を基に、ドレインドライバと、ゲートドライバとを制御・駆動する。また、表示制御回路は、外部から入力される表示データを、タイミングを制御して、ドレインドライバ出力する。この場合に、表示制御回路からドレインドライバに出力される表示データのビット数は、ドレインドライバの設計仕様で決定されるビット数に固定され、そして、一般に、外部から表示制御回路に入力される表示データのビット数と、表示制御回路からドレインドライバに出力される表示データのビット数とは一致している。

【0004】しかしながら、ノート型パソコン等の使用状態においては、外部(即ち、コンピュータ本体側)から表示制御回路に入力される表示データのビット数が、表示制御回路からドレインドライバに出力される表示データのビット数よりも小さい場合がある。例えば、コンピュータ本体側から表示制御回路に入力される表示デー

タ（以下、入力表示データという）のビット数が5で、表示制御回路からドレインドライバに出力される表示データ（以下、出力表示データという）のビット数が6の場合がある。このような場合に、表示制御回路は、5ビットの入力表示データを、最上位ビット（MSB；Most Significant Bit）から順に、6ビットの出力表示データの上位5ビットのデータとし、最下位ビット（LSB；Least Significant Bit）はデータ無しで、ドレインドライバに出力している。そのため、6ビットの出力表示データの最下位ビットは、フローティング状態となり、最下位ビットが出力されるバスラインの電気的な接続状態により、この最下位ビットのデータ値は、[1] あるいは、[0]となっていた。

【0005】このような場合に、5ビットの入力表示データのデータ値が[0 . 0 . 0 . 0 . 0]のときに、6ビットの出力表示データは、フローティング状態である最下位ビットのデータ値に応じて、[0 . 0 . 0 . 0 . 0 . 1]、あるいは、[0 . 0 . 0 . 0 . 0 . 0]となる。同様に、5ビットの入力表示データのデータ値が[1 . 1 . 1 . 1 . 1]のときに、6ビットの出力表示データは、[1 . 1 . 1 . 1 . 1 . 1]、あるいは、[1 . 1 . 1 . 1 . 1 . 0]となる。仮に、5ビットの入力表示データのデータ値が[0 . 0 . 0 . 0 . 0]の時に黒を表示し、また、5ビットの入力表示データのデータ値が[1 . 1 . 1 . 1 . 1]の時に白を表示するものとすると、5ビットの入力表示データのデータ値が[0 . 0 . 0 . 0 . 0]のときに、6ビットの出力表示データが、[0 . 0 . 0 . 0 . 0 . 0]の場合は、液晶表示パネルに表示される画像の黒レベルは充分であるが、6ビットの出力表示データが、[0 . 0 . 0 . 0 . 0 . 1]の場合は、液晶表示パネルに表示される画像の黒レベルが低下する。

【0006】同様に、5ビットの入力表示データのデータ値が[1 . 1 . 1 . 1 . 1]のときに、6ビットの出力表示データが、[1 . 1 . 1 . 1 . 1 . 1]の場合は、液晶表示パネルに表示される画像の白レベルは充分であるが、6ビットの出力表示データが、[1 . 1 . 1 . 1 . 1 . 0]の場合は、液晶表示パネルに表示される画像の白レベルが低下する。一般に、コンピュータ本体側から表示制御回路に入力される表示データは、赤（R）、緑（G）、および青（B）の3色の表示データの場合が多い。そして、例えば、赤（R）、および青（B）の入力表示データが5ビットで、出力表示データが6ビットであり、仮に、赤（R）の6ビットの出力表示データの最下位ビットが[1]、青（B）の6ビットの出力表示データの最下位ビットが[0]となった場合には、赤（R）の画素は、液晶表示パネルに表示される画像の白レベルは充分であるが、黒レベルが低下し、逆に、青（B）の画素は、液晶表示パネルに表示される画像の黒レベルは充分であるが、白レベルが低下する。

【0007】このように、従来の液晶表示モジュールにおいては、外部から表示制御回路に入力される表示データのビット数が、表示制御回路からドレインドライバに出力される表示データのビット数よりも小さい場合に、表示制御回路からドレインドライバに出力される表示データの中でデータが不足するビットがフローティング状態となるので、液晶表示パネルに表示される黒レベル、あるいは白レベルが不足するという問題点があった本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、外部から表示制御回路に入力される表示データのビット数が、表示制御回路からドレインドライバに出力される表示データのビット数よりも小さい場合に、液晶表示パネルに表示される画像の黒レベル、あるいは白レベルが低下するのを防止することが可能となる技術を提供することにある。本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。即ち、本発明は、複数の画素を有する液晶表示素子と、前記各画素を駆動する駆動手段と、外部から入力される表示データに基づき、 n (n は整数) ビットの表示データを前記駆動手段に出力する表示制御回路とを備える液晶表示装置であって、前記表示制御回路は、前記外部から入力される表示データが、 n ビットより少ない m (m は整数、 $m < n$) ビットの表示データである場合に、前記外部から入力される m ビットの表示データのデータ値が、ある規定の m ビットのデータ値よりも大きいか否かを判断し、前記外部から入力される m ビットの表示データのデータ値が、ある規定の m ビットのデータ値よりも小さい場合に[0]レベルの電圧を出力し、前記外部から入力される m ビットの表示データのデータ値が、ある規定の m ビットのデータ値よりも大きい場合に[1]レベルの電圧を出力する判断手段を有し、前記表示制御回路は、前記外部から入力される表示データが、 m ビットの表示データである場合に、前記駆動手段に対して、上位 m ビットのデータが、前記外部から入力される m ビットの表示データであり、下位の $(m - n)$ ビットのデータが、前記判断手段から出力される[0]レベルの電圧あるいは[1]レベルの電圧である n ビットの表示データを出力することを特徴とする。

【0009】本発明の好ましい実施の形態では、前記判断手段における前記規定の m ビットのデータ値は、各ビット値が全て[0]、および各ビット値が全て[1]以外のデータ値の中の任意のデータ値であることを特徴とする。本発明の好ましい実施の形態では、前記外部から入力される表示データは、赤、緑、および青の3色の表示データであり、前記外部から入力される赤、緑、およ

び青の3色の表示データの少なくとも1つの表示データは、外部から入力される表示データのビット数が、前記駆動手段に出力する表示データのビット数よりも少ないことを特徴とする。

【0010】前記手段によれば、外部（例えば、コンピュータ本体側）から入力される表示データが m （ m は整数）ビットの表示データで、表示制御回路から駆動手段（即ち、ドレインドライバ）に出力する表示データが n （ n は整数、 $m < n$ ）ビットの表示データである場合に、表示制御回路は、外部から入力される m ビットの表示データのデータ値が、ある規定の m ビットのデータ値よりも大きいか否かを判断し、前記外部から入力される m ビットの表示データのデータ値が、ある規定の m ビットのデータ値よりも小さい場合に、上位 m ビットのデータが、前記外部から入力される m ビットの表示データであり、下位の $(m - n)$ ビットのデータが、[0]レベルの電圧である n ビットの表示データを前記駆動手段に対して出力し、また、前記外部から入力される m ビットの表示データのデータ値が、ある規定の m ビットのデータ値よりも大きい場合に、上位 m ビットのデータが、前記外部から入力される m ビットの表示データであり、下位の $(m - n)$ ビットのデータが、[1]レベルの電圧である n ビットの表示データを前記駆動手段に対して出力する。これにより、外部から入力される m ビットの表示データが全て[0]の場合に、表示制御回路から駆動手段に出力する n ビットの表示データも全て[0]に、また外部から入力される m ビットの表示データが全て[1]の場合に、表示制御回路から駆動手段に出力する n ビットの表示データも全て[1]にすることができるので、液晶表示パネルに表示される画像の黒レベル、あるいは白レベルが低下するのを防止することが可能となる。

【0011】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。本発明が適用される液晶表示モジュールの基本構成 図1は、本発明が適用されるTFT方式の液晶表示モジュールの基本構成を示すブロック図である。図1に示す液晶表示モジュールは、液晶表示パネル100と、表示制御装置110、電源回路120と、ドレインドライバ部130と、ゲートドライバ部140とから構成される。液晶表示パネル100は、画素電極、薄膜トランジスタ等が形成されるTFT基板と、対向電極、カラーフィルタ等が形成されるフィルタ基板とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。また、ドレインドライバ部130、

およびゲートドライバ部140は、それぞれの複数のドレインドライバ（図示せず）、および複数のゲートドライバ（図示せず）で構成される。これらのドレインドライバおよびゲートドライバは、半導体チップが、フリップ・チップ・アタッチメント（FCA）型の実装方式で、TFT基板の隣接する2辺の周辺部に搭載されて構成される。

【0012】図1に示す液晶表示モジュール動作概要 表示制御装置110は、1個の半導体集積回路（LSI）から構成され、コンピュータ本体側から入力されるデータ転送クロック（DCLK）、ディスプレイタイミング信号（DTMG）、水平同期信号（HSYNC）、垂直同期信号（VSYNC）の各表示制御信号および表示用データ（R・G・B）を基に、ドレインドライバ部130、およびゲートドライバ部140のそれぞれのドレインドライバとゲートドライバとを制御・駆動する。ゲートドライバは、表示制御装置110から送出されるフレーム開始指示信号（FLM）およびラインデータシフトクロック（CL3）に基づき、1水平走査時間毎に、順次液晶表示パネル100の各ゲート信号線にHighレベルの選択走査電圧を供給する。これにより、液晶表示パネル100の各ゲート信号線に接続された複数の薄膜トランジスタ（TFT）が、1水平走査時間の間導通する。

【0013】ドレインドライバは、表示制御装置110から送出される表示データ取込開始信号（STH）、および表示データラッチ用クロック（CL2）に基づき、表示制御装置110から送出される表示データを順次ラッチする。また、ドレインドライバは、表示制御装置110から送出される出力タイミング制御用クロック（CL1）に基づき、ラッチした表示データに対応する階調電圧をそれぞれのドレイン信号線（D）に供給する。以上の動作により、液晶表示パネル100に画像が表示される。図1に示す電源回路120は、各ドレインドライバに、正極性の階調基準電圧と、負極性の階調基準電圧とを供給するとともに、ゲートドライバに、薄膜トランジスタ（TFT）のゲート電極に印加する走査駆動電圧を供給する。

【0014】本発明の実施の形態の液晶表示モジュールの表示制御回路110の回路構成 図2は、本実施の形態の表示制御回路110の回路構成を示すブロック図である。図2に示すように、本実施の形態の表示制御回路110は、データ処理回路111と、同期信号生成回路112とで構成される。同期信号生成回路112は、外部から入力されるデータ転送クロック（DCLK）、ディスプレイタイミング信号（DTMG）、水平同期信号（HSYNC）、および垂直同期信号（VSYNC）に基づき、前述したフレーム開始指示信号（FLM）、ラインデータシフトクロック（CL3）、表示データ取込開始信号（STH）、表示データラッチ用クロック

(CL2)、および出力タイミング制御用クロック(CL1)を生成する回路である。データ処理回路111は、同期信号生成回路112で生成される各信号と、位相を同期させて、外部から入力される赤(R)、緑(G)、青(B)の3色の表示データを、各ドレインドライバに出力する回路である。なお、図2において、Mは交流化信号であり、液晶表示パネル内の液晶に交流電圧を印加するための信号、また、POLはデータ極性反転信号であるが、両者も、本発明とは直に関係しないので詳細な説明は省略する。

【0015】また、図2では、その使用状態として、外部から入力される赤(R)、および青(B)の表示データが5ビット、緑(G)の表示データが6ビットであり、データ処理回路111から出力される赤(R)、緑(G)、青(B)の3色の表示データが、ともに6ビットである場合を図示している。図3は、図2に示すデータ処理回路111の内部回路構成を示すブロック図である。図3に示すように、図2に示すデータ処理回路111は、データディレイ・POL生成回路50を有し、このデータディレイ・POL生成回路50は、外部から入力される赤(R)、緑(G)、青(B)の3色の表示データを遅延して、同期信号生成回路112で生成される各信号と、位相を同期させて、外部から入力される赤(R)、緑(G)、青(B)の3色の表示データを、各ドレインドライバに出力するとともに、データ極性反転信号(POL)を生成する信号である。また、図3において、外部から入力される6ビットの緑(G)の表示データは、そのまま、データディレイ・POL生成回路50に入力され、ドレインドライバに出力される。

【0016】しかしながら、図2、図3では、外部から入力される赤(R)、および青(B)の表示データが5ビットであるため、この5ビットの表示データは、データディレイ・POL生成回路50に入力され、5ビットの表示データの最上位ビット(MSB)から順に、ドレインドライバに出力される6ビットの表示データ中の上位5ビットのデータとなる。そして、ドレインドライバに出力される赤(R)、および青(B)の6ビットの表示データの最下位ビット(LSB)のデータは、データ判定回路(30, 40)からの出力で決定される。例えば、データ判定回路30は、外部から入力される5ビットの赤(R)の表示データのデータ値と、期待値とを比較する比較器31を備え、比較器31の比較結果に基づき、[1]レベルの電圧、あるいは、[0]レベルの電圧を出力する。同様に、データ判定回路40は、外部から入力される5ビットの青(B)の表示データのデータ値と、期待値とを比較する比較器(図示せず)を備え、比較器の比較結果に基づき、[1]レベルの電圧、あるいは、[0]レベルの電圧を出力する。

【0017】データ判定回路(30, 40)の出力は、スイッチ回路(10, 20)を介して、ドレインドライ

バに出力される赤(R)、および青(B)の6ビットの表示データの最下位ビット(LSB)のデータとして、データディレイ・POL生成回路50に入力される。そして、6ビット中の上位5ビットが、外部から入力された表示データで、最下位ビットが、データ判定回路(30, 40)の出力電圧で構成される6ビットの表示データが、赤(R)、および青(B)の6ビットの表示データとしてドレインドライバに出力される。なお、スイッチ回路(10, 20)は、外部からの切替制御信号に基づき、外部から入力される表示データが6ビットの場合は、外部から入力される6ビットの表示データの最下位ビットを、データディレイ・POL生成回路50に入力し、また、外部から入力される表示データが5ビットの場合は、データ判定回路(30, 40)の出力電圧を、データディレイ・POL生成回路50に入力する。

【0018】図4は、本実施の形態において、期待値が、16進数表示で10h(実際のデータ値は、[1.0.0.0.0])のときの、比較器31の動作を説明するためのタイミングチャートを示す図である。例えば、外部から入力される表示データが、16進数表示で0Fh(実際のデータ値は、[0.1.1.1.1])の場合(これは、図4では、

【入力画素データが黒に近いと判定】の場合)に、このデータ値は、期待値よりも小さい(期待値>データ値)ので、比較器31は、[0]レベルの電圧を出力し、最下位ビットは[0]となる。したがって、ドレインドライバに出力される表示データは、16進数表示で1Eh(実際のデータ値は、[0.1.1.1.1.0])となる。また、例えば、外部から入力される表示データが、16進数表示で10h(実際のデータ値は、[1.0.0.0.0])の場合(これは、図4では、

【入力画素データが白に近いと判定】の場合)に、このデータ値は、期待値と同じである(期待値=データ値)ので、比較器31は、[1]レベルの電圧を出力し、最下位ビットは[1]となる。したがって、ドレインドライバに出力される表示データは、16進数表示で31h(実際のデータ値は、[1.0.0.0.0.1])となる。

【0019】図5は、本実施の形態の液晶表示モジュールにおける、表示制御装置110に外部から入力される5ビットの表示データと、表示制御装置110からドレインドライバに出力する6ビットの表示データとの間の関係を示すグラフである。図5のグラフで、縦軸は、表示制御装置110からドレインドライバに出力する6ビットの表示データを表し、横軸は、表示制御装置110に外部から入力される5ビットの表示データを示している。表示制御装置110に外部から入力される5ビットの表示データが、期待値よりも小さい場合には、最下位ビットが[0]となるので、この場合には、表示制御装置110に外部から入力される5ビットの表示データ

と、表示制御装置110からドレインドライバに出力する6ビットの表示データとの間の関係は、図5のグラフの直線(イ)となる。

【0020】また、表示制御装置110に外部から入力される5ビットの表示データが、期待値と同じ、あるいは、大きい場合には、最下位ビットが[1]となるので、この場合には、表示制御装置110に外部から入力される5ビットの表示データと、表示制御装置110からドレインドライバに出力する6ビットの表示データとの間の関係は、図5のグラフの直線(ロ)となる。この図5のグラフから明らかなように、本実施の形態では、表示制御装置110に外部から入力される5ビットの表示データと、表示制御装置110からドレインドライバに出力する6ビットの表示データとの間の関係は、期待値を境にして直線(イ)から直線(ロ)に切り替わる。そのため、表示制御装置110に外部から入力される5ビットの表示データが全て[0]の場合は、表示制御装置110からドレインドライバに出力する6ビットの表示データも全て[0]となり、また、表示制御装置110に外部から入力される5ビットの表示データが全て[1]の場合は、表示制御装置110からドレインドライバに出力する6ビットの表示データも全て[1]となる。これにより、本実施の形態では、液晶表示パネルに表示される画像の黒レベル、および白レベルがともに低下することがなくなる。

【0021】図7は、従来の液晶表示モジュールにおける、表示制御装置110に外部から入力される5ビットの表示データと、表示制御装置110からドレインドライバに出力する6ビットの表示データとの間の関係を示すグラフである。図7のグラフで、縦軸は、表示制御装置110からドレインドライバに出力する6ビットの表示データを表し、横軸は、表示制御装置110に外部から入力される5ビットの表示データを示している。前述したように、従来の液晶表示モジュールでは、表示制御装置110に外部から入力される表示データが5ビットの場合には、表示制御回路110は、5ビットの入力表示データを、最上位ビット(MSB)から順に、6ビットの出力表示データの上位5ビットのデータとし、最下位ビット(LSB)はデータ無しで、ドレインドライバに出力していた。そのため、6ビットの出力表示データの最下位ビットは、フローティング状態となり、最下位ビットが出力されるバスラインの電気的な接続状態により、この最下位ビットのデータ値は、[1]あるいは、[0]となっていた。

【0022】図7の直線(ハ)は、表示制御装置110に外部から入力される5ビットの表示データと、表示制御装置110からドレインドライバに出力する6ビットの表示データで、最下位ビットが[0]となった場合の表示データとの間の関係を示す。図7の直線(ハ)から分かるように、表示制御装置110に外部から入力され

る5ビットの表示データが全て[0](16進数表示では、00h)の場合に、表示制御装置110からドレインドライバに出力する6ビットの表示データも全て[0](16進数表示では、00h)となる。仮に、表示制御装置110に外部から入力される5ビットの表示データが全て[0]は、黒を表示するものとする、この場合には、液晶表示パネルに表示される画像の黒レベルは充分なものとなる。しかしながら、表示制御装置110に外部から入力される5ビットの表示データが全て[1](16進数表示では、1Fh)の場合に、表示制御装置110からドレインドライバに出力する6ビットの表示データは、[1.1.1.1.1.0](16進数表示では、3Eh)となる。そのため、液晶表示パネルに表示される画像の白レベルが低下する。

【0023】また、図7の直線(ニ)は、表示制御装置110に外部から入力される5ビットの表示データと、表示制御装置110からドレインドライバに出力する6ビットの表示データで、最下位ビットが[1]となった場合の表示データとの間の関係を示す。図7の直線(ニ)から分かるように、表示制御装置110に外部から入力される5ビットの表示データが全て[1](16進数表示では、1Fh)の場合に、表示制御装置110からドレインドライバに出力する6ビットの表示データも全て[1](16進数表示では、3Fh)となる。そのため、この場合には、液晶表示パネルに表示される画像の白レベルは充分なものとなる。しかしながら、表示制御装置110に外部から入力される5ビットの表示データが全て[0]の場合に、表示制御装置110からドレインドライバに出力する6ビットの表示データは、[0.0.0.0.0.1](16進数表示では、01h)となる。そのため、液晶表示パネルに表示される画像の黒レベルが低下する。

【0024】これに対して、前述したように、本実施の形態では、表示制御装置110に外部から入力される5ビットの表示データが全て[0]の場合は、表示制御装置110からドレインドライバに出力する6ビットの表示データも全て[0]となり、また、同様に、表示制御装置110に外部から入力される5ビットの表示データが全て[1]の場合は、表示制御装置110からドレインドライバに出力する6ビットの表示データも全て[1]となるので、液晶表示パネルに表示される画像の黒レベル、および白レベルがともに低下することがなくなる。但し、本実施の形態では、期待値の前後で、画像の輝度に段差が生じるが、この期待値は、液晶表示パネルに表示される画像では、中間調を表示するものである、人間の目にはそれほど違和感がない。なお、前述の図4では、期待値として、16進数表示で10hのデータ値を使用した、これは一例に過ぎず、16進数表示で00h、および1Fh以外のデータ値であれば、任意のデータ値を使用することが可能であるが、表示制御

装置110に外部から入力される表示データが5ビット、表示制御装置110からドレインドライバに出力する表示データが6ビットの場合には、図5に示すように、16進数表示で08h~18hの間のデータ値を使用することが好ましい。

【0025】図6は、本実施の形態において、期待値の設定方法の一例を説明するための図である。図6に示す設定方法は、表示制御装置110を構成する半導体集積回路(半導体チップ)200の特定の端子(A1~A5)を電源電圧、あるいは、接地電池に接続することに、期待値を任意に設定可能としたものである。図6では、端子(A1)は最下位ビット[0]、端子(A2)は2番目のビット[1]、端子(A3)は3番目のビット[2]、端子(A4)は4番目のビット[3]、端子(A5)は最上位ビット[4]を表し、また、この図6は、期待値として、16進数表示で10hに設定した場合を示している。なお、本発明は、外部から表示制御回路に入力される表示データのビット数が、表示制御回路からドレインドライバに出力される表示データのビット数よりも小さい場合が想定される液晶表示装置であれば、携帯用機器に使用される液晶表示装置、あるいは、中型の液晶表示装置などの全ての液晶表示装置に適用可能である。以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0026】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。本発明の液晶表示装置によれば、外部から表示制御回路に入力される表示データのビット数が、表示制御回路からドレインドライバに出力される表

*示データのビット数よりも小さい場合に、液晶表示パネルに表示される画像の黒レベル、あるいは白レベルが低下するのを防止することが可能となる。

【図面の簡単な説明】

【図1】本発明が適用されるTFT方式の液晶表示モジュールの基本構成を示すブロック図である。

【図2】本発明の実施の形態の表示制御回路の回路構成を示すブロック図である。

【図3】図2に示すデータ処理回路の内部回路構成を示すブロック図である。

【図4】本発明の実施の形態において、期待値が、16進数表示で10hのときの、比較器の動作を説明するためのタイミングチャートを示す図である。

【図5】本発明の実施の形態の液晶表示モジュールにおける、表示制御装置に外部から入力される5ビットの表示データと、表示制御装置からドレインドライバに出力する6ビットの表示データとの間の関係を示すグラフである。

【図6】本発明の実施の形態において、期待値の設定方法の一例を説明するための図である。

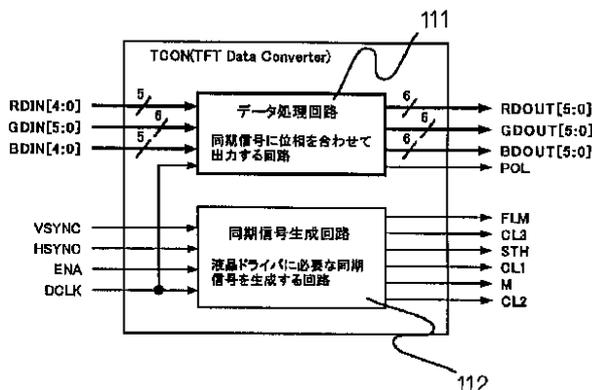
【図7】従来の液晶表示モジュールにおける、表示制御装置に外部から入力される5ビットの表示データと、表示制御装置からドレインドライバに出力する6ビットの表示データとの間の関係を示すグラフである。

【符号の説明】

10, 20...スイッチ回路、30, 40...データ判定回路、31...比較器、50...データディレイ・POL生成回路、100...液晶表示パネル、110...表示制御装置、111...データ処理回路、112...同期信号生成回路、120...電源回路、130...ドレインドライバ部、140...ゲートドライバ部、200...半導体集積回路(半導体チップ)、A1~A5...端子。

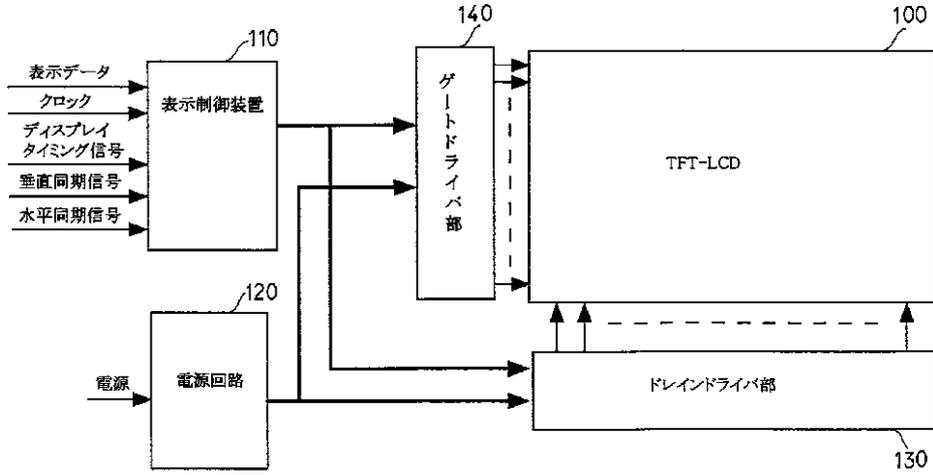
【図2】

図2



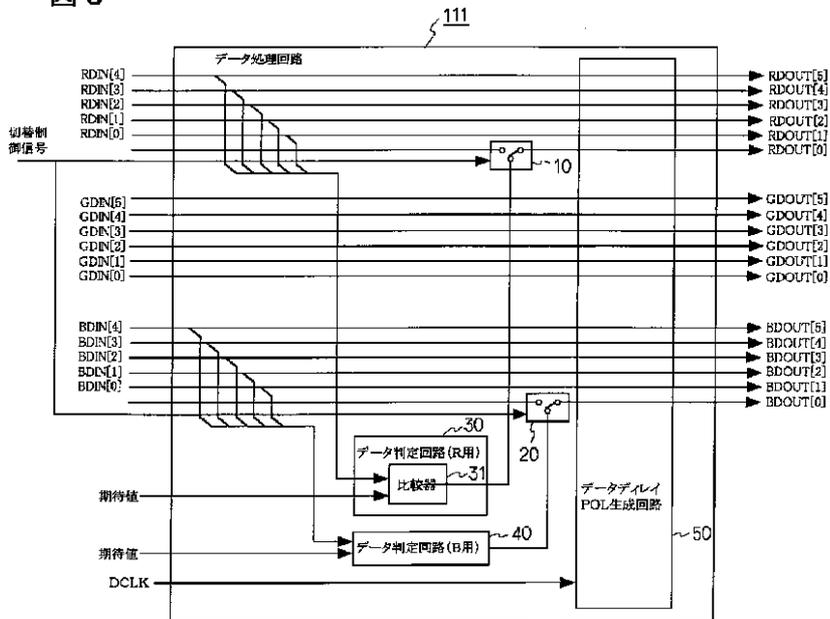
【図1】

図1



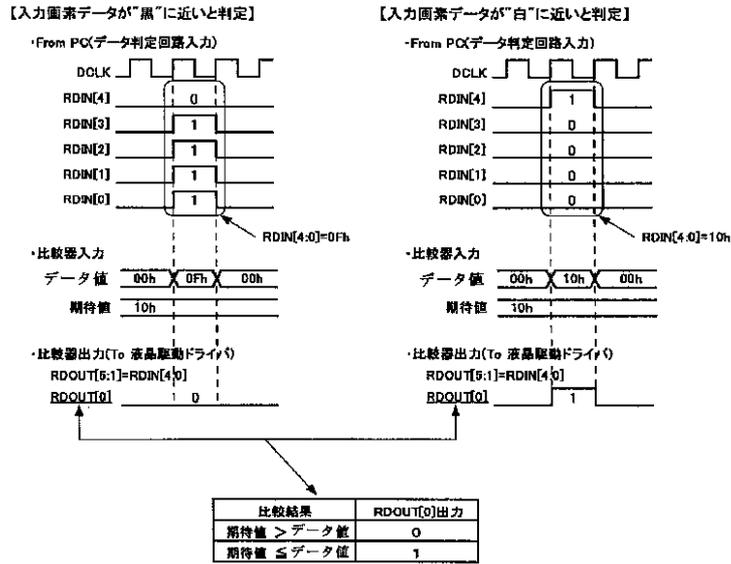
【図3】

図3



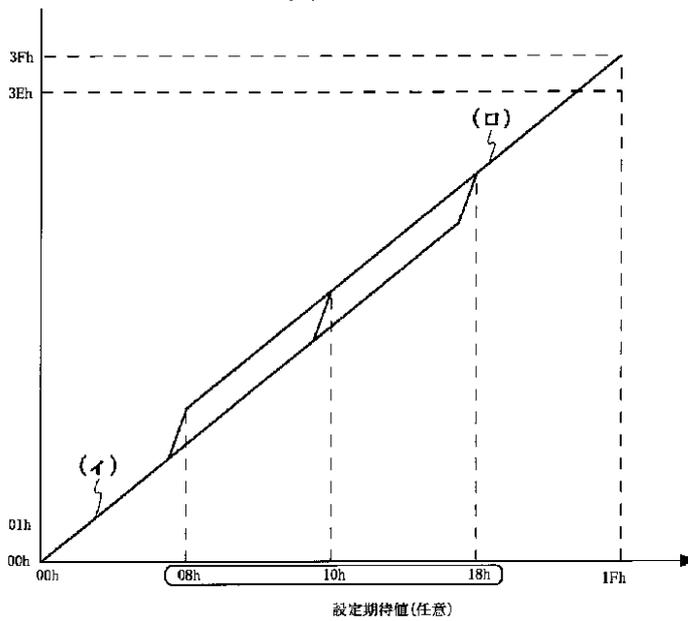
【図4】

図4



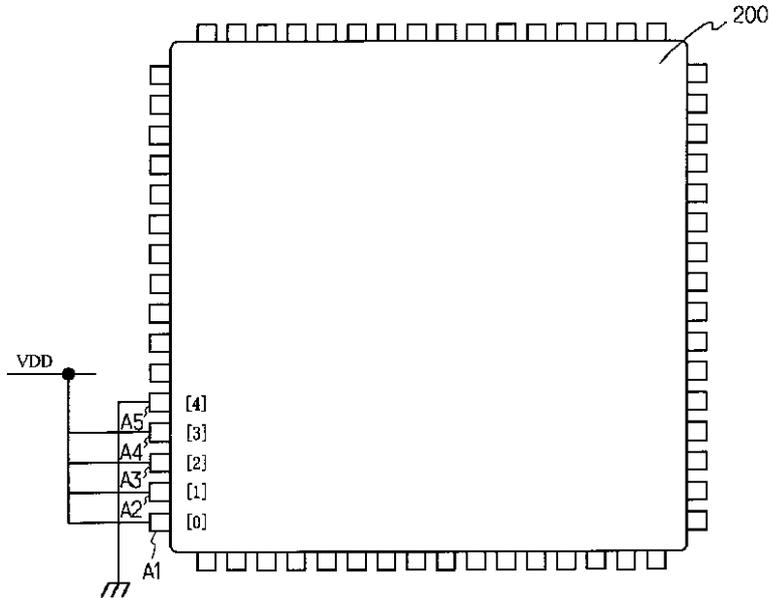
【図5】

図5



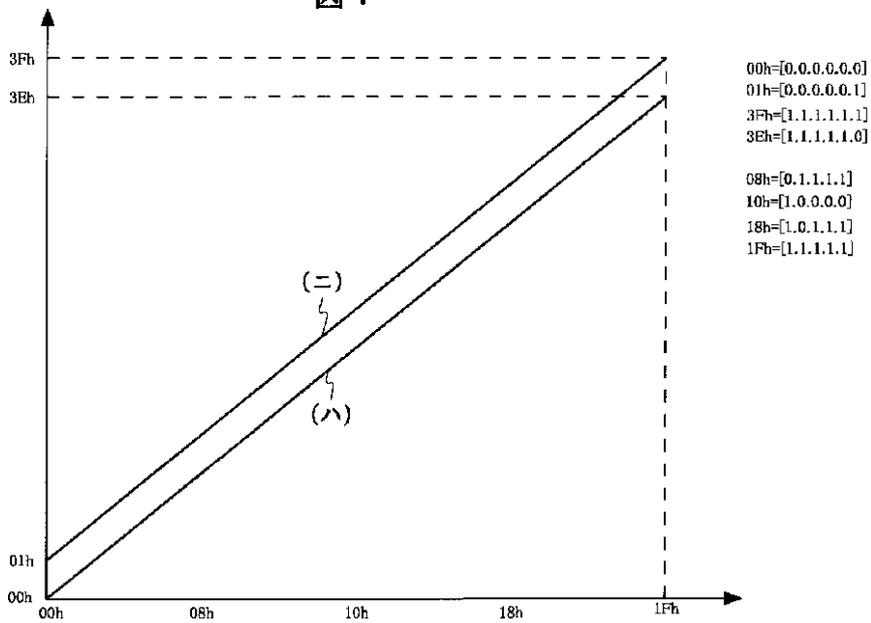
【図6】

図6



【図7】

図7



フロントページの続き

(51) Int.Cl. ⁷		識別記号	F I	テ-マコード (参考)
G 0 9 G	3/20		G 0 9 G 3/20	6 5 0 H
H 0 4 N	5/66	1 0 2	H 0 4 N 5/66	1 0 2 B

F ターム(参考) 2H093 NA06 NA16 NA51 NC26 NC34
ND03
5C006 AA01 AA22 AF23 AF45 AF46
AF51 AF53 AF61 AF71 BB16
BF14 FA18 FA54 FA56
5C058 AA06 BA08 BB25
5C080 AA10 BB05 CC03 DD03 EE29
FF11 JJ02 JJ04 JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2003044012A	公开(公告)日	2003-02-14
申请号	JP2001228910	申请日	2001-07-30
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	大平智秀		
发明人	大平 智秀		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
FI分类号	G09G3/36 G02F1/133.575 G09G3/20.632.Z G09G3/20.642.E G09G3/20.650.F G09G3/20.650.H H04N5/66.102.B		
F-TERM分类号	2H093/NA06 2H093/NA16 2H093/NA51 2H093/NC26 2H093/NC34 2H093/ND03 5C006/AA01 5C006/AA22 5C006/AF23 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/BB16 5C006/BF14 5C006/FA18 5C006/FA54 5C006/FA56 5C058/AA06 5C058/BA08 5C058/BB25 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZB42 2H193/ZD21		
外部链接	Espacenet		

摘要(译)

当从外部输入到显示控制电路的显示数据的位数小于从显示控制电路输出至漏极驱动器的显示数据的位数时，在液晶显示面板上显示的黑图像。提供一种能够防止水平或白水平降低的液晶显示装置。一种液晶显示装置，包括：显示控制电路，该显示控制电路基于从外部输入的显示数据向驱动单元输出n位（n是整数）的显示数据。当从显示设备输入的显示数据是显示数据的m（m是整数， $m < n$ ）位时，高m位的数据作为从外部输入的m位显示数据被显示给驱动装置。作为数据的低位（ mn ）位数据输出n位显示数据，其是从确定装置输出的[0]电平电压或[1]电平电压。

