

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4634673号
(P4634673)

(45) 発行日 平成23年2月16日(2011.2.16)

(24) 登録日 平成22年11月26日(2010.11.26)

(51) Int. Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
GO2F 1/1345 (2006.01) GO2F 1/1345
HO1L 29/786 (2006.01) HO1L 29/78 612C
HO1L 21/336 (2006.01) HO1L 29/78 612D

請求項の数 2 (全 35 頁)

(21) 出願番号 特願2001-294582 (P2001-294582)
 (22) 出願日 平成13年9月26日(2001.9.26)
 (65) 公開番号 特開2003-98550 (P2003-98550A)
 (43) 公開日 平成15年4月3日(2003.4.3)
 審査請求日 平成18年10月11日(2006.10.11)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100091672
 弁理士 岡本 啓三
 (72) 発明者 張 宏勇
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 審査官 磯野 光司

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

画素マトリクスと走査バス線とデータバス線とを有する表示部と、前記走査バス線を駆動するゲートドライバと前記データバス線を駆動するデータドライバを有する周辺回路部が形成された第1基板と、該第1基板に対向する第2基板と、前記第1基板と前記第2基板の間に挟まれる液晶とを有する液晶表示装置において、

前記周辺回路部の少なくとも一部は、

前記第1基板上に形成された第1金属パターンと、

前記第1金属パターン上に形成された第1絶縁膜と、

前記第1絶縁膜上に形成された第2金属パターンと、

前記第2金属パターン上に形成されて少なくとも第1樹脂膜を有する第2絶縁膜と、

前記第2絶縁膜上に形成され且つ前記第2絶縁膜に形成されたホールを通して前記第2金属パターンに接続される第3金属パターンと、

前記第3金属パターン上に形成された透明導電膜と、

前記透明導電膜上に形成された第2樹脂膜とを有し、

前記表示部は、

前記第1基板上に形成され且つ前記第2絶縁膜に覆われた能動素子と、

前記第2絶縁膜上に形成され且つ前記第2絶縁膜に形成されたホールを通して前記能動素子に電氣的に接続される引出金属パターンと、

前記第2絶縁膜と前記第2樹脂膜の間の画素領域に形成され、前記第2絶縁膜上及び前

記引出金属パターン上に形成され且つ前記透明導電膜と同じ材料からなる画素電極とを有し、

前記第3金属パターン及び前記引出金属パターンはチタン膜からなることを特徴とする液晶表示装置。

【請求項2】

基板の上方の周辺回路部に第1配線を形成するとともに、前記基板の上方の表示部に能動素子のゲート電極を形成する工程と、

前記第1配線上及び前記能動素子上に第1絶縁膜を形成する工程と、

前記第1絶縁膜上の前記周辺回路部に第2配線を形成する工程と、

前記第2配線上と前記第1絶縁膜上に少なくとも第1樹脂膜を含む第2絶縁膜を形成する工程と、

前記第2絶縁膜上の前記周辺回路部に、前記第2絶縁膜に形成されたホールを通して前記第2配線に接続される第3配線を形成するとともに、前記第2絶縁膜上の前記表示部に、前記第2絶縁膜に形成されたホールを通して前記能動素子に電氣的に接続される引出配線を形成する工程と、

前記第3配線上に透明導電膜を形成するとともに、前記第2絶縁膜上の前記表示部及び前記引出配線上に前記透明導電膜と同じ材料からなる画素電極を形成する工程と、

前記周辺回路部の前記第3配線上及び前記表示部の前記画素電極上に第2樹脂膜を形成する工程と

を有し、

前記第3配線及び前記引出配線を形成する工程において、前記第3配線及び前記引出配線をチタン膜から形成することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置及びその製造方法に関し、より詳しくは、CMOS型電界効果トランジスタを有する周辺回路又は信号処理回路を内蔵した液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】

周辺回路又は信号処理回路を内蔵したアクティブマトリクス型液晶表示装置においては、表示領域だけでなく、周辺回路又は信号処理回路においてもアナログスイッチやインバータのCMOSトランジスタとして薄膜トランジスタ(TFT)が使用されている。

【0003】

周辺回路又は信号処理回路内の薄膜トランジスタは、表示領域と同様に低温ポリシリコン技術が用いられている。

【0004】

低温結晶化技術は、高性能・低価格の周辺駆動回路TFTの製造には不可欠である。現在実用化されている代表的な結晶化技術はエキシマレーザを用いた低温結晶化法であり、エキシマレーザを用いることにより良質なシリコン結晶薄膜を低融点ガラス上に形成することが可能になる。

【0005】

エキシマレーザによる結晶化の基本的な方法は例えば次のようである。

【0006】

まず、PECVD(Plasma-Enhanced CVD)等の薄膜形成法を用いて非晶質シリコン(a-Si)出発薄膜をガラス基板上に形成する。続いて、出発薄膜の耐レーザ性を向上させるために、400~450の熱処理でa-Si出発薄膜中の水素を除去する。次に、エキシマレーザの光ビームをa-Si出発薄膜に照射して結晶化させてポリシリコン薄膜を形成する。さらに、ポリシリコン薄膜を水素、水蒸気などの雰囲気中で処理することにより、結晶性を改善する。

10

20

30

40

50

【0007】

そのようなポリシリコン薄膜を用いて、画素表示部にスイッチングTFTアレイを形成するとともに、周辺回路部に半導体集積回路を同一基板上に形成する。周辺回路を内蔵した液晶表示装置は、一般的に、画素表示部TFTアレイ、ゲート駆動回路、データ駆動回路から構成される。データ駆動回路は、一般的に、動作周波数が数メガヘルツ(MHz)から数十MHzの範囲で $50 \sim 300 \text{ cm}^2/\text{Vs}$ の電界効果移動度と適切な閾値電圧 V_{th} を有する高性能TFTが用いられる。

【0008】

しかし、ゲート駆動回路と画素表示部では、TFTの移動度に対する要求はそれほど厳しくなく、例えば $20 \text{ cm}^2/\text{Vs}$ 以上であればよい。

10

【0009】

一方、液晶表示装置の新しい技術動向としては、超高精細表示パネルと高性能内蔵型大規模半導体回路を達成することにある。

【0010】

まず、超高精細表示パネルについて説明する。

【0011】

マルチメディア技術とモバイル技術の進歩、インターネットの普及により、大量情報を閲覧・処理することが日常的に必要となってきた。このため、マン・マシンインターフェイスとしての液晶表示装置に対して、超高精細表示機能の仕様要求が高まっている。例えば、インターネットのホームページのマルチ画面表示、マルチタスク処理、CAD設計等の

20

【0012】

次に、高性能の液晶パネル内蔵型大規模半導体回路について説明する。

【0013】

低温ポリシリコン一体化パネルにおいて、周辺回路部に高性能の大規模半導体集積回路を設けることによって、インテリジェントパネルやシートコンピュータを実現する技術動向が見られるようになった。例えば、データ側にデジタルドライバ、データ処理回路、メモリアレイ、インターフェイス回路、更にCPUを液晶表示パネルに内蔵することもあり得る。

30

【0014】

そのような周辺回路に用いられる能動素子は通常の薄膜トランジスタが使用される。周辺回路部と画素部のそれぞれの薄膜トランジスタは、例えば特開2000-36599号公報に記載されているように、同じ工程で形成されるとともに、それらの薄膜トランジスタの上に形成される配線も同じ工程で形成されている。

【0015】

例えば、図1に示すように、表示部Aの薄膜トランジスタ101と周辺回路部Bの薄膜トランジスタ102を同時に1つの基板103上に形成した後に、それらの薄膜トランジスタ101, 102を第1層間絶縁膜104で覆う。ここで、薄膜トランジスタ101, 102を構成するポリシリコン膜100は上記したような低温ポリシリコン膜をパターンニングすることにより形成される。ポリシリコン膜100とゲート電極101g, 102gの間にはゲート絶縁膜110が形成されている。なお、ゲート電極101g, 102gは、図示しない一層目配線と同時に形成される。

40

【0016】

さらに、第1層間絶縁膜104上に順に二層目配線105、第2層間絶縁膜106、三層目配線107、第3層間絶縁膜108を形成する。二層目配線105は、第1層間絶縁膜104に形成されたホールを通して表示領域Aと周辺回路領域Bのそれぞれの薄膜トランジスタ101, 102に接続される。三層目配線107は、第2層間絶縁膜106に形成されたホールを通して周辺回路部Bの薄膜トランジスタ102に接続される。二層目配線105を構成する金属は、表示部AにおいてはブラックマトリクスBMとして使用される

50

。また、表示部 A において、第 3 層間絶縁膜 108 の上には画素電極 109 が形成され、その画素電極 109 は二層目配線 105 を介して薄膜トランジスタ 101 のソース領域に接続される。

【0017】

【発明が解決しようとする課題】

ところで、液晶表示パネルにおいては高精細表示が進むほど、画素ピッチが小さくなり、周辺回路密度が極めて高くなる。そのためにはデジタルドライバを内蔵した 200 dpi 以上の超高精細パネルを形成することが必要になる。

【0018】

例えば、8.4 型 U X G A パネルの場合には、画素数 1600 (水平方向) × 3 × 1200 (垂直方向)、表示精細度 238 dpi、サブ画素ピッチ 35.5 μm である。その他の例として、15 型 Q X G A パネルの場合には、画素数 2048 (水平方向) × 3 × 1536 (垂直方向)、表示精細度 171 dpi、サブ画素ピッチ 49.5 μm である。

10

【0019】

そのような縦 1 ライン分の画素列を駆動するためには数百～数千個の T F T から構成される周辺回路をそのような狭い画素ピッチ領域内に収める必要がある。また、高性能の低温ポリシリコン・インテリジェントパネル、シートコンピュータ等を製造するために、周辺領域にデジタルドライバ、データ処理回路、メモリアレイ、インターフェイス回路、C P U 等の大規模回路を内蔵する必要がある。

これらの大規模は集積回路を狭い額縁領域内に納める必要がある。

20

【0020】

一方、軽量化とコンパクト化の要求により液晶パネルに要求される額縁は、ガラス基板の縁から数 mm 程度の範囲であり、10 mm 以上の額縁を持つパネルは考えられない。

【0021】

以上のような条件を満たすように T F T を配置する場合には、配線ピッチが狭くなって配線間の浮遊容量が大きくなるという新たな課題が発生する。

【0022】

また、図 1 に示した多層配線構造では、最上の配線と画素電極の間にそれぞれ絶縁膜を形成し、その絶縁膜に最上の配線と画素電極を接続するためのホールを形成しなければならないので、画素電極接続用ホールの形成を単独で行うことになるのでスループットが低下するおそれがある。

30

【0023】

本発明の目的は、配線間の容量を低下し、また、スループットを向上することができる液晶表示装置及びその製造方法を提供することにある。

【0024】

【課題を解決するための手段】

上記した課題は、画素マトリクスと走査バス線とデータバス線とを有する表示部と、前記走査バス線を駆動するゲートドライバと前記データバス線を駆動するデータドライバを有する周辺回路部が形成された第 1 基板と、該第 1 基板に対向する第 2 基板と、前記第 1 基板と前記第 2 基板の間に挟まれる液晶とを有する液晶表示装置において、前記周辺回路部の少なくとも一部は、前記第 1 基板上に形成された第 1 金属パターンと、前記第 1 金属パターン上に形成された第 1 絶縁膜と、前記第 1 絶縁膜上に形成された第 2 金属パターンと、前記第 2 金属パターン上に形成されて少なくとも第 1 樹脂膜を有する第 2 絶縁膜と、前記第 2 絶縁膜上に形成され且つ前記第 2 絶縁膜に形成されたホールを通して前記第 2 金属パターンに接続される第 3 金属パターンと、前記第 3 金属パターン上に形成された透明導電膜と、前記透明導電膜上に形成された第 2 樹脂膜とを有し、前記表示部は、前記第 1 基板上に形成され且つ前記第 2 絶縁膜に覆われた能動素子と、前記第 2 絶縁膜上に形成され且つ前記第 2 絶縁膜に形成されたホールを通して前記能動素子に電氣的に接続される引出金属パターンと、前記第 2 絶縁膜と前記第 2 樹脂膜の間の画素領域に形成され、前記第 2 絶縁膜上及び前記引出金属パターン上に形成され且つ前記透明導電膜と同じ材料からな

40

50

る画素電極とを有し、前記第3金属パターン及び前記引出金属パターンはチタン膜からなることを特徴とする液晶表示装置によって解決される。

【0025】

上記した課題は、基板の上方の周辺回路部に第1配線を形成するとともに、前記基板の上方の表示部に能動素子のゲート電極を形成する工程と、前記第1配線上及び前記能動素子上に第1絶縁膜を形成する工程と、前記第1絶縁膜上の前記周辺回路部に第2配線を形成する工程と、前記第2配線上と前記第1絶縁膜上に少なくとも第1樹脂膜を含む第2絶縁膜を形成する工程と、前記第2絶縁膜上の前記周辺回路部に、前記第2絶縁膜に形成されたホールを通して前記第2配線に接続される第3配線を形成するとともに、前記第2絶縁膜上の前記表示部に、前記第2絶縁膜に形成されたホールを通して前記能動素子に電気的に接続される引出配線を形成する工程と、前記第3配線上に透明導電膜を形成するとともに、前記第2絶縁膜上の前記表示部及び前記引出配線上に前記透明導電膜と同じ材料からなる画素電極を形成する工程と、前記周辺回路部の前記第3配線上及び前記表示部の前記画素電極上に第2樹脂膜を形成する工程とを有し、前記第3配線及び前記引出配線を形成する工程において、前記第3配線及び前記引出配線をチタン膜から形成することを特徴とする液晶表示装置の製造方法によって解決される。

10

【0030】

次に、本発明の作用について説明する。

【0031】

本発明の液晶表示装置によれば、上下に形成される第1金属パターンと第2金属パターンの間に樹脂膜を形成したので、第1金属パターンと第2金属パターンからなる多層配線構造の浮遊容量が小さくなり、周辺回路部の動作周波数が大幅に向上する。しかも、浮遊容量を殆ど考慮することがないので、回路設計の自由度が大きくなる。

20

【0032】

また、本発明によれば、最上の配線と画素電極を同じ絶縁膜上に形成するようにしたので、表示部の画素電極接続用ホールを周辺回路部の配線接続用ホールと同時に形成することができ、スループットが向上する。

【0033】

さらに、周辺回路部の多層配線構造の最上の金属パターンと表示部の画素電極とを同じ樹脂膜、例えば配向膜によって覆うようにしたので、最上の金属パターンの上に単独に無機絶縁膜を形成する場合に比べて、膜厚を容易に厚く形成し、製造プロセスを簡略化することができる。

30

【0034】

なお、上記した絶縁膜は層間絶縁膜とも記される。また、基板はTFT基板であってもよい。配線は金属配線であってもよい。

【0035】

本発明によれば、画素電極を構成する透明導電膜を周辺回路部の配線の上に形成したので、配線及び画素電極の上に樹脂膜を形成する前に、配線を外部の環境から保護することができる。

【0041】

【発明の実施の形態】

以下に本発明の実施形態を図面に基づいて説明する。

(第1の実施の形態)

図2～図5は、本発明の第1実施形態の表示装置における薄膜トランジスタ(TFT)の形成工程を示す断面図である。

【0042】

まず、図2(a)に示すように、ガラス、石英、樹脂フィルムのような絶縁性基板(基板)1の上に下地絶縁膜2として酸化シリコン(SiO_2)膜を150～300nm、好ましくは200nmの厚さに形成する。その下地絶縁膜2は、膜厚50nmの窒化シリコン膜と膜厚200nmの酸化シリコン膜を順に形成した二層構造であってもよい。なお、絶縁性基

40

50

板として、例えばコーニング社の#1737ガラス基板を用いる。

【0043】

続いて、下地絶縁膜2の上に非晶質シリコン膜3を20~100nm、好ましくは40~50nmの厚さに連続的に成膜する。それらの膜は、例えばPECVD(plasma-enhanced CVD)法により連続的に形成される。さらに、絶縁性基板1を窒素雰囲気中に置き、450の温度で非晶質シリコン膜3を1時間アニールし、これにより非晶質シリコン膜3から水素を抜く。

【0044】

次に、図2(b)に示すように、波長308nm、エネルギー密度300~400mJ/cm²、好ましくは320~350mJ/cm²のエキシマレーザーを非晶質シリコン膜3の全面に照射して、非晶質シリコン膜3を多結晶シリコン膜3aに変える。

10

【0045】

なお、非晶質シリコン膜3が、水素化非晶質シリコン(a-Si:H)でなく、低水素濃度非晶質シリコン(a-Si)である場合にはシリコン膜からの水素抜きのためのアニール工程は不要である。低水素非晶質シリコンは、例えば水素含有量1%以下の非晶質シリコンである。

【0046】

続いて、図2(c)に示すように、レジスト(不図示)と反応性イオンエッチングを用いて多結晶シリコン膜3aをパターンングすることにより、画素部A、周辺回路部B、その他の回路部(不図示)の複数のトランジスタ形成領域にそれぞれ島状の多結晶シリコンパターン3b, 3c, 3dを形成するとともに、トランジスタ同士を接続するショートバー領域(不図示)にも多結晶シリコン膜3aを残す。

20

【0047】

次に、図2(d)に示すように、下地絶縁膜2及び島状の多結晶シリコンパターン3b, 3c, 3d上にゲート絶縁膜4としてSiO₂膜をPECVD法により80~150nmの厚さに形成する。ゲート絶縁膜4として、例えば、膜厚100~150nm、好ましくは120nmの酸化シリコン(SiO₂)膜と膜厚30~100nm、好ましくは40~50nmの窒化シリコン(SiN_x)膜をPECVD法により連続的に形成した二層構造を採用してもよい。

【0048】

さらに、ゲート絶縁膜4上にアルミニウム合金(金属)、例えばAl-Nd、Al-Scをスパッタ法により300~500nm、好ましくは350nmの厚さに形成する。アルミニウム合金は、一層目の金属層(第1金属層)である。

30

【0049】

そして、レジストパターンを用いてフォトリソグラフィ法によりアルミニウム合金をパターンングし、これにより図2(e)に示すように、島状の多結晶シリコンパターン3b, 3c, 3dの上を通るゲート電極5b, 5c, 5dとその他の一層目の配線パターンを形成する。なお、一層目の配線パターンの具体例については後述する。

【0050】

この後に、LDD領域幅を確保するために、ゲート電極5b, 5c, 5dをウェットエッチング(等方エッチング)し、さらにオーバーエッチングによりゲート電極5b, 5c, 5dをさらに細くすることにより、ゲート電極5b, 5c, 5dの両側のLDD(lightly doped drain)領域幅を形成する。普通、TFT信頼性を保証するために、LDD領域幅を0.5~1.5μmの範囲に制御する。本実施形態では、サイドエッチング時間の調整でLDD領域幅Lを0.8μm以下に制御する。勿論、サイドエッチング時間を調整すれば、Lを0.5~1.5μmの範囲内で自由に調整することができる。ゲート電極5b, 5c, 5dの幅を画定した後にゲート電極5b, 5c, 5dの上に残されたレジストパターンを剥離する。

40

【0051】

次に、図3(a)に示すように、島状の多結晶シリコンパターン3b, 3c, 3dのうちゲ

50

ート電極 5 b , 5 c , 5 d の両側に不純物をドーピングしてソース領域とドレイン領域を形成する。

【 0 0 5 2 】

不純物のドーピングは、R F 放電方式又は D C 放電方式のイオン源をもつプラズマドーピング装置を用いて、絶縁性基板 1 全面に対して、2ステップ方法で多結晶シリコンパターン 3 b , 3 c , 3 d に燐イオン (P⁺) ドーピングする。燐を供給するためのガスとして、1 ~ 5 % に希釈されたホスフィン (P H₃) を用いる。

【 0 0 5 3 】

第 1 ステップと第 2 ステップのドーピングは、多結晶シリコンパターン 3 b , 3 c , 3 d のそれぞれのソース領域 6 s , 7 s , 8 s とドレイン領域 6 d , 7 d , 8 d 、およびショートバー領域の多結晶シリコンパターンに低抵抗な n⁺ 領域を形成し、さらに、L D D 領域に比較的高抵抗な n⁻ 領域を形成することを目的とする。

10

【 0 0 5 4 】

第 1 ステップドーピングの代表的な条件は、イオン加速電圧を 1 0 keV 、燐ドーズ量を $5 \times 10^{14} \sim 5 \times 10^{15}$ ions/cm² に設定する。第 2 ステップドーピングの代表的な条件は、イオン加速電圧を 7 0 keV 、燐ドーズ量を $5 \times 10^{12} \sim 1 \times 10^{14}$ ions/cm² に設定する。そのような条件によれば、ドーパントはゲート絶縁膜 4 を透過して多結晶シリコンパターン 3 b , 3 c , 3 d に導入される。

【 0 0 5 5 】

2ステップドーピング法の最大のメリットは、1回のドーピング工程で真空を破らずに自己整合的に n⁻ 領域と n⁺ 領域を形成できることである。

20

【 0 0 5 6 】

以上のドーピングは、周辺回路部 B 内の p 型の T F T 6 を形成する領域と n 型の T F T 7 とを形成する領域の島状の多結晶シリコンパターン 3 b , 3 c と、画素部 A の n 型の T F T 8 を形成する領域の島状の多結晶シリコンパターン 3 d と、その他の T F T のシリコンパターンとショートバー領域に対して行われるので、この後に p 型の T F T のソース領域とドレイン領域のそれぞれの n⁺ 型を p⁺ 型に反転させ、n⁻ 型を p⁻ 型に反転させるための反転ドーピングを行う必要がある。

【 0 0 5 7 】

そこで、フォトレジスト (不図示) により n 型の T F T と n 型のショートバー領域を覆った状態で、R F 又は D C の放電方式のイオン源をもつプラズマドーピング装置を用いて、p 型領域に対して、2ステップのホウ素 (B⁺) ドーピングを行う。反転ドーピングの第 1 ステップと第 2 ステップの B⁺ ドーピングは、それぞれソース領域とドレイン領域とショートバー領域に低抵抗の p⁺ 領域を形成し、L D D 領域に比較的に高抵抗な p⁻ 領域を形成することを目的とする。反転ドーピングの第 1 ステップドーピングの代表的な条件は、イオン加速電圧を 1 0 keV 、ホウ素ドーズ量を $5 \times 10^{14} \sim 5 \times 10^{15}$ ions/cm² である。第 2 ステップドーピングの代表的な条件は、イオン加速電圧を 6 0 keV 、ホウ素ドーズ量を $5 \times 10^{12} \sim 1 \times 10^{14}$ ions/cm² である。

30

【 0 0 5 8 】

反転ドーピングのために使用したフォトレジストを剥離した後に、波長 3 0 8 n m 、エネルギー密度 2 5 0 ~ 3 0 0 m J / c m² のエキシマレーザー法、又はハロゲンランプ等を用いるランプ加熱法を用いてドーパントの活性化を行い、ソース領域とドレイン領域のシート抵抗を 5 k Ω 以下、好ましくは 1 k Ω 以下にし、L D D 領域のシート抵抗を $1 \times 10^4 \sim 5 \times 10^6$ Ω / □ 、好ましくは $5 \times 10^4 \sim 1 \times 10^5$ Ω / □ に設定する。

40

【 0 0 5 9 】

以上により n 型の T F T と p 型の T F T とシリコンショートバーの形成が終了する。なお、本実施形態では、表示部 A には n 型 T F T 6 d を形成し、周辺回路部 B には n 型と p 型の T F T 6 b , 6 c を形成するが、これに限られるものではない。

【 0 0 6 0 】

次に、図 3 (b) に示すように、P E C V D 法により窒化シリコンを 3 0 0 ~ 6 0 0 n m 、

50

好ましくは400nmの厚さでゲート絶縁膜4とゲート電極5b, 5c, 5dの上に形成し、この窒化シリコンを第1層間絶縁膜9として用いる。これにより、TF T 6, 7, 8は第1層間絶縁膜9により覆われた状態になる。なお、第1層間絶縁膜9として窒化シリコンの代わりに酸化シリコンを形成してもよい。

【0061】

続いて、図3(c)に示すように、RIE法とレジストパターンを用いるフォトリソグラフィ法により第1層間絶縁膜9をパターンングすることにより、n型のTF T 7, 8とp型のTF T 6のそれぞれのソース領域6s, 7s, 8sとドレイン領域7d, 8d, 9dとゲート電極5b, 5c, 5dの上にコンタクトホール9a~9iを形成する。第1層間絶縁膜9のエッチングガスとして、CF₄とSF₆を使用する。

10

【0062】

次に、全てのコンタクトホール9a~9iの中と第1層間絶縁膜9の上に、スパッタ法により多層メタル膜を形成する。多層メタル膜として、例えば膜厚100nmのTi膜と膜厚200nmのAl膜と膜厚100nmのTi膜を順に形成した3層構造がある。この多層メタル膜は、二層目の金属層(第2金属層)である。

【0063】

続いて、図4(a)に示すように、フォトリソグラフィ法により多層メタル膜をパターンングしてソース領域6s, 7s, 8sとドレイン領域6d, 7d, 8dとゲート電極5b, 5c, 5dからコンタクトホール9a~9iを介して引き出される配線パターン10a~10iを形成する。フォトリソグラフィ法では、エッチングのためにRIE法を使用し、Ti/Al/Tiの多層メタル膜(二層目の金属層)のエッチングガスとして塩素系エッチングガスを用いる。表示部Aの第1層間絶縁膜9上においては、TF T 8のドレイン領域8dとドレインバスラインに電氣的に接続される配線パターン10gと、TF T 8のゲート電極5dから引き出される配線パターン10hと、TF T 8のソース領域8sに接続されて上に引き出される配線パターン10iとを有する。

20

【0064】

第1層間絶縁膜9上の配線パターン10a~10iは、二層目の配線パターンである。

【0065】

次に、中間の配線パターンを覆う窒化シリコン膜11を第1層間絶縁膜9上にPECVD法により50~200nm、好ましくは100nmの厚さに形成する。さらに、窒化シリコン膜11上に感光性のポリイミド、アクリル等の第1樹脂膜12を形成する。この第1樹脂膜12は、その表面の平坦化を図るために1.5μm以上の膜厚を有するのが好ましい。第1樹脂膜12とその下の窒化シリコン膜11によって第2層間絶縁膜13を構成する。

30

【0066】

さらに、図4(b)に示すように、第1樹脂膜12を露光、現像することによって、ホール13a, 13b, 13cを形成する。例えば、表示領域AのTF T 8のソース領域8sに電氣的に接続される二層目の配線パターン10iの上にホール13cを形成し、周辺回路部BのTF T 6, 7のソース領域7s、ドレイン領域6d等に電氣的に接続される二層目の配線パターン10a, 10fの上にホール13a, 13bを形成する。

40

【0067】

続いて、第1樹脂膜12のピアホールを通してその下の窒化シリコン膜11をエッチングする。この場合、窒化シリコン膜11の第1樹脂膜12に対するエッチングレートを調整するために、窒化シリコン膜11のエッチングガスとして用いられるCF₄とSF₆とO₂の比率を調整する。

【0068】

続いて、第1樹脂膜12上とホール13a, 13b, 13c内に、三層目の金属層(第3金属層)としてチタン膜をスパッタ法により100~300nmの厚さに形成する。続いて、図4(c)に示すように、塩素系ガスとRIEを用いるフォトリソグラフィ法により、三層目の金属層をパターンングして三層目の配線パターン14a, 14b, 14cを形

50

成する。なお、三層目の金属層として、Al膜、Al多層配線膜、Al合金、その他の金属材料膜を用いてもよい。

【0069】

これにより、周辺回路部Bにおいて、複数のTF T 6, 7は、一層目の金属層からなる金属パターン、二層目の配線パターン10a~10i、三層目の配線パターン14a, 14b, 14cによって電氣的に接続される。また、表示部Aにおいて、TF T 8のソース領域8sは、二層目の配線パターン10iと三層目の配線パターン14cを介して第2層間絶縁膜13上に引き出される。

【0070】

次に、第1樹脂膜12と三層目の配線パターン14a, 14b, 14cの上に50~100nm、好ましくは70nmの厚さのインジウム酸化材料、ITO等の透明導電膜15をスパッタ法により形成する。そして、ウェットエッチングを用いる通常の写真リソグラフィ法により透明導電膜15をパターンニングして、図5(a)に示すように、表示部AのTF T 8のソース領域8sから引き出された三層目の配線パターン14c上から画素形成領域に延在する画素電極15cを形成する。

10

【0071】

さらに、周辺回路部Bでは、三層目の配線パターン14a, 14bがAl又はAl合金からなる場合を除いて、三層目の配線パターン14a, 14bに沿った形状に透明導電膜15を残し、これにより三層目の配線パターン14a, 14bの上面と側面を覆う。

【0072】

三層目の配線パターン14a, 14b, 14cがAl又はAl合金からなる場合には、その上に直にITO膜を形成すると、電触が発生してしまうため、三層目の配線パターン14a, 14b, 14cの上に電触防止導電膜、例えばTi膜を形成する等、種々な工程上又は構造上の対策が必要である。なお、ITO膜は、周辺回路部Bでは三層目の配線パターン14a, 14bの保護膜としても機能する。しかし、周辺回路部Bでは、三層目の配線パターン14a, 14b上に透明導電膜15を残さなくても動作する。

20

【0073】

その後、水素(H₂)混合ガス雰囲気、又は窒素(N₂)雰囲気中で基板上の膜を200~300の温度で加熱する。このような熱処理は、TF Tの性能改善と第1樹脂膜の特性安定に効果がある。

30

【0074】

以上により、図6のaに示すように、TF T基板の形成工程が終了する。

【0075】

これに続いて、図5(b)と図7に示すように、第2層間絶縁膜13のうち画素部Aと周辺回路部Bの上に配向膜16を印刷し、この配向膜16によって画素電極15cと三層目の配線パターン14a, 14bを覆う。配向膜16は、ポリイミドのような樹脂から構成されている。

【0076】

三層目の配線パターン14a, 14b, 14cは従来では配向膜とは別の最上の保護絶縁膜で覆われ、配向膜はパネル工程で最上の保護絶縁膜の上に形成される。しかし、本実施形態では、図6のbに示すように、最上の層間絶縁膜の形成は省略してパネル工程で形成される配向膜16で代用している。

40

【0077】

ところで、図7の平面図において、絶縁性基板1の4隅の近傍に配置されるトランスファー電極17は、対向基板側に形成された共通電極をTF T基板側に電氣的に引き出すために形成されるものであって、銀ペースト、紫外線硬化型接着剤にニッケル或いは金をコーティングした球形材料などが用いられる。周辺回路部Bと表示部Aを覆う配向膜16は、トランスファー電極17とその周辺には形成しないように注意する。

【0078】

なお、図7において、シール18は、表示部Aと周辺回路部Bとトランスファー電極17

50

及び配向膜 16 を囲むように、絶縁性基板 1 の周辺に枠状に形成される。また、図 7 の周辺回路部 B において、配向膜の代わりにシール用樹脂膜を形成して最上の配線パターン 14 a, 14 b, 14 c を覆うようにしてもよい。また、三層目の金属層をシール領域に残して三層目の金属層上にシール 18 を形成してもよく、これによりシール 18 の密着性が悪くなることはない。シール用樹脂材の絶縁性は非常に良いために電気絶縁上の問題はない。

【 0079 】

ところで、図 7 の T F T 側の絶縁性基板 1 の上、又は対向基板の上に液晶を滴下し、その後 T F T 側の絶縁性基板 1 と対向基板を張り合わせて、液晶表示装置が形成される。その液晶表示装置を、図 7 の I - I 線の沿った断面図を示すと図 8 のようになる。

10

【 0080 】

図 8 に示した液晶表示装置において、T F T 基板 19 は、絶縁性基板 1 上に形成された画素用の T F T 8、画素電極 15 c を有する表示部 A と、T F T 6, 7 を有するインバータやアナログスイッチを備えた周辺回路部 B を有している。また、対向基板 20 は、平坦化膜 21、ブラックマトリクス B M とカラーフィルタ C F、透明対向電極 22、配向膜 23 等が基板 24 上に形成されている。T F T 基板 19 と対向電極 20 の間にはセルギャップを構成するシール 18 と、シール 18 により封止される液晶 25 が挟まれている。また、T F T 基板 19 の外側と対向基板 20 の外側にはそれぞれ偏光板等の光学フィルム 26, 27 が形成されている。

【 0081 】

20

なお、対向基板 20 において、カラーフィルター C F 上の平坦化膜 21 は省略してもよい。また、対向基板 20 において、表示部 A での液晶分子の傾きの影響を無くすために、周辺回路部 B に対向する部分では配向膜 23 を形成しないことが望ましい。さらに、画素電極 15 c は、二層目の配線パターン 10 i を介して T F T 8 のソース領域 8 s に接続しているが、第 1 層間絶縁膜 4、第 2 層間絶縁膜 9 に 1 つのホール（不図示）を形成し、このホールを通して画素電極 15 c を構成する透明導電膜を直にソース領域 8 s に接続するようにしてもよい。

【 0082 】

図 9 は、上記した液晶表示装置の回路ブロック図である。

【 0083 】

30

図 9 に示した液晶表示装置は、複数の画素セルを有する表示部 A と周辺回路部 B と入力端子部 C の 3 つの部分を示している。図 9 に示した回路は、後述する他の実施形態でも同様に適用される。

【 0084 】

表示部 A では、ダブルゲート T F T 8 a, 8 b とダブルゲート T F T 8 a, 8 b の一方のソース電極に接続されている画素電極 15 c 及び蓄積容量 C s とからなる画素セル 28 を複数有し、それらの画素セル 28 は縦横にマトリクス状に複数配置されている。また、表示部 A は、T F T 8 a, 8 b のゲート電極に接続され且つ水平に配置されて画素 T F T を選択するゲートバス（走査バス）線 29 a と、T F T 8 a のドレイン電極に接続され且つ垂直に配置されてデータ信号を画素セル 28 に伝達するデータバス線 29 b、等を有して

40

【 0085 】

例えば、U X G A フォーマットの表示部 A では、画素セル 28 の総数は 4800 × 1200 個で、ゲートバス線 29 a の総数は 1200 本で、走査バス線 29 b の総数は 4800 本である。

【 0086 】

周辺回路部 B は、ガラスよりなる絶縁性基板 1 の表示部 A の周りの額縁 1 a に形成されていて、走査線側回路 30 a、データ側周辺回路 30 b、静電防止 / リペア / 予備充電回路 30 c 等から構成されている。

【 0087 】

50

走査線側回路30aは、表示部左右側の額縁領域1aに配置されていて、ゲートバス線29aを選択する信号を発生する回路構成を有している。また、データ側周辺回路30bは、絶縁性基板1の上側の額縁領域1bに配置されていて、入力端子部31から入力されたデジタル映像信号をアナログ階調信号に変換し、所定のタイミングでデータを表示部Aに送る回路構成を有している。静電防止/リペア/予備充電回路30cは、絶縁性基板1の下側の額縁領域1cに配置されている。

【0088】

入力端子部31は、2カ所(ポート)に接続される入力端子群から構成されている。各ポートに24本又は48本のデジタル信号線が設けられており、また、走査側回路30aを駆動する各種の制御信号端子が設けられている。

10

【0089】

本実施形態によれば、以下に示す作用と効果が得られる。

【0090】

第1樹脂膜12は、厚さが1.5 μ m以上、比誘電率が3.0程度に小さい。このため、第1樹脂膜12上にある三層目の金属層からなる配線パターン14a, 14b, 14cと一層目、二層目の金属層からなる配線パターン5b~5d、10a~10iとの間に存在する浮遊容量が小さくなり、周辺回路部Bの動作周波数が大幅に向上する。

【0091】

これに対して、従来技術のようにSiN_x、又はTEOS-SiO₂膜のような無機系絶縁膜を第一の層間絶縁膜13として採用した場合には、CVD成膜技術なので厚い膜厚を得ることができない。しかも、SiN_xの比誘電率は7~9、SiO₂の比誘電率は3.8~4.2と、有機樹脂膜よりも大きいので、三層目の配線パターン14a, 14b, 14cとその下の他の配線パターン5b~5d、10a~10iの間の寄生容量が大きくなり、周辺回路部Bの高周波動作が困難になる。

20

【0092】

また、周辺回路部Bの動作周波数が高くなると、データ側に様々な高周波回路を設けることができるようになる。例えば、40MHz~100MHz動作可能なデジタルドライバ回路、I/O回路、データ処理回路、メモリアレイ、CPUなどを備えた高性能・多機能の周辺回路を絶縁性基板1の額縁領域1a, 1b, 1c内に作る事が可能になる。従って、シートコンピュータを作ることにも可能になる。

30

【0093】

また、周辺回路部Bのレイアウト設計から見れば、三層目の配線パターン14a, 14b, 14cとその下の配線パターン5b~5d、10a~10iとの間の寄生容量を殆ど考慮しなくてもよいので、回路設計の自由度が大きくなり、高密度のTFT集積回路を作ることが可能になる。

【0094】

また、周辺回路部Bの三層目の配線パターン14a, 14bとその下の配線パターン5b~5d、10a~10iの寄生容量を考慮しなくてもよいので、横方向の配置において、三層目の配線パターン14a, 14bをその下の配線パターン5b~5d、10a~10iに近づけてもよく、周辺回路部Bの占有面積を小さくすることができる。このため、絶縁性基板1の周辺の狭い額縁1a~1cで大規模TFT集積回路を作ることができる。また、回路規模が従来と同じ場合、額縁1a~1cの面積が小さくなる事が期待される。このように、狭額縁を持つ計量・コンパクトな周辺回路一体化型液晶表示装置を作ることができる。

40

【0095】

本実施形態では、周辺回路部Bの三層目の配線パターン14a, 14bの上に第2樹脂膜として配向膜16を形成したので、単独の絶縁膜を形成する従来技術に比べて、製造プロセスが簡略化され、製造コストが削減される。

【0096】

本実施形態では、周辺回路部Bの三層目の配線パターン14a, 14bの上に金属酸化物

50

の透明導電膜 15 を重ねて形成したので、三層目の配線パターン 14 a , 14 b はパネル工程の前に透明導電膜 15 によって保護される。しかも、三層目の配線パターン 14 a , 14 b は、配向膜 16 に覆われるようにしたので、三層目の配線パターンの長期信頼性が確保される。

【 0 0 9 7 】

さらに、周辺回路部 B の三層目の配線パターン 14 a , 14 b と透明導電膜 15 の間には他の絶縁膜は存在しないので、TFT 基板の製造プロセスが簡略化され、コストダウン効果が期待される。

(第 2 の実施の形態)

本実施形態として、三層の金属配線と二層の樹脂膜を用いた周辺回路一体型のポリシリコン反射型液晶表示装置の製造工程を以下に説明する。

【 0 0 9 8 】

まず、図 2 (a) ~ 図 4 (b) に示したように、絶縁性基板 1 の上に TFT 6 ~ 8 を形成し、その上に第 1 層間絶縁膜 9、二層目の配線パターン 10 a ~ 10 i、第 2 層間絶縁膜 13 を形成し、さらに第 2 層間絶縁膜 13 にホール 13 a , 13 b , 13 c を形成するまでの工程は、第 1 実施形態と同じであるので省略する。

【 0 0 9 9 】

次に、図 10 (a) に示すように、周辺回路部 B で第 1 樹脂膜 12 のホール 13 a , 13 b を通して TFT 6 , 7 に電氣的に接続される三層目の配線パターン 32 a , 32 b を形成するとともに、表示部 A で第 1 樹脂膜 12 のホール 13 c を通して TFT 8 のソース領域 8 s に接続される反射画素電極 32 c を形成する。

【 0 1 0 0 】

そのような三層目の配線パターン 32 a , 32 b と反射画素電極 32 c は次のような工程により形成される。その反射画素電極 32 c の上面は反射面となっている。

【 0 1 0 1 】

まず、第 1 樹脂膜 12 上とホール 13 a , 13 b , 13 c 内に、反射導電膜を兼ねた三層目の金属層として 20 ~ 100 nm の厚さのチタン膜と 50 ~ 300 nm の厚さのアルミニウム膜を順にスパッタ法により形成する。これに続いて、塩素系ガスと RIE を用いるフォトリソグラフィ法により、三層目の金属層をパターニングすることにより、表示部 A に画素電極 32 c を形成するとともに、周辺回路部 B には三層目の配線パターン 32 a , 32 b を形成する。なお、三層目の金属層として、単層の Al 膜を形成してもよい。

【 0 1 0 2 】

その後、水素 (H₂) 混合ガス雰囲気、又は窒素 (N₂) 雰囲気中で絶縁性基板 1 上の各々の膜を 200 ~ 300 の温度で加熱する。このような熱処理は、TFT 6 , 7 , 8 の性能改善と第 1 樹脂膜 21 の特性安定に効果がある。

【 0 1 0 3 】

次に、図 10 (b) に示すように、第 2 樹脂膜として、表示部 A と周辺回路部 B の上に配向膜 16 を印刷する。その配向膜 16 は、図 6 に示したと同様に、パネル工程の一部となっている。即ち、本実施形態では、最上の層間絶縁膜の形成は省略され、その層間絶縁膜を配向膜で代用している。

【 0 1 0 4 】

なお、図 10 において図 2 ~ 図 5 に記されたと同じ符号は同じ要素を示している。

【 0 1 0 5 】

以上のような、TFT 6 , 7 , 8 及び多層配線構造が形成された絶縁性基板 1 上の平面形状は、図 7 と同様である。即ち、第 1 実施形態と同様に、絶縁性基板 1 の 4 隅の近傍にはトランスファー電極 17 が形成され、また、周辺回路部 B と表示部 A を覆う配向膜 16 はトランスファー電極 17 とその周辺には形成されないのが好ましい。さらに、シール 18 は、表示部 A と周辺回路部 B とトランスファー電極 17 を囲むように、絶縁性基板 1 の周辺に枠状に形成される。

【 0 1 0 6 】

10

20

30

40

50

本実施形態に係る液晶表示装置を、図10のI-I線の沿った断面で示すと図11のようになる。図11において、周辺回路部Bでの三層目の配線パターン32a, 32bは、透明導電膜を介さずに直に配向膜(第2樹脂膜)16により覆われている。また、反射面を有する画素電極32cは二層目の配線パターン14cを介してTFT8のソース領域に接続されている。対向基板20において、カラーフィルターCF上の21平坦化膜は省略してもよい。また、対向基板20において、表示部Aへの液晶分子の傾きの影響を無くするために、周辺回路部Bに対向する部分では配向膜を形成しないことが望ましい。

【0107】

図11に示した液晶表示装置のその他の構造は、第1実施形態と同じであるので説明を省略する。

10

【0108】

なお、本実施形態の作用、効果は第1実施形態とほぼ同じなので、説明を省略する。

(第3の実施の形態)

本実施形態では、表示解像度238dpiの0.4型UXGAの液晶表示パネルに一体化された周辺回路の例として、第1、第2実施形態の構造とプロセスを用いた8ビットデジタルドライバの構成方法を説明する。

【0109】

図12(a)~(c)は、低温ポリシリコンTFTを用いた液晶表示装置内に一部又は全部が一体化される3種類のデータドライバを示している。データドライバは、図9のデータ側周辺回路30bを構成するものであって、入力端子から入力されたデジタル映像信号をアナログ階調信号に変換し、所定のタイミングデータを表示部Aに送る回路構成を有している。図12(a)~(c)において、8ビットのデジタル入力RGB信号は、TFT基板19上のデジタルドライバ33に入力される。RGB信号は、R0~R7、G0~G7、B0~B7の24チャンネルである。

20

【0110】

図12(a)に示す第1型のデータドライバは、破線で囲まれたデジタルドライバ33、ブロック制御回路34、アナログスイッチ列35を図8又は図11のTFT基板19に内蔵した完全内蔵型である。

【0111】

図12(b)に示す第2型のデータドライバは、破線で囲まれたブロック制御回路34とアナログスイッチ列35を図8又は図11のTFT基板19に内蔵した部分内蔵型である。そして、デジタルドライバ33は、単結晶半導体基板に形成されたデバイスであって、TFT基板19上にTAB実装又はCOG実装されている。

30

【0112】

図12(c)に示す第3型のデータドライバは、破線で囲まれたアナログスイッチ列35のみを内蔵した部分内蔵型である。D/A変換機能を持つデジタルドライバ33は、単結晶半導体基板に形成されてTFT基板19上にTAB実装又はCOG実装されている。ブロック制御回路34は、外付けのプリント板(PT板)回路で構成されている。

【0113】

なお、図12(a)~(c)において、符号33A₁、33A₂は、TFT基板19に形成されてデジタルドライバ33の出力側とアナログスイッチ列35の入力側に接続される共通信号線である。

40

【0114】

それらのような3種類のデータドライバのうち図12(a)に示した第1型が最も集積規模が高いので、第1型の構成について検討する。なお、データドライバを構成するTFTは、第1、第2実施形態における周辺回路部BのTFT6, 7等が適用される。

【0115】

図13は、TFT基板19上に作り込まれたデジタルドライバ33とブロック選択回路34とアナログスイッチ部35の構成図である。

【0116】

50

図13に示す動作周波数40MHzのデジタルドライバ33は、信号入力/データ分割回路33a、シリアル/パラレル変換部33b、ラッチ回路33c、レベルシフタ33d、D/Aコンバータ(デコーダ)33e、アナログ出力バッファ(オペアンプ)33f、クロック制御回路33g等の回路から構成される。

【0117】

データ側周辺回路部30bでは、デジタルドライバ33の動作周波数を下げ、電磁波輻射(EMI)を削減するために4入力ポートが並列に設けられ、各入力ポート毎に1系統のデジタルドライバ33が設けられる。即ち、データ側周辺回路部30bでは、4系統のデジタルドライバ33が構成される。

【0118】

次に、デジタルドライバ33の各部分の基本動作原理と構成を説明する。

【0119】

8×RGB=24チャンネルのシリアル信号は、シリアル/パラレル変換部33bで300ライン分のパラレル信号に変換され、さらにラッチ回路33cに転送される。ラッチ回路33cが信号を一時保持し、一定のタイミングでレベルシフタ33dとD/Aコンバータ33eに転送する。レベルシフタ33dは、ロジックレベル(3~5V)を液晶駆動電圧レベル(10~15V)に変換する。D/Aコンバータ33eは、基準電圧 V_0 から256階調信号を生成し、デジタル階調コードをその階調に対応した電圧(256階調から選択)に変換する。D/Aコンバータ33eでデコードされた信号は、アナログ出力バッファ33fによって一定のタイミングでパネル側に出力される。

【0120】

水平一列にある4800個のサブ画素セルは、タイミング的に4ブロックに分割される。即ち、水平期間において、4系統のデジタルドライバ33は同時に300ライン分の階調信号を4回出力し、1回当たりの書き込みライン数は1200本(4800/4)、書き込み時間はおよそ1/4水平期間(1/4H)である。

【0121】

デジタルドライバ33の出力側には300本のビデオ信号線No.1-No.300と1200×4組のアナログスイッチ35aが形成される。ブロック制御回路部34からのブロック信号線BL1~BL4によってアナログスイッチ35aが1200組の単位で選択されてデジタルドライバ33の出力信号が所定の表示部Aに書き込まれる。このように、デジタルドライバ33とブロック選択回路34によって、入力表示信号がブロック順次的に表示部Aに転送され、さらに液晶T-V特性によって、人間が認識できる映像に変換される。

【0122】

半導体LSIのデジタルドライバの動作周波数に比べて、ポリシリコンデジタルドライバの動作周波数が低いため、TFT性能に合わせて入力されたデータを最適な転送レート(周波数)に変換する必要がある。低温ポリシリコンTFT6~8の移動度が $150\text{ cm}^2/\text{Vs}$ 以下であるため、クロック周波数を80MHz以下に設定した方が動作マージンが広い。

【0123】

図14は、ラッチ回路33cの4ビット分の等価回路図である。ラッチ回路33cはシリアル/パラレル変換33bとレベルシフタ33dの間にあり、入力されたデジタル信号D1a~D4aを一時的に保存するラインメモリ回路である。入力された4ビットのデジタル信号D1a~D4aがLPG信号によってラッチセル回路LP1~LP4に記憶される。

【0124】

1ビットのラッチセル回路LP1(LP2、LP3、LP4)は1個の薄膜トランジスタ T_1 (T_2 、 T_3 、 T_4)と2個のインバータ I_{11} 、 I_{12} (I_{21} 、 I_{32} 、 I_{31} 、 I_{32} 、 I_{41} 、 I_{42})によって構成される。8ビットのデジタル信号を保存するために、1出力当たり、8個の同じラッチセル回路が必要である。これにより、1系統のデジタルドライバ33から300の出力信号が出るため、 $8 \times 300 = 2400$ 個のラッチセル回路が必要で

10

20

30

40

50

ある。図 14 には、4 ビット分のラッチセル回路 LP1 ~ LP4 が示されている。

【0125】

図 15 は、ラッチ回路 33c の 2 ビット分レイアウト図であり、図 14 に示されたトランジスタの T1 ~ T4 とラッチセル回路 LP2、LP4 のレイアウト図面が示される。

【0126】

レイアウト設計に用いたデザインルールは 3 ~ 4 μm である。表示精細度 238 dpi の 8.4 型 UXGA パネルの画素ピッチ 35.5 μm で、2 ピッチ画素部の 71 μm 幅に 8 ビットラッチ回路 (図 15 では 2 ビットのみ示されている) を収めることができた。

【0127】

図 15 において、第 1、第 2 実施形態で示した絶縁性基板 1、下地絶縁膜 2、ゲート絶縁膜 4、その他の絶縁膜は省略されている。

10

【0128】

図 15 において、符号 36a ~ 36j はそれぞれ一層目メタル配線であって島状のシリコン膜 3aの上では、その一部の一層目メタル配線 36e, 36g, 36h, 36j, 26i は薄膜トランジスタのゲート電極を兼ねている。また、符号 37a ~ 37p は、一層目メタル配線 36a ~ 36j を覆う第 1 層間絶縁膜 9 上に形成された二層目メタル配線であって、島状のシリコン層 3a と一層目メタル配線 36a ~ 36j を接続する接続配線 37 ~ 37h, 27j, 37k 37m, 37n と、信号 LPG を伝達するための LPG 配線 37p と、インバータ I_{21} 、 I_{41} 、 I_{42} の一部に定電圧 V_{DD} を印加するための定電圧配線 37i, 37o と、インバータ I_{21} 、 I_{41} 、 I_{42} の一部を接地電位 GND に設定するための接地電位配線 37l 等がある。

20

【0129】

さらに、符号 38a ~ 38c は、二層目メタル配線 37a ~ 37p を覆う第 2 層間絶縁膜 13 上に形成された三層目メタル配線である。三層目メタル配線 38a ~ 38c として、例えば、第 3 のラッチセル回路 LP3 の薄膜トランジスタ T_3 のドレイン領域上の二層目メタル配線 37g に接続されて第 3 のラッチセル回路 LP3 に引き出される配線 38a と、第 2 のラッチセル回路 LP2 の一層目メタル配線 36h に接続される出力配線 38b と、第 4 のラッチセル回路 LP4 の一層目メタル配線 36j に接続される出力配線 38c がある。

【0130】

30

なお、図 15 では、一層目メタル配線 36a ~ 36j と二層目メタル配線 37a ~ 37f, 37h, 37j, 37k, 37p の接続と島状のシリコン層 3a と二層目メタル配線 37a ~ 37o の接続とのために第 1 層間絶縁膜 9 に形成されるホールを第 1 コンタクトとして示し、また、三層目メタル配線 38a と二層目メタル配線 37g の接続のために第 2 層間絶縁膜 13 に形成されるホールと、三層目メタル配線 36b と一層目メタル配線 36j、36h の接続のために第 2 層間絶縁膜 13 及び第 1 層間絶縁膜 9 に形成されるホールとを第 2 コンタクトとして記載している。

【0131】

なお、一層目メタル配線は第 1、第 2 実施形態の周辺回路部 B の一層目の配線パターンであり、二層目メタル配線は第 1、第 2 実施形態の周辺回路部 B の二層目の配線パターンであり、三層目メタル配線は第 1、第 2 実施形態の周辺回路部 B の三層目の配線パターンである。

40

【0132】

以上のように 3 層のメタル配線を使うことにより、従来の 2 層のメタル配線では困難であった 200 dpi 以上の高精細にデジタルドライバを内蔵することができた。

【0133】

また、第 2 層間絶縁膜 13 の上部である第 1 樹脂膜 12 の膜厚が厚くて比誘電率が低いために、三層目メタル配線 38a ~ 38c とその下の他のメタル配線 37a ~ 37o、36a ~ 36j の間の寄生容量が小さくなる。このため、40 MHz という高い周波数動で高速動作することが可能になる。

50

【0134】

さらに、3～4 μmという緩いデザインルールで大規模の周辺回路を作ることができる。
(第4の実施の形態)

第1実施形態では、三層目の金属層と透明導電膜のパターニングを別々に行っているが、本実施形態ではそれらのパターニングを同時に行う簡略化について説明する。

【0135】

まず、図2(a)～図4(a)に示したと同じように、絶縁性基板1上にTF T 6～8を形成し、さらに第1層間絶縁膜9、二層目の配線パターン10 a～10 iを形成する。その工程は、第1実施形態と同じであるので省略する。ただし、本実施形態では、二層目の配線パターン10 a～10 iとして、膜厚50 nmのTi膜と膜厚200 nmを順に形成した2層構造を採用するか、又は、モリブデン(Mo)、チタン、アルミニウム合金などの単層又は多層を形成する。

10

【0136】

続いて、図16(a)に示すように、二層目の配線パターン10 a～10 iを覆う窒化シリコン膜11を第1層間絶縁膜9上にPECVD法により50～200 nm、好ましくは100 nmの厚さに形成する。さらに、窒化シリコン膜11の上に感光性ポジ型のポリイミド、アクリル等の第1樹脂膜12を形成する。この第1樹脂膜12は、その表面の平坦化を図るために3～4 μm以上の膜厚を有するのが好ましい。第1樹脂膜12とその下の窒化シリコン膜11によって第2層間絶縁膜13を構成する。なお、第1樹脂膜12の代わりに厚さ1 μm以上のSiO₂、SiN_x等の無機膜を形成してもよい。

20

【0137】

次に、図16(b)に示すように、第1樹脂膜12を露光、現像することにより二層目の配線パターン10 a～10 iの上に二段目のホール13 a～13 cを形成する。即ち、表示領域AではTF T 8のソース領域8 sに接続される二層目の配線パターン10 iの上方に形成される。さらに、第1樹脂膜12のホール13 a～13 cを通してその下の窒化シリコン膜11をエッチングする。この場合、窒化シリコン膜11の第1樹脂膜12に対するエッチングレートを調整するために、エッチングガスとして用いられるCF₄とSF₆とO₂の比率を調整する。

【0138】

続いて、図16(c)に示すように、第1層間絶縁膜13上とそのホール13 a～13 c内に、スパッタ法により厚さ70 nmのITO(透明導電膜)膜41と、厚さ50 nmのチタン膜と厚さ200 nmのアルミニウムを連続して形成する。Ti膜とAl膜は三層目の金属層42となる。そのTi膜は、ITO膜41とAl膜との直接接触による電気腐食を防止するために中間メタルブロッキング膜として形成されている。なお、中間メタルブロッキング膜としてモリブデン膜を形成してもよい。

30

【0139】

次に、三層目の金属層42上にポジ型のフォトレジスト43を3 μmの厚さに塗布する。そして、図17(a)に示すように、通常の露光量で表示部Aと周辺回路部Bを含むフォトレジスト43を露光する。この1回目の露光時には、配線形状の遮光パターン44 aと画素形状の遮光パターン44 bを有する第1のレチクル(露光マスク)44を使用する。

40

【0140】

このような1回目の露光により、フォトレジスト43には光照射領域43 aが形成される。

【0141】

続いて、フォトレジスト43を現像することなく、フォトレジスト43の2回目の露光工程に移る。

【0142】

2回目の露光時には、図17(b)に示すように、表示部Aの少なくとも画素領域に向けて露光光を透過させる透過パターンと周辺回路部Bの全体を遮光する遮光パターンとを有する第2のレチクル(露光マスク)45を使用する。また、その2回目の露光時の露光光量

50

を1回目の露光時の露光光量の $1/3 \sim 2/3$ となるように設定する。これにより、第1回目の露光時に光を照射しなかった画素領域をハーフ露光する。

【0143】

この結果、画素領域でのフォトレジスト43はハーフ露光部となり、その他の配線パターン部分では露光されない。しかも、三層目の金属層42及びITO膜41が残されない部分ではフォトレジスト43は通常の量で露光光が照射された状態になっている。

【0144】

この後に、フォトレジスト43を現像すると、図18(a)に示すように、周辺回路部Bではフォトレジスト43は通常の1回の露光を経た場合と同じ厚さ t_1 になる一方、表示部Aの画素領域上では過剰な露光に起因してフォトレジスト43の膜厚 t_2 が周辺回路部Bのフォトレジスト43よりも $1/3 \sim 2/3$ 程度に薄くなる。

10

【0145】

次に、そのような膜厚分布のあるフォトレジスト43のパターンをマスクに用いて三層目の金属層42と透明導電膜41を順次エッチングすると、図18(b)に示すように、周辺回路部Bには金属層42及びITO膜41よりなる三層目の配線パターン46a, 46bが形成され、表示部AにはITO膜42よりなる画素電極46cが形成される。

【0146】

続いて、図19(a)に示すように、画素電極46c上のフォトレジスト43が無くなり、且つ周辺回路領域Bにはフォトレジスト43を残る条件で酸素アッシングを行う。そのようなフォトレジスト43の膜厚の調整方法として、アッシング時に生じるプラズマ中の炭素(C)を検出し、その信号強度をモニターすることによりエッチングのエンドポイントを決めておく。ここで過剰のオーバーアッシングにならないように注意を払う。なお、三層目の金属層42をエッチングした後に画素電極46c上に残ったフォトレジスト43の膜厚を t とすると、周辺回路部Bでのレジスト43の膜厚は $t +$ 程度薄くなる。なお、はオーバーアッシングにより削られた厚さである。

20

【0147】

この状態では、周辺回路部Bの三層目の配線パターン46a, 46bはフォトレジスト43に覆われた状態であり、表示部Aに残った三層目の金属層42は露出した状態になっている。

【0148】

次に、図19(b)に示すように、画素電極46c上の三層目の金属層42をエッチングして除去する。この場合、画素電極46cを構成するITO膜41を残すために、ITOに対するエッチング選択比の高いメタルエッチャント、例えば_____を使用する。なお、周辺回路部Bでは、三層目の配線パターン46a, 46bを構成する金属層42は、フォトレジスト43により保護されているのでエッチングされない。

30

【0149】

この後に、図20(a)に示すように、フォトレジスト43を除去する。なお、第2層間絶縁膜13の上層部として第1樹脂膜12を適用する場合には、第1樹脂膜12が薄層化されるおそれがあるので、フォトレジスト43をアッシングする際に第1樹脂膜12が残っているように、第1樹脂膜12の膜厚を調整する必要がある。但し、第2層間絶縁膜13の上部が無機膜から構成されている場合には第2層間絶縁膜13がアッシングにより薄くなることはない。なお、第2層間絶縁膜13として、樹脂膜を無機膜により挟んだ三層構造を採用してもよい。

40

【0150】

その後に、(b)に示すように、配線パターン46a, 46b、画素電極46cを覆う配向膜(第2樹脂膜)16を第2層間絶縁膜12上に形成する。

【0151】

以上のように本実施形態によれば、表示部Aの画素電極46cと三層目の配線パターン46a, 46bがハーフ露光ステップを有する1回のフォトリソグラフィ工程により形成されるので、製造工程が簡略されて製造コストを削減することができる。

50

(第5の実施の形態)

本実施形態では、上記した三層目の金属層をマスク選択スパッタ法で形成することにより工程を簡略化することについて説明する。マスク選択スパッタ法は、透明導電膜と三層目の金属層との形成順の相違によって種々の法がある。

【0152】

図21(a),(b)は、透明導電膜を形成した後に三層目の金属層を形成する第1のマスク選択スパッタ法を示している。

【0153】

まず、図21(a)に示すように、絶縁性基板51の上にTFT、一層目及び二層目の金属層、層間絶縁膜、第1樹脂膜等を含むデバイス構造部52を形成する。デバイス構造部52の最上層は第1樹脂膜となっている。続いて、通常のスパッタ法により透明導電膜であるITO膜53をデバイス構造部52上に形成する。

【0154】

さらに、図21(b)に示すように、デバイス構造部52の表示部Aをスパッタ用メタルマスク55によりスパッタソース源から遮蔽した状態で、三層目の金属層54として膜厚50nmのTi膜と膜厚200nmのアルミニウム膜をスパッタによりITO膜53上に形成する。これにより、デバイス構造部52の周辺回路部BにITO/Ti/Alの多層構造の膜53,54が形成され、表示部Aには単層のITO膜53のみが形成されことになる。

【0155】

図22(a),(b)は、三層目の金属層を形成した後に透明導電膜を形成する第2のマスク選択スパッタ法を示している。

【0156】

まず、図22(a)に示すように、絶縁性基板1上にデバイス構造部52を形成する。続いて、スパッタ用メタルマスク55を用いてデバイス構造部52の表示部Aをスパッタソース源から遮蔽した状態で、スパッタ用メタルマスク55口を通してスパッタにより三層目の金属層54として膜厚50nmのTi膜と膜厚200nmのアルミニウム膜を順にデバイス構造部52の第1樹脂膜上に形成する。

【0157】

次に、図22(b)に示すように、スパッタ用メタルマスク55を絶縁性基板1の上方から外し、デバイス構造部52上と三層目の金属層54上に通常のスパッタ法により透明導電膜53としてITO膜を形成する。これにより、周辺回路部BにはTi/Al/ITOの多層構造の膜53,54が形成され、表示部Aには単層の透明導電膜53のみが形成されことになる。

【0158】

次に、図21(a),(b)に示した第1のマスク選択スパッタ法を用いて、画素電極と三層目の配線パターンを形成する工程を説明する。

【0159】

まず、図2(a)～図3(d)に示したと同じように、絶縁性基板1上にTFT6,7,8を形成し、さらに第1層間絶縁膜9、二層目の配線パターン10a～10iを形成する。それらの詳細は、第1実施形態と同じであるので省略する。ただし、二層目の配線パターン10a～10iの構成膜として、膜厚50nmのTi膜と膜厚200nmを順に形成した2層構造、又は、Mo、Ti、Al合金などの単層若しくは多層構造を形成する。

【0160】

続いて、図23(a)に示すように、二層目の配線パターン10a～10iを覆う窒化シリコン膜11を第1層間絶縁膜9上にPECVD法により50～200nm、好ましくは100nmの厚さに形成する。さらに、窒化シリコン膜11の上に感光性のポリイミド、アクリル等の第1樹脂膜12を形成する。この第1樹脂膜12は、その表面の平坦化を図るために3～4μm以上の膜厚を有するのが好ましい。第1樹脂膜12とその下の窒化シリコン膜11によって第2層間絶縁膜13を構成する。なお、第1樹脂膜12の代わりに厚さ1μm以上のSiO₂、SiN_x等の無機膜を形成してもよい。

10

20

30

40

50

【 0 1 6 1 】

次に、図 2 3 (b) に示すように、第 1 樹脂膜 1 2 を露光、現像することにより二層目の配線パターン 1 0 a ~ 1 0 i の上にホール 1 3 a ~ 1 3 c を形成する。画素を形成しようとする領域では T F T 8 のソース領域 8 s に接続される二層目の配線の上にホール 1 3 c が形成される。さらに、第 1 樹脂膜 1 2 のホール 1 3 a ~ 1 3 c を通してその下の窒化シリコン膜 1 1 をエッチングする。この場合、窒化シリコン膜 1 1 の第 1 樹脂膜 1 2 に対するエッチングレートを調整するために、エッチングガスとして用いられる CF_4 と SF_6 と O_2 の比率を調整する。

【 0 1 6 2 】

続いて、図 2 3 (c) に示すように、第 1 樹脂膜 1 2 上とホール 1 3 a から 1 3 c 内に、スパッタ法により厚さ 7 0 n m の透明導電膜 5 6 として I T O 膜を形成する。

10

【 0 1 6 3 】

さらに、図 2 4 (a) に示すように、スパッタ用メタルマスク 5 5 で表示部 A の透明導電膜 5 6 を遮蔽しながら、周辺回路部 B の透明導電膜 5 6 上に厚さ 5 0 n m のチタン (Ti) 膜と厚さ 2 0 0 n m のアルミニウム (Al) をスパッタ法により連続して形成する。Ti 膜と Al 膜は三層目の金属層 5 7 である。その Ti 膜は、第 4 実施形態のように中間メタルブロッキング膜として機能する。なお、中間メタルブロッキング膜としてモリブデンを形成してもよい。

【 0 1 6 4 】

絶縁性基板 1 上で透明導電膜 5 6 のみが形成される表示部 A と三層目の金属層 5 6 及び透明導電膜 5 6 が形成される周辺回路部 B の配置を示すと図 2 6 の平面図のようになる。なお、三層目の金属層 5 7 が形成される領域は、表示部 A 以外の全部の領域としてもよい。

20

【 0 1 6 5 】

次に、スパッタ用メタルマスク 5 5 を絶縁性基板 1 の上方から外した後に、三層目の金属層 5 7 と透明導電膜 5 6 の上にポジ型のフォトレジスト 5 8 を 1 . 5 μ m の厚さに塗布する。そして、図 2 4 (b) に示すように、フォトレジストを露光、現像することにより表示部 A には画素用レジストパターン 5 8 a を形成し、周辺回路部 B には配線用レジストパターン 5 8 b を形成する。

【 0 1 6 6 】

続いて、画素用レジストパターン 5 8 a、配線用レジストパターン 5 8 b をマスクに用いて、表示部 A では透明導電膜 5 6 をエッチングし、周辺回路部 B では三層目の金属層 5 7 と I T O 膜 5 6 を順次エッチングすると、図 2 5 (a) に示すように表示部 A には画素電極 5 9 a が形成され、周辺回路部 B には三層目の配線パターン 5 9 b が形成される。画素電極 5 9 a はホール 1 3 c を通して二層目の配線パターン 1 0 i に接続されて T F T 8 のソース領域 8 s に電氣的に接続される。また、周辺回路領域 B の三層目の配線パターン 5 9 b は、ホール 1 3 a、1 3 b 内に充填された透明導電膜 5 6 を介して二層目の配線パターン 1 0 a、1 0 f に接続されることになる。

30

【 0 1 6 7 】

さらに、図 2 5 (b) に示すように、配線用及び画素用のレジストパターン 5 8 a、5 8 b を酸素アッシングにより除去した後に、図 2 5 (c) に示すように、三層目の配線パターン 5 8 b と画素電極 5 8 a を覆う配向膜 1 6 を第 2 層間絶縁膜 1 3 上に形成する。

40

【 0 1 6 8 】

以上のように、本実施形態によれば、三層目の金属層 5 7 をマスク選択スパッタ法により周辺回路部 B にのみ形成し、表示部 A 及び周辺回路部 B に透明導電膜 5 6 を形成するようにしたので、透明導電膜 5 6 と金属層 5 7 を 1 回のフォトリソグラフィ工程によりパターンニングすることにより、画素電極 5 8 a と三層目配線パターン 5 9 b を形成することができ、製造工程が簡略化されて製造コストが削減される。

【 0 1 6 9 】

なお、図 2 3 ~ 図 2 6 において、第 1、第 2 実施形態と同じ符号は同じ要素を示している。

50

(第6の実施の形態)

本実施形態では、第1、第2、第4及び第5実施形態で示した一層目～三層目の金属層から高周波信号伝送回路を形成する方法について説明し、さらに、三層目の金属層を高周波回路の電磁波遮蔽に用いる構造について説明する。

【0170】

図27は、第1、第2、第4及び第5実施形態で示した一層目～三層目の金属層をパターンニングすることにより形成された高周波信号伝送回路の平面図、図28は電磁波遮蔽構造の断面図である。

【0171】

TFT基板において、高周波信号伝送回路60の高周波入力端子RD0～RD7、GD0～GD7、BD0～BD7に入力する赤(R)、緑(G)、青(B)の3色のデジタル表示信号(8ビット×3)は、高周波信号伝送回路60内の配線を通して周辺回路に入力される。また、TFT基板において、高周波伝送回路60の制御信号端子SA、SB、SC、SDに入力する高周波制御信号は、高周波信号伝送回路60内の配線を通して周辺回路に入力される。

10

【0172】

表示フォーマットによって異なるが、XGA(水平1024×垂直768)の場合、マスタクロック周波数はシングルポートで約65MHz、デュアルポートで約33MHzである。このような高周波信号を送信する際、電磁波放射が発生して環境と人体に悪影響を与えるので、電磁波防止対策が必要である。

20

【0173】

外部よりTFT基板に入力した高周波信号は、図27の平面図に示す高周波伝送回路60を介して高周波回路部61等に伝送される。図28は、図27のII-II線断面である。なお、図27は、配線等の配置を示している。

【0174】

高周波伝送回路60は、図28に示すように、絶縁性基板61上の絶縁膜62の上に形成された一層目の配線71と、一層目の配線71と絶縁膜62を覆う第1層間絶縁膜63の上に形成された二層目の配線72と、二層目の配線72と第1層間絶縁膜63を覆う第2層間絶縁膜64上に形成された固定電位金属パターン73とを有している。第2層間絶縁膜64の少なくとも上部は、樹脂絶縁膜から構成される。

30

【0175】

一層目の配線71は、例えば第1実施形態のゲート電極5b～5dを構成する一層目の金属層をパターンニングすることにより形成される。また、二層目の配線72は、例えば第1実施形態の二層目の配線パターン10a～10iを構成する二層目の金属層をパターンニングすることにより形成される。さらに、固定電位金属パターン73は、例えば第1実施形態の三層目の配線パターン14a～14cを構成する三層目の金属層をパターンニングすることにより形成される。

【0176】

一層目の配線71は、図27の縦方向(Y方向)に間隔を置いて平行に複数本形成されている。また、二層目の配線72は、図27の横方向(X方向)に間隔を置いて平行に複数本形成されている。

40

【0177】

1つの一層目の配線71は、第一層間絶縁膜63に形成されたコンタクトホール63aを介して1つの二層目の配線72に接続されている。

【0178】

二層目の配線72は、高周波入力端子RD0～RD7、GD0～GD7、BD0～BD7と制御信号端子SA、SB、SC、SDに接続され、一層目の配線71は、絶縁性基板1上に形成された高周波回路部70に接続されている。その高周波回路部70は、第1実施形態で示した周辺回路部B内のTFT、一層目の配線パターン、二層目の配線パターン等から構成される。

50

【0179】

第2層間絶縁膜64上の固定電位金属パターン73は、一層目の配線71と二層目の配線72と高周波回路部70を被覆する大きさの形状にパターニングされている。また、固定電位金属パターン73は、接地電位その他の固定電位に電氣的に接続され、これにより高周波信号の伝送により発生する電磁波を遮蔽する。

【0180】

図29(a),(b)は、本実施形態の変形例を示す平面図及び断面図である。

【0181】

図29(a),(b)において、TF T基板に形成された周辺回路内の2つの高周波回路70a, 70bは、第一層間絶縁膜63の上に形成された第1端子74及び第2端子75にそれぞれ接続されている。第1端子74と第2端子75は、それぞれ二層目の配線72の元となる二層目の金属層をパターニングすることによって形成される。

10

【0182】

第2層間絶縁膜64上には、固定電位金属パターン73のパターニングにより形成されたブリッジ配線73aが複数形成されている。ブリッジ配線73aの一端は、第2層間絶縁膜64に形成されたホール64aを通して第1端子74に接続され、その他端は第2層間絶縁膜64に形成された別のホール64bを通して第2端子75に接続されている。これにより、2つの高周波回路70a, 70bは、第1端子74、第2端子75及びブリッジ配線73aを介して電氣的に接続されている。

【0183】

また、一層目の配線71と二層目の配線72と高周波回路70a, 70bを覆う大きさにパターニングされた固定電位金属パターン73は、接地電位GND その他の固定電位に電氣的に接続されている。

20

【0184】

この場合、三層目の金属層73は、ブリッジ配線73aの周囲に広がって同じ三層目の金属層から形成されているが、ブリッジ配線73aの周囲に3~50 μ mの隙間Sを介して互いに絶縁されている。

【0185】

なお、三層目の金属層をパターニングして形成された配線パターンにより同一の高周波回路内の素子同士を接続する構造を採用してもよい。

30

【0186】

上記した三層目の金属層は、より低い抵抗値を得るために、アルミニウムを含む金属層で構成し、シート抵抗を10 Ω 以下に設計することが望ましい。本実施形態では、三層目の金属層として膜厚50nmのチタンと膜厚200nmのアルミニウムの二層構造の金属層を採用し、その二層構造の金属層のシート抵抗は0.2 Ω 以下である。

【0187】

以上のように、第2層間絶縁膜上の三層目の金属層をパターニングして形成した固定電位金属パターン73は、接地電位に接続されるために、高周波伝送配線による電磁波の輻射が抑えられる。この結果、高周波伝送回路60は、高周波信号を高いS/N(信号/雑音)比で確実に伝送することができる。しかも、TF T基板からの電磁波輻射が固定電位金属パターン73によって小さくなるので、情報システム全体の電磁波輻射が小さくなり、上記した構造は環境にやさしい情報システムの構築に寄与する。さらに、上記した構造の高周波伝送回路は、高周波回路の電氣的発振を防ぐことができるので、パネル動作安定性が改善される。

40

【0188】

なお、上記した各実施形態で層間絶縁膜は絶縁膜としても表現してもよい。

(付記1)画素マトリクスと走査バス線とデータバス線とを有する表示部と、前記走査バス線を駆動するゲートドライバと前記データバス線を駆動するデータドライバを有する周辺回路部が形成された第1基板と、該第1基板に対向する第2基板と、前記第1基板と前記第2基板の間に挟まれる液晶とを有する液晶表示装置において、

50

前記周辺回路部の少なくとも一部は、
 前記第 1 基板上に形成された第 1 金属パターンと、
 前記第 1 金属パターン上に形成された第 1 絶縁膜と、
 前記第 1 絶縁膜上に形成された第 2 金属パターンと、
 前記第 2 金属パターン上に形成されて少なくとも第 1 樹脂膜を有する第 2 絶縁膜と、
 前記第 2 絶縁膜上に形成された第 3 金属パターンとを有し、
 前記表示部は、
 前記第 1 基板上に形成され且つ前記第 2 絶縁膜に覆われた能動素子と、
 前記第 2 絶縁膜上の画素領域に形成され且つ前記第 2 絶縁膜に形成されたホールを通して
 前記能動素子に電氣的に接続される画素電極とを有する
 ことを特徴とする液晶表示装置。

10

(付記 2) 前記第 3 金属パターンの上に形成された第 2 樹脂膜を有し、前記画素電極は前記第 2 絶縁膜と前記第 2 樹脂膜の間に形成されていることを特徴とする付記 1 に記載の液晶表示装置。

(付記 3) 前記表示部の前記第 2 絶縁膜上には、前記第 3 金属パターンと同じ材料から構成され且つ前記能動素子に電氣的に接続される引出金属パターンが形成され、
 さらに、前記画素電極は、前記ソース引出金属パターン上に形成された透明導電膜から形成されていることを特徴とする付記 1 又は付記 2 に記載の液晶表示装置。

(付記 4) 前記引出金属パターンは、前記周辺回路部の第 3 金属パターンと同じ材料又はほぼ同様な材質の多層又は単層の金属膜から構成されていることを特徴とする付記 3 に記載の液晶表示装置。

20

(付記 5) 前記周辺回路部の前記第 3 金属パターン上には透明導電膜が形成されていることを特徴とする付記 1 乃至付記 4 のいずれかに記載の液晶表示装置。

(付記 6) 前記画素電極は、前記第 2 絶縁膜上に形成された金属パターンから構成され、反射面を有していることを特徴とする付記 1 又は付記 2 に記載の液晶表示装置。

(付記 7) 前記画素電極を構成する前記金属パターンは、前記周辺回路部の第 3 金属パターンと同じ材料又はほぼ同様な材質の多層又は単層の金属膜から構成されていることを特徴とする付記 6 に記載の液晶表示装置。

(付記 8) 前記表示部の前記画素電極は透明導電膜のパターンから構成され、
 前記周辺回路部の前記第 1 金属パターン、前記第 2 金属パターンの下には前記透明導電膜
 のパターンが形成されていることを特徴とする付記 1 乃至付記 4 のいずれかに記載の液晶表示装置。

30

(付記 9) 前記第 2 樹脂膜は、前記表示部に形成される配向膜であるか、又は、該配向膜と同じ材質の樹脂膜であることを特徴とする付記 2 乃至付記 8 のいずれかに記載の液晶表示装置。

(付記 10) 前記周辺回路部において、前記第 3 金属パターン上に絶縁性シールが形成されていることを特徴とする付記 3、付記 4、付記 6 乃至付記 9 のいずれかに記載の液晶表示装置。

(付記 11) 前記周辺回路部の少なくとも一部は、前記基板上に形成された薄膜トランジスタを有し、
 前記第 1 金属パターンは前記薄膜トランジスタのゲート電極及び電気配線であり、前記第 2 金属パターンは前記薄膜トランジスタのソース/ドレイン電極及び電気配線であることを特徴とする付記 1 乃至付記 10 に記載の液晶表示装置。

40

(付記 12) 前記データドライバは、レジスタ回路、ラッチ回路、D/A 変換回路、アナログバッファ回路を有し且つ前記第 1 金属パターン、前記第 2 金属パターン、前記第 3 金属パターンを用いるデジタルドライバであることを特徴とする付記 1 乃至付記 10 のいずれかに記載の液晶表示装置。

(付記 13) 基板の上方に第 1 配線を形成する工程と、
 前記第 1 配線上に第 1 絶縁膜を形成する工程と、
 前記第 1 絶縁膜上に第 2 配線を形成する工程と、

50

前記第 2 配線上と前記第 1 絶縁膜上に少なくとも第 1 樹脂膜を含む第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜上の周辺回路部に第 3 配線を形成する工程と、

前記第 2 絶縁膜上の表示部に画素電極を形成する工程と、

を有することを特徴とする液晶表示装置の製造方法。なお、第 1 ~ 第 3 の配線は金属配線であってもよい。

(5)

(付記 1 4) 前記周辺回路部に形成された前記第 3 配線と前記表示部の前記画素電極の上に第 2 樹脂膜を形成する工程をさらに有することを特徴とする付記 1 3 に記載の液晶表示装置の製造方法。

(付記 1 5) 基板上であって表示部と周辺回路部に下側配線を形成する工程と、

10

前記下側配線の上に絶縁膜を形成する工程と、

前記絶縁膜上に透明導電膜を形成する工程と、

前記透明導電膜上に金属層を形成する工程と、

前記金属層上にレジストを塗布する工程と、

第 1 露光マスクを使用して第 1 露光量で前記レジストを露光する工程と、

前記レジストのうち前記表示部に光を透過し且つ前記周辺回路部を遮光する第 2 露光マスクを用いて第 1 露光量よりも少ない光量の第 2 露光量で前記レジストを露光する工程と、

前記レジストを現像することによって前記周辺回路部には第 1 レジストパターンを形成し、且つ前記表示部には該配線レジストパターンよりも薄く画素形状の第 2 レジストパターンを形成する工程と、

20

前記第 1 レジストパターン及び前記第 2 レジストパターンをマスクに用いて前記金属層及び前記透明導電膜をエッチングすることにより、前記周辺回路部には上側配線を形成し、前記表示部には画素電極を形成する工程と、

前記第 1 レジストパターンを薄層化するとともに前記第 2 レジストパターンを除去する工程と、

第 1 レジストパターンをマスクにして前記画素電極の上部にある前記金属層を選択的にエッチングすることにより、前記画素電極の前記透明導電膜を選択的に露出させる工程と、

前記第 1 レジストパターンを除去することにより、前記上側配線を構成する前記金属層を露出させる工程と

を有することを特徴とする液晶表示装置の製造方法。

30

(付記 1 6) 前記上側配線は、前記透明導電膜を介して前記下側配線に電氣的に接続されていることを特徴とする付記 1 5 に記載の液晶表示装置の製造方法。

(付記 1 7) 基板の表示部と周辺回路部に T F T 素子及び第 1 配線を形成する工程と、

前記 T F T 素子及び前記第 1 配線上に樹脂膜を含む絶縁膜を形成する工程と、

前記第 1 配線を部分的に露出させるコンタクトホールを前記絶縁膜に形成する工程と、

前記コンタクトホール内と前記絶縁膜上に透明導電膜を形成する工程と、

前記透明導電膜上に金属層を形成する工程と、

前記金属層上にレジストを塗布する工程と、

第 1 露光マスクを使用して第 1 露光量で前記レジストを露光する工程と、

前記レジストのうち前記表示部に光を透過し且つ前記周辺回路部を遮光する第 2 露光マスクを用いて第 1 露光量よりも少ない光量の第 2 露光量で前記レジストを露光する工程と、

40

前記レジストを現像することによって前記周辺回路部には第 1 レジストパターンを形成し、且つ前記表示部には該第 1 レジストパターンよりも薄く画素形状の第 2 レジストパターンを形成する工程と、

前記第 1 レジストパターン及び前記第 2 レジストパターンをマスクに用いて前記金属層及び前記透明導電膜をエッチングすることにより、前記周辺回路部には導電パターンを形成し、前記表示部には画素電極を形成する工程と、

前記配線レジストパターンを薄層化するとともに前記第 2 レジストパターンを除去する工程と、

前記第 1 レジストパターンをマスクにして前記画素電極の上部にある前記金属層を選択的

50

にエッチングすることにより、前記画素電極の前記透明導電膜を選択的に露出させる工程と、

前記第1レジストパターンを除去することにより、前記周辺回路部で前記導電パターンを構成する前記金属層を露出させる工程と

を有することを特徴とする液晶表示装置の製造方法。

(付記18) 基板上的の表示部と周辺回路部に下側配線を形成する工程と、

前記下側配線の上に絶縁膜を形成する工程と、

前記絶縁膜上に透明導電膜を形成する工程と、

前記透明導電膜上のうちの前記周辺回路部に金属層を選択的に形成するとともに前記表示部では前記透明導電膜を露出した状態に保持する工程と、

10

前記透明導電膜及び前記金属層上にレジストを形成する工程と、

前記レジストを露光、現像してレジストパターンを形成する工程と、

前記レジストパターンをマスクに使用して前記金属層及び前記透明導電膜をエッチングすることにより、前記周辺回路部には前記透明導電膜と前記金属層よりなる上側配線を形成するとともに、前記表示部には前記透明導電膜よりなる画素電極を形成する工程と

を有することを特徴とする液晶表示装置の製造方法。

(付記19) 基板上的の表示部と周辺回路部にTFT素子及び電気配線を形成する工程と、

前記TFT素子及び前記電気配線の上に樹脂を含む絶縁膜を形成する工程と、

前記絶縁膜の上に前記電気配線を部分的に露出させるコンタクトホールを形成する工程と

20

、前記絶縁膜上に透明導電膜を形成する工程と、

前記透明導電膜の上に金属導電層を選択的に形成する工程と、

前記透明導電膜及び前記金属導電層上にフォトリジストを形成する工程と、

前記フォトリジストを露光、現像してレジストパターンを形成する工程と、

前記レジストパターンをマスクにして前記金属導電層及び前記透明導電膜を順にエッチングすることにより、前記周辺回路部には前記透明導電膜と前記金属導電層よりなる多層配線を形成するとともに、前記表示部には前記透明導電膜よりなる画素電極を形成する工程と

を有することを特徴とする液晶表示装置の製造方法。

(付記20) 基板上的の表示部と周辺回路部にTFT素子及び電気配線を形成する工程と、

30

前記TFT素子及び前記電気配線の上に樹脂を含む絶縁膜を形成する工程と、

前記絶縁膜の上に前記電気配線を部分的に露出させるコンタクトホールを形成する工程と

、前記絶縁膜上に金属導電膜を形成する工程と、

前記金属導電層の上に透明導電膜を選択的に形成する工程と、

前記透明導電膜及び前記金属導電層の上にフォトリジストを形成する工程と、

前記フォトリジストを露光、現像してレジストパターンを形成する工程と、

前記レジストパターンをマスクにして前記透明導電膜及び前記金属導電層を順にエッチングすることにより、前記周辺回路部には前記透明導電膜と前記金属導電層よりなる多層配線を形成するとともに、前記表示部には前記透明導電膜よりなる画素電極を形成する工程と

40

を有することを特徴とする液晶表示装置の製造方法。

(付記21) 基板上的の表示部と周辺回路部に下側配線を形成する工程と、

前記下側配線の上に絶縁膜を形成する工程と、

前記絶縁膜上のうちの前記周辺回路部に金属層を選択的に形成するとともに前記表示部では前記絶縁膜を露出した状態に保持する工程と、

前記絶縁膜及び前記金属層上に透明導電膜を形成する工程と、

前記透明導電膜上にレジストを形成する工程と、

前記レジストを露光、現像してレジストパターンを形成する工程と、

前記レジストパターンをマスクに使用して前記金属層及び前記透明導電膜をエッチングす

50

ることにより、前記周辺回路部には前記金属層と前記透明導電膜よりなる上側配線を形成するとともに、前記表示部には前記透明導電膜よりなる画素電極を形成する工程とを有することを特徴とする液晶表示装置の製造方法。

(付記22) 基板上に形成された第1金属パターンと、前記第1金属パターン上に第1絶縁膜を介して形成された第2金属パターンと、前記第1絶縁膜に形成されて前記第1金属パターンと前記第2金属パターンを接続するホールと、前記第2金属パターンの上に形成された第2絶縁膜と、前記第2絶縁膜上に形成され且つ固定電位に設定される第3金属パターンとを有する回路を備えることを特徴とする液晶表示装置。

(付記23) 前記回路は、高周波伝送回路部又は周辺回路部であることを特徴とする付記22に記載の液晶表示装置。

(付記24) 前記第3金属パターンは、電磁波輻射抑制膜であることを特徴とする付記22に記載の液晶表示装置。

(付記25) 前記第3金属パターンと同じ構成の金属層からなる電子回路ファンクション動作の配線パターンが前記第2絶縁膜上に形成されていることを特徴とする付記22乃至付記24のいずれかに記載の液晶表示装置。

【0189】

【発明の効果】

以上述べたように 本発明の液晶表示装置によれば、上下に形成される第1金属パターンと第2金属パターンの間に樹脂膜を形成したので、第1金属パターンと第2金属パターンからなる多層配線構造の浮遊容量を小さくし、周辺回路部の動作周波数を大幅に向上することができ、しかも、浮遊容量を殆ど考慮することがないので、回路設計の自由度が大き

【0190】

また、本発明によれば、最上の配線と画素電極を同じ絶縁膜上に形成するようにしたので、表示部の画素電極接続用ホールを周辺回路部の配線接続用ホールと同時に形成することができ、スループットを向上できる。

【0191】

さらに、周辺回路部の多層配線構造の最上の金属パターンと表示部の画素電極とを同じ樹脂膜、例えば配向膜によって覆うようにしたので、最上の金属パターンの上に単独に無機絶縁膜を形成する場合に比べて、膜厚を容易に厚く形成し、製造プロセスを簡略化することが

【0192】

本発明によれば、画素電極を構成する透明導電膜を周辺回路部の配線の上に形成したので、配線及び画素電極の上に樹脂膜を形成する前に、配線を外部の環境から保護することができる。

【0193】

本発明に関連する発明によれば、最上の金属層より固定電位金属パターン(電磁遮蔽膜)を形成し、その下方に多層の金属層からなる伝送回路を形成したので、伝送回路に高周波信号が伝送されたときに発生する電磁波輻射を小さくすることができる。

【0194】

本発明に関連する液晶表示装置の製造方法によれば、表示部と周辺回路部の絶縁膜上に透明導電膜と金属層を順に形成した後に、周辺回路部に厚い配線レジストパターンを形成すると同時に表示部に薄い画素電極レジストパターンを形成するようにしたので、それらのレジストパターンをマスクにして金属層及び透明導電膜をエッチングして配線パターンと画素電極を形成した後に酸素プラズマ等によって配線レジストパターンを薄くしながら画素電極レジストパターンを除去することができ、これにより画素電極の上部の金属層を選択的に除去できる。即ち、1回のレジストパターン形成工程により配線パターンと透明画素電極を同時に形成できる。

【0195】

また、本発明に関連する発明によれば、周辺回路部と表示部の最上の配線と画素電極を

同一の絶縁膜上に併存させる場合に、スパッタマスクを使用することにより、金属層を表示領域以外に形成し、さらに表示領域の絶縁膜上と周辺回路部の金属層の上に透明導電膜をスパッタ法により形成したので、1回のフォトリソグラフィ法によって、表示部には透明導電膜よりなる画素電極を形成し、周辺回路部には透明導電膜と金属層の二層構造の配線を形成することができる。

【図面の簡単な説明】

【図1】液晶表示装置のTFT基板の従来技術を示す断面図である。

【図2】本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その1)である。

【図3】本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その2)である。

【図4】本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その3)である。

【図5】本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その4)である。

【図6】本発明の第1実施形態に係る液晶表示装置のTFT基板と配向膜の形成のフローチャートである。

【図7】本発明の第1実施形態に係るTFT基板の平面図である。

【図8】本発明の第1実施形態に係る液晶表示装置の部分断面図である。

【図9】本発明の実施形態に係るTFT基板の回路ブロック図である。

【図10】本発明の第2実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図である。

【図11】本発明の第2実施形態に係る液晶表示装置の部分断面図である。

【図12】本発明の第3実施形態に係る液晶表示装置の周辺回路部内のデータドライバのブロック図(1)である。

【図13】本発明の第3実施形態に係る液晶表示装置の周辺回路部内のデータドライバのブロック図(2)である。

【図14】本発明の第3実施形態に係るデータドライバのラッチ回路の4ビット分を示す回路図である。

【図15】本発明の第3実施形態に係るデータドライバのラッチ回路の2ビット分を示す回路のレイアウトである。

【図16】本発明の第4実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その1)である。

【図17】本発明の第4実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その2)である。

【図18】本発明の第4実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その3)である。

【図19】本発明の第4実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その4)である。

【図20】本発明の第4実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その5)である。

【図21】本発明の第5実施形態に用いる第1のマスク選択スパッタ法を示す工程図である。

【図22】本発明の第5実施形態に用いる第2のマスク選択スパッタ法を示す工程図である。

【図23】本発明の第5実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その1)である。

【図24】本発明の第5実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その2)である。

【図25】本発明の第5実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面

10

20

30

40

50

図（その３）である。

【図２６】本発明の第５実施形態に使用される三層目の金属層の形成領域を示す平面図である。

【図２７】本発明の第６実施形態に係る表示装置の高周波伝送回路の平面図である。

【図２８】本発明の第６実施形態に係る表示装置の高周波伝送回路の断面図である。

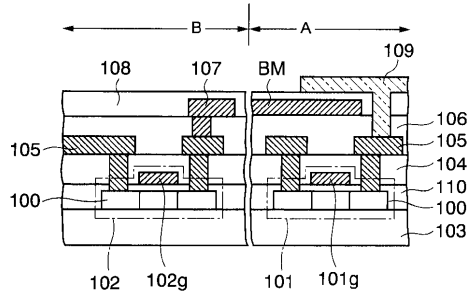
【図２９】本発明の第６実施形態に係る表示装置の別の高周波伝送回路の平面図と断面図である。

【符号の説明】

1 ... 基板、2 ... 下地絶縁膜、3 ... 非晶質シリコン膜、3 a ... 多結晶シリコン膜、3 b , 3 c , 3 d ... 多結晶シリコンパターン、4 ... ゲート絶縁膜、5 b , 5 c , 5 d ... ゲート電極、6 , 7 , 8 ... 薄膜トランジスタ (T F T)、6 s , 7 s , 8 s ... ソース領域、6 d、7 d、8 d ... ドレイン領域、9 ... 第１層間絶縁膜、1 0 a ~ 1 0 i ... 二層目の配線パターン、1 1 ... 窒化シリコン膜 (無機膜)、1 2 ... 第１有機膜、1 3 ... 第２層間絶縁膜、1 4 a ~ 1 4 c ... 三層目の配線パターン、1 4 c ... 画素電極、1 5 ... 透明導電膜、1 5 c ... 画素電極、1 6 ... 配向膜、1 7 ... トランスファー電極、1 8 ... シール、1 9 ... T F T 基板、3 0 a ... 走査線側回路、3 0 b ... データ側周辺回路、3 0 c ... 静電防止 / リペア / 予備充電回路、3 1 ... 入力端子部、3 2 a ~ 3 2 c ... 三層目の配線パターン、3 3 ... デジタルドライバ、3 3 a ... 信号入力 / データ分割回路、3 3 b ... シリアル / パラレル変化部、3 3 c ... ラッチ回路、3 3 d ... レベルシフタ、3 3 e ... D / A コンバータ (デコーダ)、3 3 f ... アナログ出力バッファ (オペアンプ)、3 3 g ... クロック制御回路、3 3 A₁ , 3 3 A₂ ... 共通信号線、3 4 ... ブロック制御回路部、3 5 ... アナログスイッチ列、3 6 a ~ 3 6 j ... 一層目の配線パターン、3 7 a ~ 3 7 p ... 二層目の配線パターン、3 8 a ~ 3 8 c ... 三層目の配線パターン、4 1 ... I T O 膜 (透明導電膜)、4 2 ... 金属層、4 3 ... フォトレジスト、4 4 ... 第１のレチクル、4 5 ... 第２のレチクル、4 6 a ... 三層目の配線パターン、4 6 c ... 画素電極、5 1 ... 絶縁性基板、5 2 ... デバイス構造部、5 3 , 5 6 ... 透明導電膜、5 4 , 5 7 ... 三層目の金属層、5 5 ... スパッタ用メタルマスク、5 8 a , 5 8 b ... レジストパターン、5 9 a ... 画素電極、5 9 b ... 三層目の配線パターン、6 0 ... 高周波伝送回路、6 1 ... 絶縁性基板、6 2 ... 絶縁膜、6 3 ... 第１層間絶縁膜、6 3 a ... ホール、6 4 ... 第２層間絶縁膜、7 0 , 7 0 a , 7 0 b ... 高周波回路部、7 1 ... 一層目の配線、7 2 ... 二層目の配線、7 3 ... 固定電位金属パターン (三層目の金属パターン)、7 3 a ... ブリッジ配線 (三層目の配線)、A ... 表示部、B ... 周辺回路部。

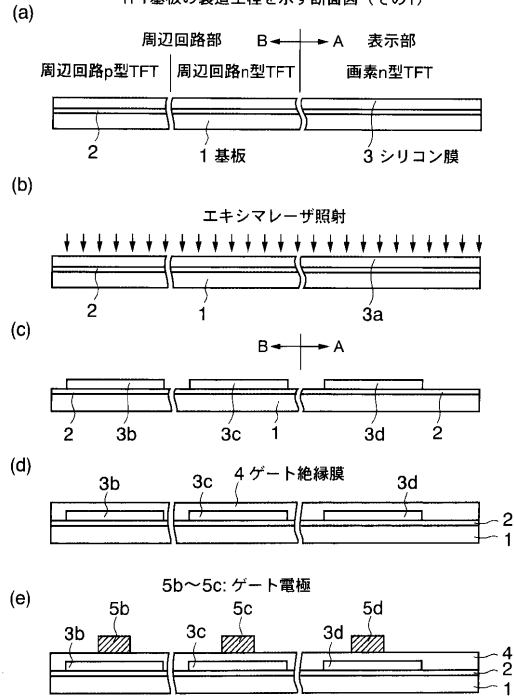
【図1】

従来技術を示す断面図



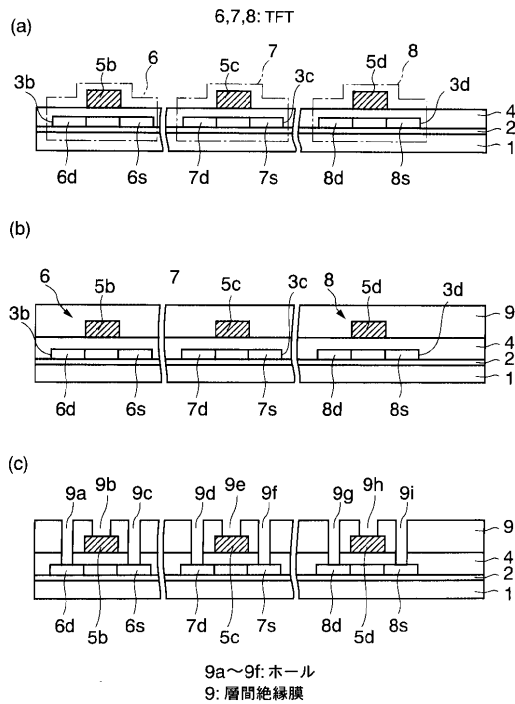
【図2】

本発明の第1実施形態に係る液晶表示装置の TFT基板の製造工程を示す断面図 (その1)



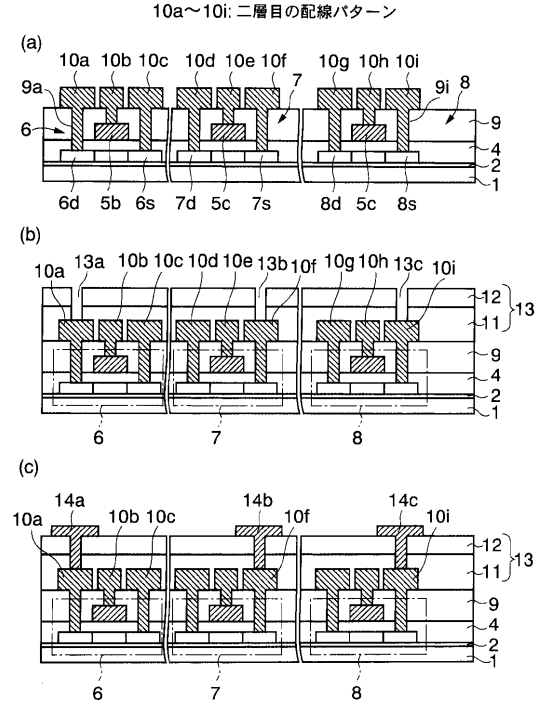
【図3】

本発明の第1実施形態に係る液晶表示装置の TFT基板の製造工程を示す断面図 (その2)



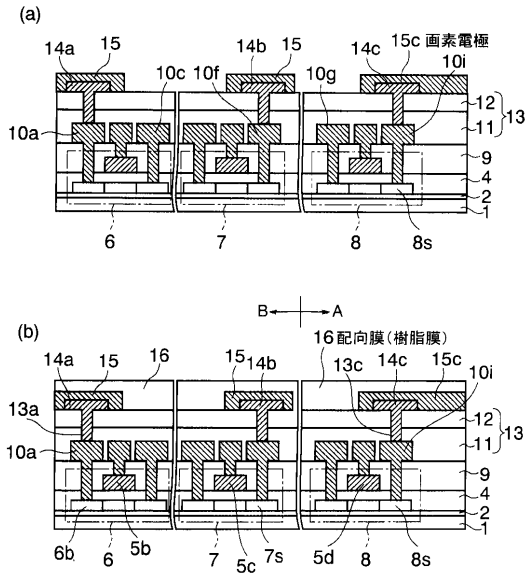
【図4】

本発明の第1実施形態に係る液晶表示装置の TFT基板の製造工程を示す断面図 (その3)



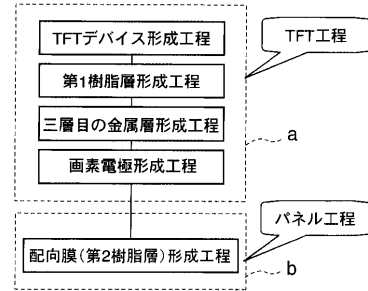
【図5】

本発明の第1実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図（その4）



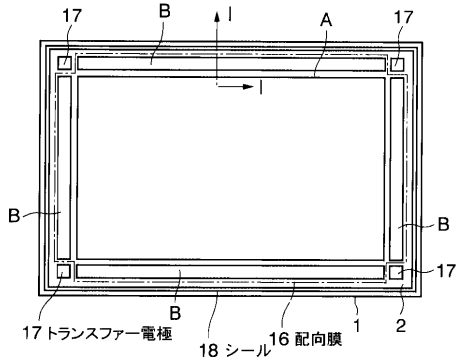
【図6】

本発明の第1実施形態に係る液晶表示装置のTFT基板と配向膜の形成のフローチャート



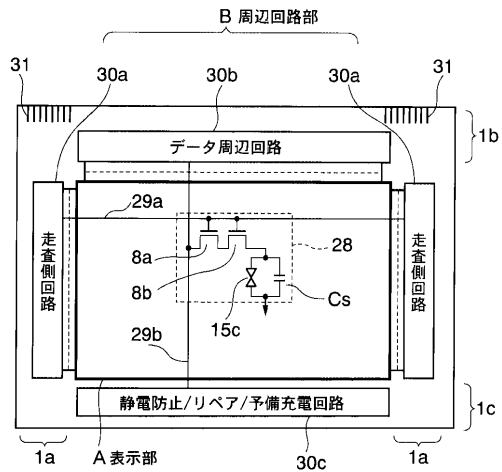
【図7】

本発明の第1実施形態に係るTFT基板の平面図



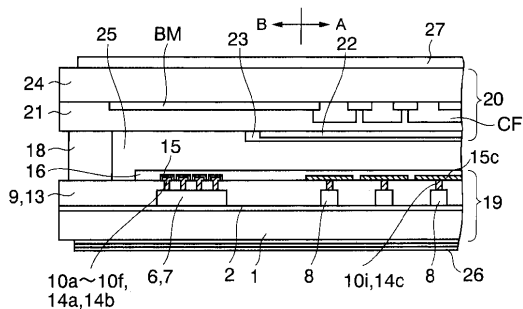
【図9】

本発明の実施形態に係るTFT基板の回路ブロック図



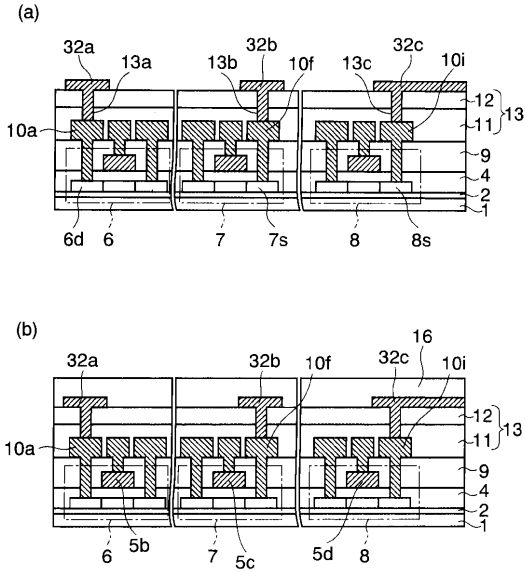
【図8】

本発明の第1実施形態に係る表示装置の部分断面図



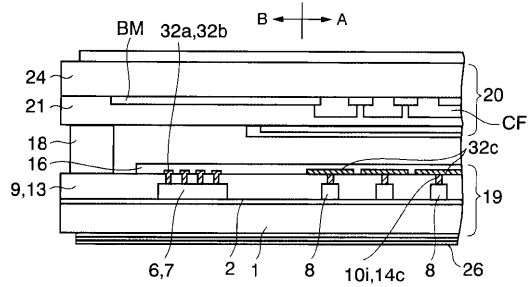
【図10】

本発明の第2実施形態に係る液晶表示装置の製造工程を示す断面図



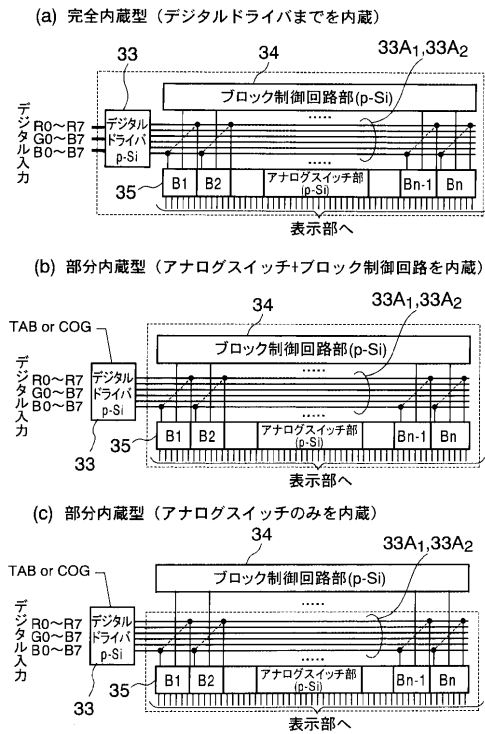
【図11】

本発明の第2実施形態に係る液晶表示装置の部分断面図



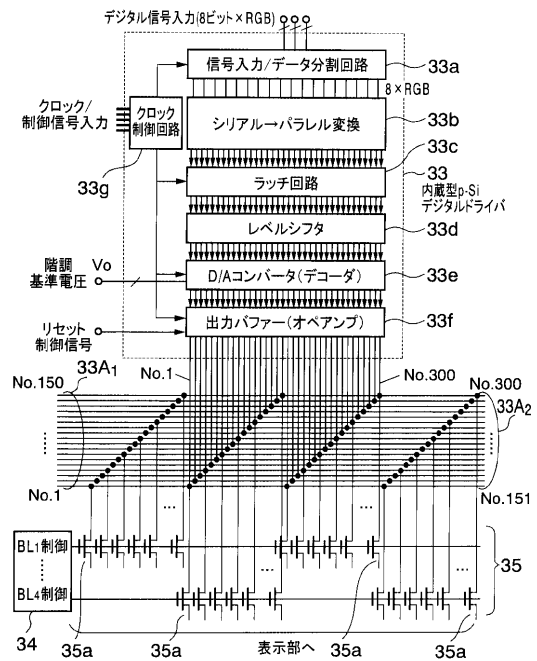
【図12】

本発明の第3実施形態に係る液晶表示装置周辺回路内のデータドライバのブロック図(1)



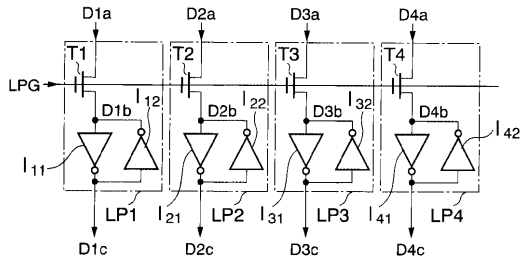
【図13】

本発明の第3実施形態に係る液晶表示装置周辺回路内のデータドライバのブロック図(2)



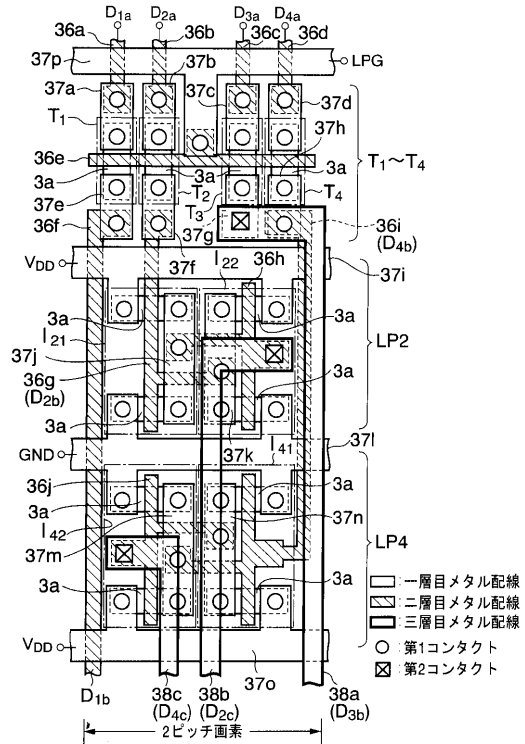
【図14】

本発明の第3実施形態に係るデータドライバのラッチ回路の4ビット分を示す回路図



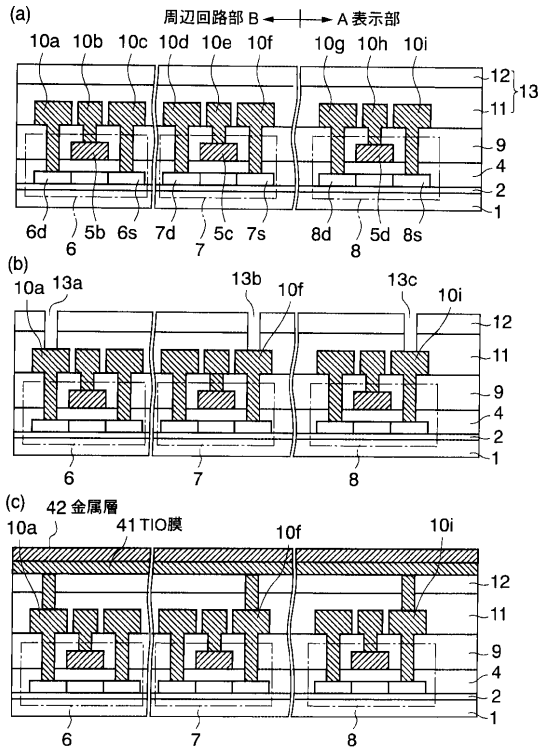
【図15】

本発明の第3実施形態に係るデータドライバのラッチ回路の2ビット分のレイアウト



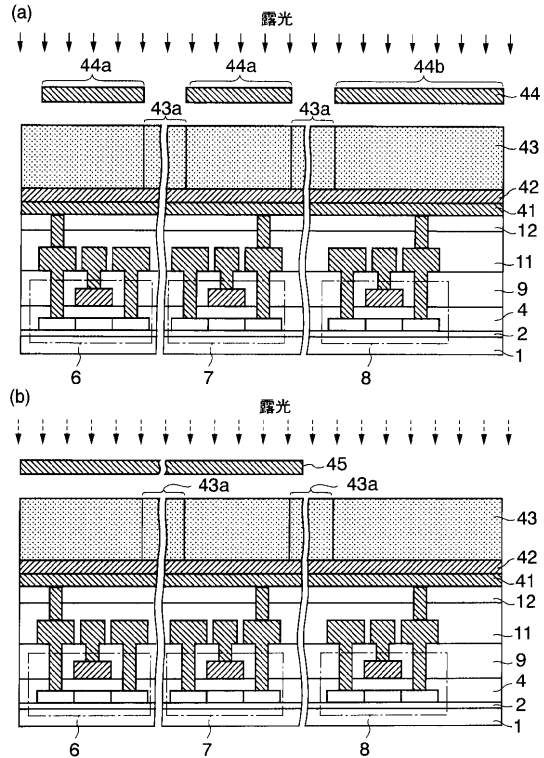
【図16】

本発明の第4実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その1)



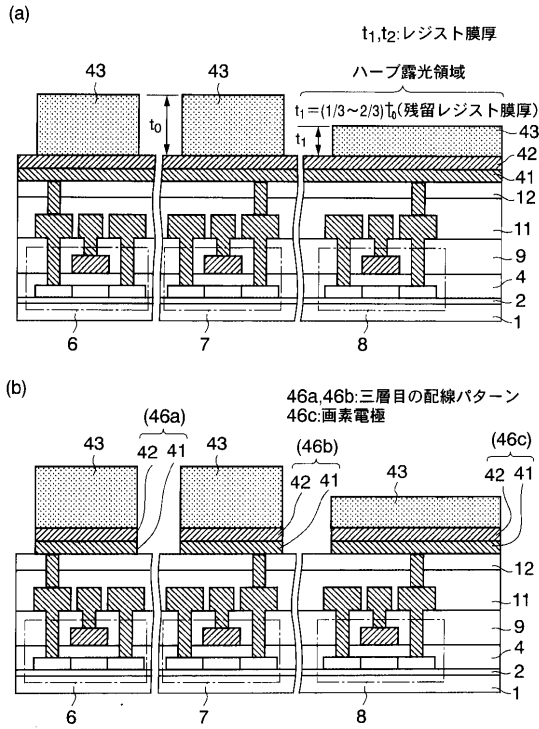
【図17】

本発明の第4実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その2)



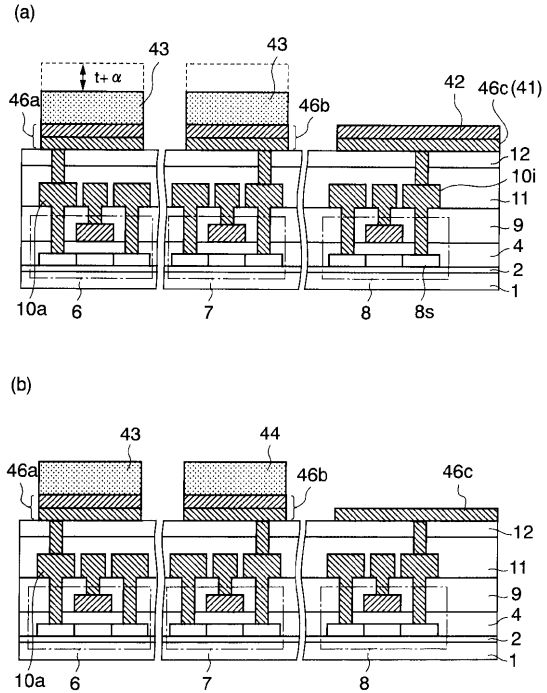
【図18】

本発明の第4実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その3)



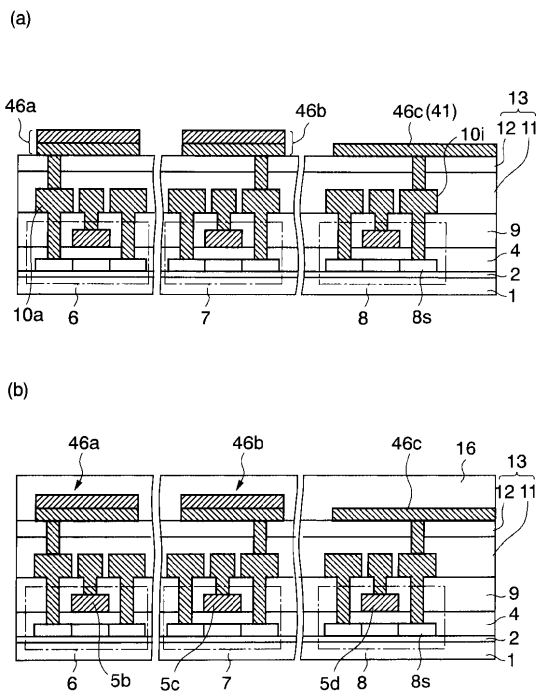
【図19】

本発明の第4実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その4)



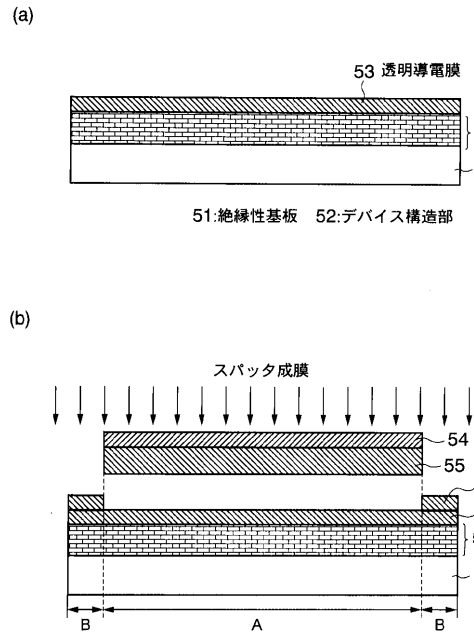
【図20】

本発明の第4実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その5)



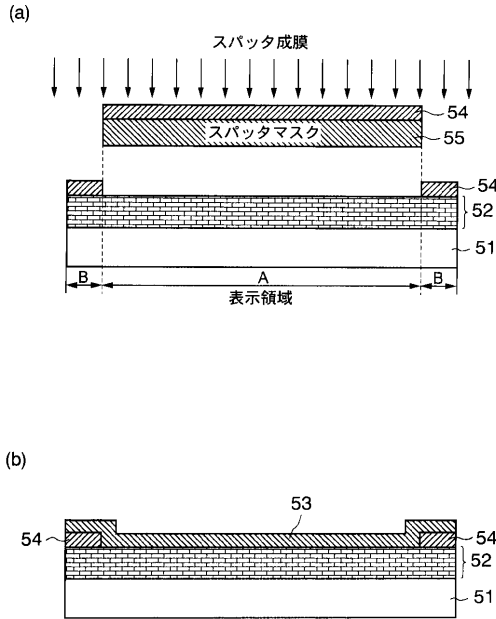
【図21】

本発明の第5実施形態に用いる第1のマスク選択スパッタ法を示す工夫図



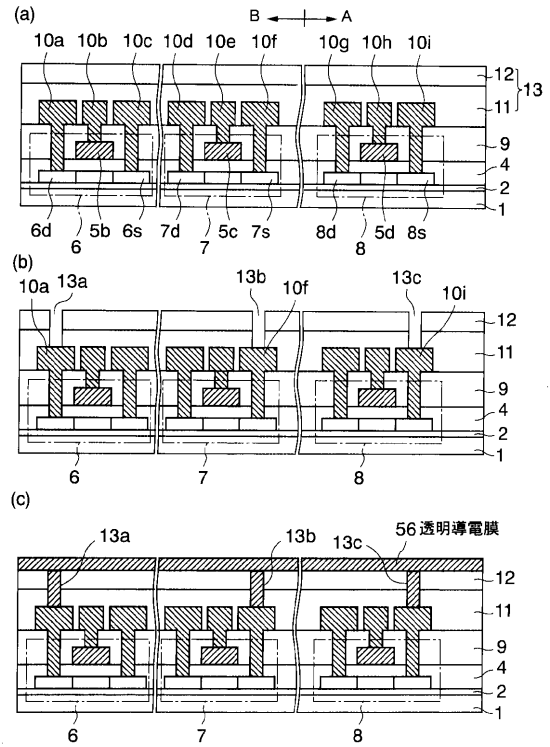
【図22】

本発明の第5実施形態に用いる第2のマスク選択スパッタ法を示す工夫図



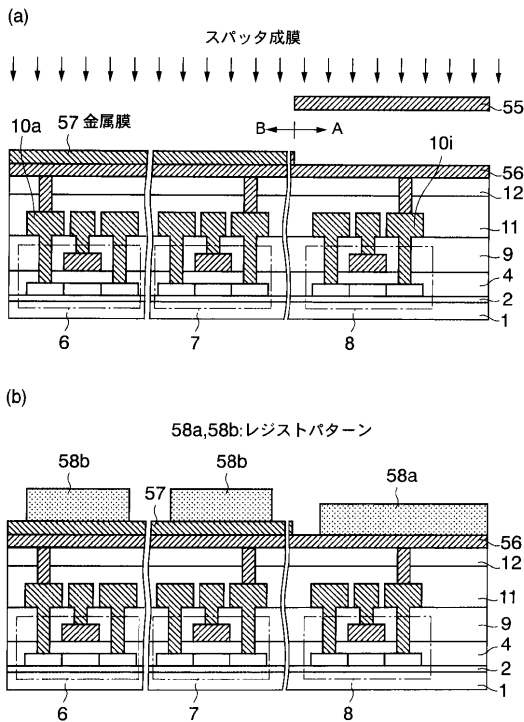
【図23】

本発明の第5実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その1)



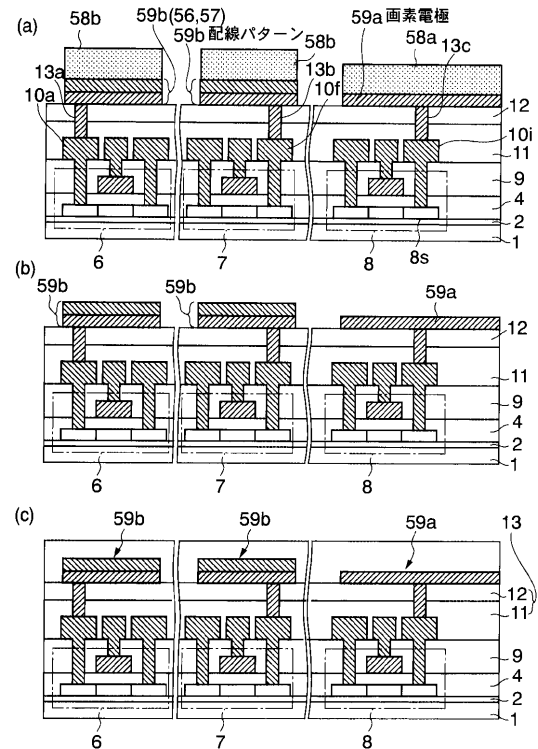
【図24】

本発明の第5実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その2)



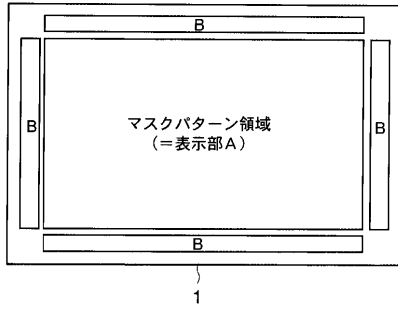
【図25】

本発明の第5実施形態に係る液晶表示装置のTFT基板の製造工程を示す断面図(その3)



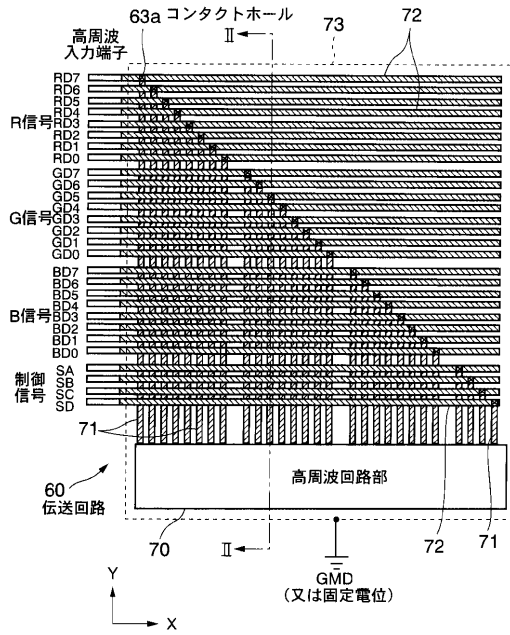
【図 26】

本発明の第5実施形態に使用される三層目の金属層の形成領域を示す断面図



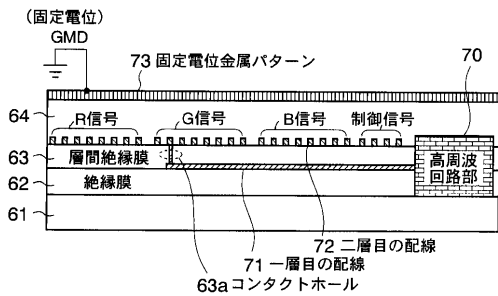
【図 27】

本発明の第6実施形態に係る表示装置の高周波伝送回路の平面図



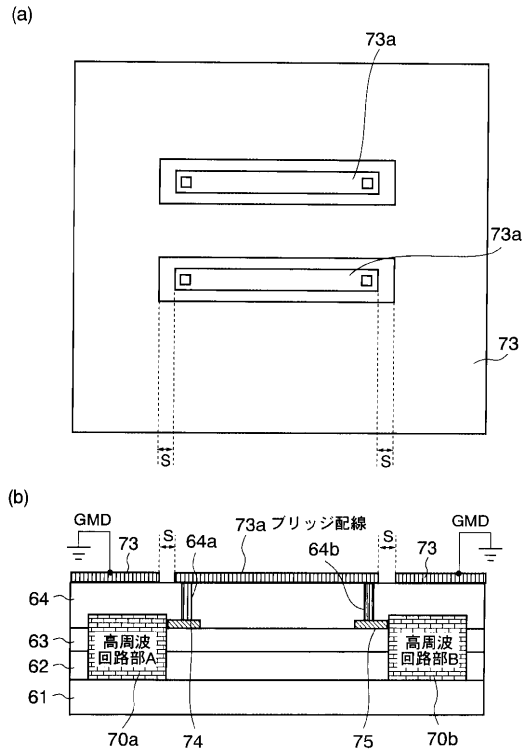
【図 28】

本発明の第6実施形態に係る表示装置の高周波伝送回路の断面図



【図 29】

本発明の第6実施形態に係る表示装置の別の高周波伝送回路の平面図と断面図



フロントページの続き

- (56)参考文献 特開平04 - 295826 (JP, A)
特開平11 - 271803 (JP, A)
特開平11 - 298002 (JP, A)
特開平09 - 307113 (JP, A)
特開平11 - 194358 (JP, A)
特開平11 - 295712 (JP, A)
特開2000 - 155323 (JP, A)
特開2001 - 142224 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G02F 1/1343-1368

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP4634673B2	公开(公告)日	2011-02-16
申请号	JP2001294582	申请日	2001-09-26
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	張宏勇		
发明人	張 宏勇		
IPC分类号	G02F1/1368 G02F1/1345 H01L29/786 H01L21/336 G02F1/136 G02F1/1362		
CPC分类号	G02F1/13454 G02F1/136227		
FI分类号	G02F1/1368 G02F1/1345 H01L29/78.612.C H01L29/78.612.D		
F-TERM分类号	2H092/GA29 2H092/GA40 2H092/GA51 2H092/GA60 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB16 2H092/KA05 2H092/KB25 2H092/MA07 2H092/MA17 2H092/MA30 2H092/NA23 2H092/NA27 2H092/NA29 2H092/PA01 2H092/PA08 2H192/AA24 2H192/BC31 2H192/BC72 2H192/CB13 2H192/CB34 2H192/CC07 2H192/CC32 2H192/CC72 2H192/DA12 2H192/DA72 2H192/EA22 2H192/EA43 2H192/EA72 2H192/EA74 2H192/FA12 2H192/FA44 2H192/FA73 2H192/FA76 2H192/FB05 2H192/FB13 2H192/FB27 2H192/FB33 2H192/FB46 2H192/GA04 2H192/HA13 2H192/HA45 2H192/HA47 5F110/AA02 5F110/AA16 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD13 5F110/DD14 5F110/DD17 5F110/EE06 5F110/EE28 5F110/EE37 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG45 5F110/HJ01 5F110/HJ04 5F110/HJ18 5F110/HJ23 5F110/HL03 5F110/HL04 5F110/HL11 5F110/HL12 5F110/HL23 5F110/HM15 5F110/HM19 5F110/NN03 5F110/NN04 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN72 5F110/PP03 5F110/PP04 5F110/PP35 5F110/QQ09 5F110/QQ24		
代理人(译)	岡本圭造		
其他公开文献	JP2003098550A		
外部链接	Espacenet		

摘要(译)

要解决的问题：相对于具有显示部分和外围电路部分的液晶显示装置，减小布线之间的电容并提高产量。 解决方案：在基板1上形成的第一金属图案5b至5d，在第一金属图案5b至5d上形成的第一绝缘膜9，在第一绝缘膜9上形成的第一绝缘膜9金属图案10a，形成在第二金属图案10a上并具有第一树脂膜12的第二绝缘膜13，以及形成在第二绝缘膜13上的第三金属图案14a至14c有源元件8形成在第一基板1上并被第二绝缘膜9和第二树脂膜16覆盖；第二绝缘膜9，形成在第二绝缘膜9上的像素区域中具有第二绝缘膜9并且像素电极15c通过形成在绝缘膜9中的孔13c电连接到有源元件8。

