

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-294598

(P2009-294598A)

(43) 公開日 平成21年12月17日(2009.12.17)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H092
G02F 1/1345 (2006.01)	G02F 1/1345	
G02F 1/1368 (2006.01)	G02F 1/1368	

審査請求 未請求 請求項の数 7 O L (全 21 頁)

(21) 出願番号	特願2008-150598 (P2008-150598)	(71) 出願人	502356528
(22) 出願日	平成20年6月9日 (2008.6.9)		株式会社 日立ディスプレイズ
			千葉県茂原市早野3300番地
		(74) 代理人	100083552
			弁理士 秋田 収喜
		(74) 代理人	100103746
			弁理士 近野 恵一
		(72) 発明者	三島 康之
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		Fターム(参考)	2H092 GA26 GA27 GA33 HA06 HA12
			JA24 JB21 KB04 NA24 NA25
			NA29 PA01

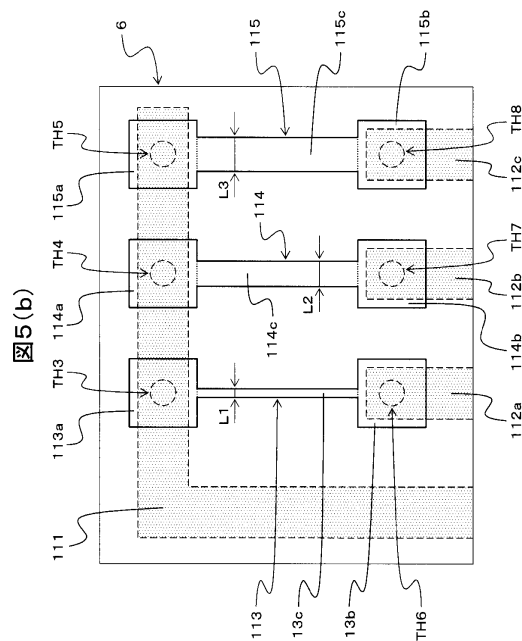
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 多面取りで製造された液晶表示装置の、装置毎の表示特性のばらつきを低減する。

【解決手段】 液晶表示パネルの一方の基板は、絶縁基板の表面上に設けられた1つの絶縁層の同じ面に第1の電極および第2の電極が配置されている液晶表示装置であって、前記第1の基板は、あらかじめ定められた領域の外側に、前記第1の電極と前記第2の電極との間隙の寸法を見積もる間隙見積手段を有し、前記間隙見積手段は、1本以上の信号入力線および3本以上の信号出力線を有し、前記3本以上の信号出力線のうちの1本の信号出力線は、前記1つの絶縁層の前記第1の電極および前記第2の電極が配置された面と同じ面に設けられ、かつ、前記第1の電極および前記第2の電極と同じ導電材料からなる導電パターンにより前記信号入力線と接続している液晶表示装置。

【選択図】 図5(b)



【特許請求の範囲】**【請求項 1】**

第 1 の基板と第 2 の基板との間に液晶材料を封入した液晶表示パネルを有し、

前記第 1 の基板は、絶縁基板の表面のうちのあらかじめ定められた領域の上にマトリクス状に配置された複数の第 1 の電極と、当該領域においてそれぞれの前記第 1 の電極とあらかじめ定められた間隔で配置された 1 つまたは複数の第 2 の電極とを有し、

前記第 1 の電極および前記第 2 の電極は、前記絶縁基板の表面上に設けられた 1 つの絶縁層の同じ面に配置されており、かつ、同じ導電材料からなる液晶表示装置であって、

前記第 1 の基板は、前記あらかじめ定められた領域の外側に、1 本以上の信号入力線および 3 本以上の信号出力線を有し、

前記 3 本以上の信号出力線のうちの 1 本の信号出力線は、前記 1 つの絶縁層の前記第 1 の電極および前記第 2 の電極が配置された面と同じ面に設けられ、かつ、前記第 1 の電極および前記第 2 の電極と同じ導電材料からなる導電パターンにより前記信号入力線と接続していることを特徴とする液晶表示装置。

10

【請求項 2】

前記 3 本以上の信号出力線のうちの 2 本以上の信号出力線が、それぞれ、異なる前記導電パターンにより前記信号入力線と接続しており、

前記信号入力線と前記出力信号線とを接続するそれぞれの前記導電パターンは、延在方向と直交する方向の寸法が異なることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

20

前記信号入力線および前記信号出力線は、前記絶縁基板の表面と前記 1 つの絶縁層の前記第 1 の電極および前記第 2 の電極が形成された面との間に設けられており、

前記信号入力線と前記出力信号線とを接続する前記導電パターンは、前記 1 つの絶縁層または前記 1 つの絶縁層を含む複数の絶縁層に設けられたコンタクトホールを介して前記信号入力線および前記出力信号線に接続していることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

第 1 の基板と第 2 の基板との間に液晶材料を封入した液晶表示パネルを有し、

前記第 1 の基板は、絶縁基板の表面のうちのあらかじめ定められた領域の上にマトリクス状に配置された複数の第 1 の電極と、当該領域においてそれぞれの前記第 1 の電極とあらかじめ定められた間隔で配置された 1 つまたは複数の第 2 の電極とを有し、

前記第 1 の電極および前記第 2 の電極は、前記絶縁基板の表面上に設けられた 1 つの絶縁層の同じ面に配置されており、かつ、同じ導電材料からなる液晶表示装置であって、

前記第 1 の基板は、前記あらかじめ定められた領域の外側に、1 本以上の信号入力線および 2 本以上の信号出力線を有し、かつ、すべての前記信号出力線が前記信号入力線とは接続していないことを特徴とする液晶表示装置。

30

【請求項 5】

第 1 の基板と第 2 の基板との間に液晶材料を封入した液晶表示パネルと、当該液晶表示パネルの表示を制御する制御回路とを有し、

前記第 1 の基板は、絶縁基板の表面のうちのあらかじめ定められた領域の上に、当該領域を通る複数本の走査信号線および複数本の映像信号線と、マトリクス状に配置された複数の第 1 の電極と、当該領域においてそれぞれの前記第 1 の電極とあらかじめ定められた間隔で配置された 1 つまたは複数の第 2 の電極とを有し、

前記第 1 の電極および前記第 2 の電極は、前記絶縁基板の表面上に設けられた 1 つの絶縁層の同じ面に配置されており、かつ、同じ導電材料からなる液晶表示装置であって、

前記第 1 の基板は、前記あらかじめ定められた領域の外側に、1 本以上の信号入力線および 3 本以上の信号出力線を有し、

前記制御回路は、外部から入力された階調信号と前記第 1 の電極に加える階調電圧との対応関係が異なる複数種類の対応データと、前記複数種類の対応データのうちの 1 つの対応データに基づき、前記映像信号線を介して前記複数の前記第 1 の電極のそれぞれに加え

40

50

る階調電圧を生成する階調電圧生成回路と、前記階調電圧生成回路で前記階調電圧を生成するために使用する対応データを選択する対応データ選択部とを有し、

前記３本以上の信号出力線のうちの１本の信号出力線は、前記１つの絶縁層の前記第１の電極および前記第２の電極が配置された面と同じ面に設けられ、かつ、前記第１の電極および前記第２の電極と同じ導電材料からなる導電パターンにより前記信号入力線と接続しており、

前記対応データ選択部は、前記信号入力線にあらかじめ定められた信号を入力したときの前記３本以上の信号出力線からの信号の組み合わせに応じて、前記複数種類の対応データの中から、前記階調電圧生成回路で前記階調電圧を生成するために使用する対応データを選択することを特徴とする液晶表示装置。

10

【請求項６】

前記階調電圧生成回路は、複数の可変抵抗が直列に接続されており、複数種類の階調電圧を同時に生成する第１の回路と、前記第１の回路で生成された複数種類の階調電圧のうちの１つの階調電圧を選択する第２の回路とを有し、

前記制御回路は、前記対応データ選択手段で選択された前記対応データに基づいて、前記第１の回路が有するそれぞれの前記可変抵抗の抵抗値を制御することを特徴とする請求項５に記載の液晶表示装置。

【請求項７】

前記可変抵抗は、複数の抵抗および複数のスイッチからなり、前記複数のスイッチのオン／オフの組み合わせを変えることで、抵抗値が変わることを特徴とする請求項６に記載の液晶表示装置。

20

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置に関し、特に、１つの絶縁層の同じ面に画素電極と対向電極とが配置された液晶表示装置に適用して有効な技術に関するものである。

【背景技術】

【０００２】

従来、携帯電話端末やＰＤＡ（Personal Digital Assistant）など携帯型電子機器のディスプレイには、主に、液晶表示装置（液晶表示モジュールと呼ぶこともある）が用いられている。

30

【０００３】

液晶表示装置は、第１の基板と第２の基板の２枚の基板の間に液晶材料を封入した液晶表示パネルを有する。液晶表示パネルは、表示領域が複数の画素で構成されており、それぞれの画素は、画素電極、対向電極、および液晶材料からなる画素容量（液晶容量と呼ぶこともある）を有する。このとき、それぞれの画素は、画素電極と対向電極との電位差によって強度が変化する電界により液晶材料中の液晶分子の向きを制御し、階調（輝度）を制御する。

【０００４】

またこのとき、画素電極と対向電極との配置方法は、画素電極と対向電極を異なる基板に配置する方法と、同じ基板に配置する方法に大別される。また、画素電極と対向電極を同じ基板に配置する場合、その配置方法には、たとえば、１つの絶縁層の同じ面に画素電極および対向電極を配置する方法と、１つ以上の絶縁層を介在させて配置する方法とがある。

40

【０００５】

同じ基板に配置された画素電極と対向電極により液晶分子の向きを制御する方法（液晶駆動方法）は、一般に、横電界駆動方式、またはＩＰＳ（In-Plane Switching）方式と呼ばれている。横電界駆動方式の液晶表示装置は、たとえば、広視野角化が容易であり、近年、携帯型電子機器のディスプレイの他、液晶テレビなどにも広く用いられている。

50

【発明の開示】

【発明が解決しようとする課題】

【0006】

液晶表示パネルの前記第1の基板および前記第2の基板は、一般に、マザーガラスと呼ばれる大面積のガラス基板を用いた多面取りと呼ばれる方法で製造する。第1の基板を多面取りで製造する場合は、1枚のマザーガラスの複数箇所の領域のそれぞれに、第1の基板に必要な回路、たとえば、複数本の走査信号線、複数本の映像信号線、複数個のTFT素子、複数個の画素電極、および1個または複数個の対向電極などからなる回路を形成する。

【0007】

携帯型電子機器などに用いられる小型の液晶表示パネルの第1の基板を多面取りで製造する場合は、たとえば、1枚のマザーガラスの数十カ所乃至数百カ所の領域のそれぞれに、第1の基板に必要な回路を形成する。このとき、1枚のマザーガラスの数十カ所乃至数百カ所の領域のそれぞれに、画素電極および対向電極を形成する工程は、たとえば、マザーガラスの全面にITO膜などの透明な導電膜を形成（成膜）し、当該導電膜をエッチングして画素電極および対向電極を形成する。またこのとき、一般的な多面取りの製造方法では、1枚のマザーガラスのそれぞれの領域に形成する第1の基板は同じ構成であり、それぞれの領域の画素電極および対向電極は、同じレイアウトデータに基づいて形成される。したがって、1枚のマザーガラスのそれぞれの領域に形成された画素電極および対向電極の寸法は、同じ寸法になるはずである。

【0008】

しかしながら、従来の一般的な多面取りの製造方法では、1枚のマザーガラスのそれぞれの領域に、同じレイアウトデータに基づいて画素電極および対向電極を形成したときに、それぞれの領域に形成された画素電極および対向電極の寸法にばらつきが生じる。すなわち、従来の一般的な多面取りの製造方法では、たとえば、1枚のマザーガラスの中央付近にある領域に形成された画素電極と対向電極との間隙の寸法と、1枚のマザーガラスの外周付近にある領域に形成された画素電極と対向電極との間隙の寸法とに差が生じる。

【0009】

そのため、従来の一般的な多面取りの製造方法で製造された液晶表示パネルを有する表液晶表示装置は、たとえば、装置毎の表示特性（たとえば、 γ 特性）にばらつきが生じるという問題があった。

【0010】

本発明の目的は、多面取りで製造された液晶表示パネルを有する液晶表示装置の、装置毎の表示特性のばらつきを低減することが可能な技術を提供することにある。

【0011】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面によって明らかになるであろう。

【課題を解決するための手段】

【0012】

本願において開示される発明のうち、代表的なものの概略を説明すれば、以下の通りである。

【0013】

(1) 第1の基板と第2の基板との間に液晶材料を封入した液晶表示パネルを有し、前記第1の基板は、絶縁基板の表面のうちのあらかじめ定められた領域の上にマトリクス状に配置された複数の第1の電極と、当該領域においてそれぞれの前記第1の電極とあらかじめ定められた間隔で配置された1つまたは複数の第2の電極とを有し、前記第1の電極および前記第2の電極は、前記絶縁基板の表面上に設けられた1つの絶縁層の同じ面に配置されており、かつ、同じ導電材料からなる液晶表示装置であって、前記第1の基板は、前記あらかじめ定められた領域の外側に、1本以上の信号入力線および3本以上の信号出力線を有し、前記3本以上の信号出力線のうちの1本の信号出力線は、前記1つの絶

10

20

30

40

50

縁層の前記第 1 の電極および前記第 2 の電極が配置された面と同じ面に設けられ、かつ、前記第 1 の電極および前記第 2 の電極と同じ導電材料からなる導電パターンにより前記信号入力線と接続している液晶表示装置。

【0014】

(2) 前記(1)の液晶表示装置において、前記 3 本以上の信号出力線のうちの 2 本以上の信号出力線が、それぞれ、異なる前記導電パターンにより前記信号入力線と接続しており、前記信号入力線と前記出力信号線とを接続するそれぞれの前記導電パターンは、延在方向と直交する方向の寸法が異なる液晶表示装置。

【0015】

(3) 前記(1)の液晶表示装置において、前記信号入力線および前記信号出力線は、前記絶縁基板の表面と前記 1 つの絶縁層の前記第 1 の電極および前記第 2 の電極が形成された面との間に設けられており、前記信号入力線と前記出力信号線とを接続する前記導電パターンは、前記 1 つの絶縁層または前記 1 つの絶縁層を含む複数の絶縁層に設けられたコンタクトホールを介して前記信号入力線および前記出力信号線に接続している液晶表示装置。

10

【0016】

(4) 第 1 の基板と第 2 の基板との間に液晶材料を封入した液晶表示パネルを有し、前記第 1 の基板は、絶縁基板の表面のうちのあらかじめ定められた領域の上にマトリクス状に配置された複数の第 1 の電極と、当該領域においてそれぞれの前記第 1 の電極とあらかじめ定められた間隔で配置された 1 つまたは複数の第 2 の電極とを有し、前記第 1 の電極および前記第 2 の電極は、前記絶縁基板の表面上に設けられた 1 つの絶縁層の同じ面に配置されており、かつ、同じ導電材料からなる液晶表示装置であって、前記第 1 の基板は、前記あらかじめ定められた領域の外側に、1 本以上の信号入力線および 2 本以上の信号出力線を有し、かつ、すべての前記信号出力線が前記信号入力線とは接続していない液晶表示装置。

20

【0017】

(5) 第 1 の基板と第 2 の基板との間に液晶材料を封入した液晶表示パネルと、当該液晶表示パネルの表示を制御する制御回路とを有し、前記第 1 の基板は、絶縁基板の表面のうちのあらかじめ定められた領域の上に、当該領域を通る複数本の走査信号線および複数本の映像信号線と、マトリクス状に配置された複数の第 1 の電極と、当該領域においてそれぞれの前記第 1 の電極とあらかじめ定められた間隔で配置された 1 つまたは複数の第 2 の電極とを有し、前記第 1 の電極および前記第 2 の電極は、前記絶縁基板の表面上に設けられた 1 つの絶縁層の同じ面に配置されており、かつ、同じ導電材料からなる液晶表示装置であって、前記第 1 の基板は、前記あらかじめ定められた領域の外側に、1 本以上の信号入力線および 3 本以上の信号出力線を有し、前記制御回路は、外部から入力された階調信号と前記第 1 の電極に加える階調電圧との対応関係が異なる複数種類の対応データと、前記複数種類の対応データのうちの 1 つの対応データに基づき、前記映像信号線を介して前記複数の前記第 1 の電極のそれぞれに加える階調電圧を生成する階調電圧生成回路と、前記階調電圧生成回路で前記階調電圧を生成するために使用する対応データを選択する対応データ選択部とを有し、前記 3 本以上の信号出力線のうちの 1 本の信号出力線は、前記 1 つの絶縁層の前記第 1 の電極および前記第 2 の電極が配置された面と同じ面に設けられ、かつ、前記第 1 の電極および前記第 2 の電極と同じ導電材料からなる導電パターンにより前記信号入力線と接続しており、前記対応データ選択部は、前記信号入力線にあらかじめ定められた信号を入力したときの前記 3 本以上の信号出力線からの信号の組み合わせに応じて、前記複数種類の対応データの中から、前記階調電圧生成回路で前記階調電圧を生成するために使用する対応データを選択する液晶表示装置。

30

40

【0018】

(6) 前記(5)の液晶表示装置において、前記階調電圧生成回路は、複数の可変抵抗が直列に接続されており、複数種類の階調電圧を同時に生成する第 1 の回路と、前記第 1 の回路で生成された複数種類の階調電圧のうちの 1 つの階調電圧を選択する第 2 の回路と

50

を有し、前記制御回路は、前記対応データ選択部で選択された前記対応データに基づいて、前記第 1 の回路が有するそれぞれの前記可変抵抗の抵抗値を制御する液晶表示装置。

【 0 0 1 9 】

(7) 前記 (6) の液晶表示装置において、前記可変抵抗は、複数の抵抗および複数のスイッチからなり、前記複数のスイッチのオン / オフの組み合わせを変えることで、抵抗値が変わる液晶表示装置。

【 発明の効果 】

【 0 0 2 0 】

本発明の液晶表示装置によれば、前記第 1 の基板を多面取りで製造した場合でも、装置毎の表示特性のばらつきを容易に低減することができる。

10

【 発明を実施するための最良の形態 】

【 0 0 2 1 】

以下、本発明について、図面を参照して実施の形態 (実施例) とともに詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

【 0 0 2 2 】

図 1 (a) 乃至図 1 (e) は、従来の液晶表示装置の概略構成の一例を説明するための模式図である。

図 1 (a) は、従来の液晶表示装置における液晶表示パネルの概略構成の一例を示す模式平面図である。図 1 (b) は、図 1 (a) に示した液晶表示パネルにおける 1 つの画素の回路構成の一例を示す模式回路図である。図 1 (c) は、図 1 (a) に示した液晶表示パネルの T F T 基板における 1 つの画素の平面構成の一例を示す模式平面図である。図 1 (d) は、図 1 (c) に示した A - A ' 線における断面構成の一例を示す模式断面図である。図 1 (e) は、図 1 (c) に示した B - B ' 線における断面構成の一例を示す模式断面図である。

20

【 0 0 2 3 】

本発明は、たとえば、携帯電話端末のディスプレイに用いられる液晶表示装置 (液晶表示モジュール) の液晶表示パネルに適用される。このとき、液晶表示パネルは、たとえば、図 1 (a) に示すように、第 1 の基板 1 (以下、T F T 基板という。) と第 2 の基板 2 (以下、対向基板という。) とを有し、T F T 基板 1 には、I C チップ 3 が実装されている。

30

【 0 0 2 4 】

T F T 基板 1 は、ガラス基板などの絶縁基板の表面に複数本の走査信号線 1 0 1、複数本の映像信号線 1 0 2、共通信号線 1 0 3、駆動信号入力配線 1 0 4 などが形成されている。複数本の走査信号線 1 0 1 は、それぞれ、一端が I C チップ 3 に接続しており、かつ、表示領域 D A を通る部分が x 方向に延在している。このとき、それぞれの走査信号線 1 0 1 の表示領域 D A を通る部分は、たとえば、y 方向に等間隔で並んでいる。

【 0 0 2 5 】

複数本の映像信号線 1 0 2 は、それぞれ、一端が I C チップ 3 に接続しており、かつ、表示領域 D A を通る部分が y 方向に延在している。このとき、それぞれの映像信号線 1 0 2 の表示領域 D A を通る部分は、たとえば、x 方向に等間隔で並んでいる。

40

【 0 0 2 6 】

表示領域 D A は、複数の画素からなる領域であり、当該表示領域 D A において 1 つの画素が占有する領域は、隣接する 2 本の走査信号線 1 0 1 と隣接する 2 本の映像信号線 1 0 2 とで囲まれる領域に相当する。このとき、1 つの画素の回路は、たとえば、図 1 (b) に示すように、T F T 素子 T r、画素電極 1 0 5、画素容量 C_{p x}、および保持容量 C_{s T g} を有する。

【 0 0 2 7 】

T F T 素子 T r は、ゲートが隣接する 2 本の走査信号線 1 0 1 のうちの 1 本に接続して

50

おり、ドレインが隣接する2本の映像信号線102のうちの1本に接続している。また、TFT素子Trのソースは、隣接する2本の映像信号線102の間に配置される画素電極105に接続している。なお、本明細書では、映像信号線102に接続しているほうをドレイン、画素電極105に接続しているほうをソースと呼んでいるが、液晶表示パネルにおいては、その動作から、周期的にソースとドレインの関係が入れ替わる。

【0028】

画素容量 C_{px} は、画素電極105、共通信号線103に接続された対向電極（図示しない）、および液晶材料（図示しない）により形成される容量であり、液晶容量と呼ぶこともある。画素容量 C_{px} は、映像信号線102からTFT素子Trを介して画素電極105に加えられた階調電圧と、共通信号線103に接続された対向電極との電位差により強度が変化する電界によって液晶材料中の液晶分子の向きを制御し、当該画素の光透過率または光反射率を制御するためのものである。

10

【0029】

保持容量 C_{STG} は、たとえば、画素電極105、保持容量線（図示しない）、およびそれらの間に介在する絶縁層（図示しない）により形成される容量であり、補助容量と呼ぶこともある。保持容量 C_{STG} は、1フレーム期間中のあるタイミングで画素電極105に加えられた階調電圧を、次のフレーム期間のあるタイミングで次の階調電圧が加わるまで保持するためのものである。なお、近年の液晶表示パネルでは、保持容量 C_{STG} を設けない場合もある。

【0030】

20

また、本発明は、TFT基板1における1つの画素の構成が、たとえば、図1(c)乃至図1(e)に示すような構成である液晶表示パネル（液晶表示装置）に適用される。本発明が適用可能な液晶表示パネルの第1の基板1は、ガラス基板などの絶縁基板100の表面に、走査信号線101および保持容量線106が形成されている。また、絶縁基板100の表面には、走査信号線101および保持容量線106を覆う第1の絶縁層107も形成されている。

【0031】

第1の絶縁層107の上には、TFT素子Trの半導体層108、映像信号線102、およびソース電極109が形成されている。このとき、TFT素子Trのドレイン電極は、映像信号線102と一体形成されている。また、第1の絶縁層107の上には、半導体層108、映像信号線102、およびソース電極109を覆う第2の絶縁層110も形成されている。

30

【0032】

第2の絶縁層110の上には、画素電極105および共通信号線103が形成されている。画素電極105は、第1のスルーホールTH1によりソース電極109と接続しており、かつ、y方向に延在する第1の部分105_Lおよび第2の部分105_Rを有する。共通信号線103は、走査信号線101および映像信号線102で形成される格子と対応する概略格子状であり、かつ、画素電極105の2つの部分105_L、105_Rの間に、y方向に延在する第1の部分103_Cを有する。また、共通信号線103の第1の部分103_Cは、第2のスルーホールTH2により保持容量線106にと接続している。このとき、共通信号線103において対向電極として機能するのは、主として、y方向に延在する部分、すなわち図1(c)においてハッチングを付した部分である。以下の説明では、共通信号線103のうちの第1の部分103_C、映像信号線102上に位置する第2の部分103_L、および第3の部分103_Rを、それぞれ、第1の対向電極、第2の対向電極、および第3の対向電極と呼ぶ。

40

【0033】

またこのとき、第2の対向電極103_Lと画素電極105の第1の部分105_Lとの間隙S1、第1の対向電極103_Cと画素電極105の第1の部分105_Lとの間隙S2、第1の対向電極103_Cと画素電極105の第2の部分105_Rとの間隙S3、および第3の対向電極103_Rと画素電極105の第2の部分105_Rとの間隙S4は、同じ値（

50

寸法)になっている。

【0034】

また、第2の絶縁層110の上には、画素電極105および共通信号線103を覆う配向膜が形成されている。

【0035】

また、図を用いた詳細な説明は省略するが、対向基板2は、たとえば、ガラス基板などの絶縁基板の表面に、格子状の遮光膜(ブラックマトリクス)、カラーフィルタ、平坦化膜、配向膜などが形成されている。

【0036】

図2(a)乃至図2(c)は、従来の液晶表示装置における問題点の一例を説明するための模式図である。

図2(a)は、多面取りによるTFT基板の製造方法の一例を示す模式平面図である。図2(b)は、図2(a)の領域401および領域402に形成される画素電極と対向電極との間隙の関係の一例を示す模式断面図である。図2(c)は、多面取りで製造した液晶表示装置のγ特性の一例を示す模式グラフ図である。

【0037】

液晶表示パネルは、一般に、大面積のガラス基板を用いた多面取りと呼ばれる方法で製造する。多面取りの製造方法では、たとえば、1枚のマザーガラスと呼ばれる大面積のガラス基板の複数箇所の領域に、TFT基板1として機能する回路を形成する。このとき、TFT基板1が、たとえば、携帯型電子機器向けの小型の液晶表示パネルに用いるTFT基板1であれば、1枚のマザーガラスの数十カ所から数百カ所に、TFT基板1として機能する回路が形成される。多面取りの製造方法において、1枚のマザーガラスのN箇所の領域にTFT基板1として機能する回路を形成する場合は、一般に、N面取りと呼ばれる。

【0038】

本明細書では、多面取りの一例として、たとえば、図2(a)に示すように、1枚のマザーガラスの40箇所の領域にTFT基板1として機能する回路を形成する40面取りを例に挙げる。このとき、1枚のマザーガラスの40箇所の領域に形成されたTFT基板1として機能する回路は、通常、1組のレイアウトデータに基づいて形成されており、平面構成および断面構成が同じ構成になっている。

【0039】

しかしながら、従来の多面取りの製造方法では、1枚のマザーガラスの40箇所の領域に、たとえば、同じレイアウトデータに基づいて画素電極105および共通信号線103を形成したときに、それぞれの領域に形成される画素電極105と共通信号線103(対向電極)との間隙の寸法に差が生じることがある。すなわち、図2(a)に示したマザーガラス4の中央付近の領域401に形成される画素電極105と共通信号線103との間隙と、角部の領域402に形成される画素電極105と共通信号線103との間隙とを比較すると、たとえば、図2(b)に示したような関係になっていることがある。なお、図2(b)には、第2の絶縁層110、画素電極105の第1の部分105_L、および第1の対向電極103_Cのみを示している。

【0040】

1枚のマザーガラス4を用いた40面取りでTFT基板1を製造する場合、たとえば、画素電極105および共通信号線103を形成するための導電膜を形成(成膜)したときの膜厚のばらつきや、当該導電膜をエッチングするためのマスクを形成するときに行う感光性材料膜の露光で生じる露光むらなどによって、形成される画素電極105および共通信号線103の線幅にばらつきが生じる。図2(b)に示した例では、領域401に形成された画素電極105の第1の部分105_Lおよび第1の対向電極103_Cの寸法W1と、領域402に形成された画素電極105の第1の部分105_Lおよび第1の対向電極103_Cの寸法W2との関係が、W1>W2の関係になっている。このとき、領域401に形成された画素電極105の第1の部分105_Lと第1の対向電極103_Cとの間隔と、

10

20

30

40

50

領域 402 に形成された画素電極 105 の第 1 の部分 105_L と第 1 の対向電極 103_C との間隔は、ほぼ等しい。そのため、領域 401 に形成された画素電極 105 の第 1 の部分 105_L と第 1 の対向電極 103_C との間隔 S_2 と、領域 402 に形成された画素電極 105 の第 1 の部分 105_L と第 1 の対向電極 103_C との間隔 S_2' との関係は、 $S_2' > S_2$ になる。

【0041】

このように、画素電極 105 の第 1 の部分 105_L と第 1 の対向電極 103_C との間隔に差が生じると、たとえば、それぞれの領域 401, 402 の画素電極 105 と共通信号線 103 との電位差を同じにしたときに、それぞれの領域 401, 402 で生じる電界の強度に差が生じる。すなわち、領域 401 に形成された画素電極 105 の第 1 の部分 105_L と第 1 の対向電極 103_C との間で生じる電界の強度 E_1 と、領域 402 に形成された画素電極 105 の第 1 の部分 105_L と第 1 の対向電極 103_C との間で生じる電界の強度 E_2 との関係は、 $E_1 > E_2$ となる。

10

【0042】

なお、上記の説明では、1 枚のマザーガラス 4 の 2 つの領域 401, 402 のみを挙げているが、これに限らず、たとえば、領域 401 と領域 403 との間、領域 401 と領域 406 との間、領域 406 と領域 402 との間などでも同様のばらつきが生じる。

【0043】

このように、1 つのマザーガラス 4 を用いて製造した複数枚の TFT 基板 1 における画素電極 105 と共通信号線 103 (対向電極) との間隔にばらつきがあると、たとえば、図 2 (c) に示すように、それぞれの TFT 基板 1 を用いた複数枚の液晶表示パネルにおける γ 特性に違いが生じる。なお、図 2 (c) のグラフ図において、横軸は入力階調 K であり、縦軸は表示輝度 BR の百分率である。また、図 2 (c) のグラフ図では、入力階調 K が 256 通り (すなわち 256 階調) である場合を例に挙げている。また、図 2 (c) のグラフ図において、実線の分布 W_a は、画素電極 105 および共通信号線 103 の線幅がレイアウトデータにおける線幅とほぼ同じ場合の γ 特性を示している。また、点線の分布 W_b は、画素電極 105 および共通信号線 103 の線幅がレイアウトデータにおける線幅よりも狭くなっている場合の γ 特性を示している。また、破線の分布 W_c は、画素電極 105 および共通信号線 103 の線幅がレイアウトデータにおける線幅よりも太くなっている場合の γ 特性を示している。

20

30

【0044】

第 2 の絶縁層 110 の上に形成された画素電極 105 および共通信号線 103 の線幅がレイアウトデータにおける線幅よりも狭くなっている場合、画素電極 105 と共通信号線 103 との間隔は、レイアウトデータにおける間隔よりも広がっている。そのため、ある入力階調 K_i に対応する階調電圧を画素電極 105 に書き込んだときに、画素電極 105 と共通信号線 103 と間で生じる電界は、画素電極 105 および共通信号線 103 の線幅がレイアウトデータにおける線幅とほぼ同じ場合に比べて弱くなる。したがって、第 2 の絶縁層 110 の上に形成された画素電極 105 および共通信号線 103 の線幅がレイアウトデータにおける線幅よりも狭くなっている液晶表示パネルの γ 特性は、図 2 (c) に示した点線の分布 W_b のようになる。

40

【0045】

一方、第 2 の絶縁層 110 の上に形成された画素電極 105 および共通信号線 103 の線幅がレイアウトデータにおける線幅よりも太くなっている場合、画素電極 105 と共通信号線 103 との間隔は、レイアウトデータにおける間隔よりも狭くなっている。そのため、ある入力階調 K_i に対応する階調電圧を画素電極 105 に書き込んだときに、画素電極 105 と共通信号線 103 と間で生じる電界は、画素電極 105 および共通信号線 103 の線幅がレイアウトデータにおける線幅とほぼ同じ場合に比べて強くなる。したがって、第 2 の絶縁層 110 の上に形成された画素電極 105 および共通信号線 103 の線幅がレイアウトデータにおける線幅よりも狭くなっている液晶表示パネルの γ 特性は、図 2 (c) に示した破線の分布 W_c のようになる。

50

【 0 0 4 6 】

このように、多面取りで製造された従来の液晶表示パネルを有する液晶表示装置では、装置毎の表示特性（たとえば、 γ 特性）にばらつきが生じる。

【 実施例 】

【 0 0 4 7 】

図 3 (a) および図 3 (b) は、本発明による実施例の液晶表示装置における表示方法の原理および作用効果を説明するための模式図である。

図 3 (a) は、実施例の液晶表示装置における表示方法の原理を示す模式グラフ図である。図 3 (b) は、実施例の液晶表示装置の γ 特性の一例を示す模式グラフ図である。

【 0 0 4 8 】

本実施例の液晶表示装置は、多面取りでマザーガラス 4 のそれぞれの領域に形成された T F T 基板 1 の画素電極 1 0 5 と共通信号線 1 0 3 との間隙に、上記のようなばらつきが生じた場合に、そのばらつきに応じて、入力階調 K と画素電極 1 0 5 に加える階調電圧との対応関係を変えることで、表示装置毎の γ 特性のばらつきを低減する。

【 0 0 4 9 】

一般的な液晶表示装置では、画素電極 1 0 5 に加える階調電圧 V、入力階調 K、輝度 B R の関係は、たとえば、図 3 (a) に示した実線の分布 W a のようなある特定の関係に定められている。なお、図 3 (a) のグラフ図において、横軸は画素電極 1 0 5 に加える階調電圧 V (v o l t) であり、共通信号線 1 0 3 よりも高い電位の電圧を加える場合を例に挙げている。また、図 3 (a) のグラフ図において、左側の縦軸は輝度 B R の相対値であり、右側の縦軸は入力階調 K である。また、図 3 (a) では、入力階調 K が 2 5 6 階調の場合を例に挙げている。

【 0 0 5 0 】

従来の液晶表示装置では、たとえば、I C チップ 3 において、入力階調 K から階調電圧 V を生成するときに、図 3 (a) に示した実線の分布 W a の関係に基づいて生成する。このとき、実線の分布 W a は、形成された画素電極 1 0 5 と共通信号線 1 0 3 との間隙が、レイアウトデータにおける間隙とほぼ同じ寸法である場合を想定した分布である。そのため、T F T 基板 1 を多面取りで形成し、形成された画素電極 1 0 5 と共通信号線 1 0 3 との間隙と、レイアウトデータにおける間隙との間に差が生じると、図 2 (c) に示したように、 γ 特性にばらつきが生じる。

【 0 0 5 1 】

そのため、本実施例の液晶表示装置では、たとえば、形成された画素電極 1 0 5 と共通信号線 1 0 3 の線幅が、レイアウトデータにおける線幅よりも狭くなった場合、すなわち、形成された画素電極 1 0 5 と共通信号線 1 0 3 との間隙が、レイアウトデータにおける線幅よりも広がった場合、入力階調 K と階調電圧 V との関係を、たとえば、図 3 (a) に示した点線の分布 W b の関係に変更する。このようにすると、ある入力階調 K_i に対する階調電圧 V が、実線の分布 W a の関係の場合における階調電圧 V_i よりも大きくなる。そのため、画素電極 1 0 5 と共通信号線 1 0 3 との間で生じる電界が強くなる。したがって、形成された画素電極 1 0 5 と共通信号線 1 0 3 の線幅が、レイアウトデータにおける線幅よりも狭くなっている液晶表示パネルの γ 特性を、たとえば、図 3 (b) に示した点線の分布 W b ' のようにでき、実線の分布 W a に近づけることができる。

【 0 0 5 2 】

また、本実施例の液晶表示装置では、たとえば、形成された画素電極 1 0 5 と共通信号線 1 0 3 の線幅が、レイアウトデータにおける線幅よりも広がった場合、すなわち、形成された画素電極 1 0 5 と共通信号線 1 0 3 との間隙が、レイアウトデータにおける線幅よりも狭くなった場合、入力階調 K と階調電圧 V との関係を、たとえば、図 3 (a) に示した破線の分布 W c の関係に変更する。このようにすると、ある入力階調 K_i に対する階調電圧 V が、実線の分布 W a の関係の場合における階調電圧 V_i よりも小さくなる。そのため、画素電極 1 0 5 と共通信号線 1 0 3 との間で生じる電界が弱くなる。したがって、形成された画素電極 1 0 5 と共通信号線 1 0 3 の線幅が、レイアウトデータにおける線幅

よりも狭くなっている液晶表示パネルの γ 特性を、たとえば、図 3 (b) に示した破線の分布 $W c'$ のようにでき、実線の分布 $W a$ に近づけることができる。

【 0 0 5 3 】

図 4 (a) および図 4 (b) は、液晶表示装置における階調電圧の生成方法の一例を説明するための模式図である。

図 4 (a) は、入力階調から階調電圧を生成する階調電圧生成回路の概略構成の一例を示す模式図である。図 4 (a) は、図 4 (a) に示した 1 つの可変抵抗の概略構成の一例を示す模式図である。

【 0 0 5 4 】

液晶表示装置において、外部から入力された入力階調 K に基づいて、画素電極 1 0 5 に加える階調電圧を生成する階調電圧生成回路は、たとえば、図 4 (a) に示したような構成になっている。すなわち、2 5 5 個の可変抵抗 $R_0, R_1, R_2, \dots, R_{252}, R_{253}, R_{254}$ が直列に接続されており、0 階調に対応する階調電圧 V_0 から 2 5 5 階調に対応する階調電圧 V_{255} までの 2 5 6 種類の階調電圧を生成する第 1 の回路 5 0 1 と、入力階調 K に基づいて、第 1 の回路 5 0 1 で生成された 2 5 6 種類の階調電圧 $V_0, V_1, \dots, V_{255}$ のうちの 1 つの階調電圧 V_K を選択する第 2 の回路 5 0 2 を有する。このとき、第 1 の回路 5 0 1 における 1 つの可変抵抗 R_{254} は、たとえば、図 4 (b) に示すように、3 つの抵抗 $R_{254a}, R_{254b}, R_{254c}$ および 3 つのスイッチ SW_1, SW_2, SW_3 からなり、3 つのスイッチ SW_1, SW_2, SW_3 の on / off の組み合わせを変えることで、当該可変抵抗 R_{254} の抵抗値を変え、階調電圧 V_{254} の大きさを変えられるようになっている。またこのとき、他の可変抵抗 $R_0, R_1, R_2, \dots, R_{252}, R_{253}$ も同様の構成になっている。そのため、形成された画素電極 1 0 5 と共通信号線 1 0 3 の線幅とレイアウトデータにおける線幅との関係に基づいて、図 3 (a) に示した入力階調 K と階調電圧 V の対応関係を示す分布 $W a, W b, W c$ のいずれかを選択し、選択した分布 $W a, W b, W c$ に対応するようにそれぞれの可変抵抗 $R_0, R_1, R_2, \dots, R_{252}, R_{253}, R_{254}$ の抵抗値を変えれば、それぞれの液晶表示パネルを有する液晶表示装置の γ 特性のばらつきを低減することができる。

【 0 0 5 5 】

図 5 (a) 乃至図 5 (e) は、本実施例の液晶表示装置における入力階調と階調電圧との関係の選択方法の一例を説明するための模式図である。

図 5 (a) は、本実施例の TFT 基板の概略構成の一例を示す模式平面図である。図 5 (b) は、TFT 基板に形成する画素電極と共通信号線との間隙の寸法を見積もる手段 (間隙見積手段) のレイアウトデータの一例を示す模式平面図である。図 5 (c) は、TFT 基板に形成される画素電極と共通信号線との間隙の寸法を見積もる手段 (間隙見積手段) の第 1 のパターンを示す模式平面図である。図 5 (d) は、TFT 基板に形成される画素電極と共通信号線との間隙の寸法を見積もる手段 (間隙見積手段) の第 2 のパターンを示す模式平面図である。図 5 (e) は、TFT 基板に形成される画素電極と共通信号線との間隙の寸法を見積もる手段 (間隙見積手段) の第 3 のパターンを示す模式平面図である。

【 0 0 5 6 】

本実施例の液晶表示装置において、入力階調 K と階調電圧 V の対応関係を選択する方法としては、たとえば、第 2 の絶縁層 1 1 0 の上に形成された画素電極 1 0 5 および共通信号線 1 0 3 の寸法を計測し、その計測結果に基づいて選択する方法が考えられるが、この方法は効率が悪い。そのため、本実施例の液晶表示装置では、入力階調 K と階調電圧 V との対応関係を効率よく選択するために、たとえば、図 5 (a) に示すように、TFT 基板 1 の表示領域 DA の近傍に、画素電極 1 0 5 と共通信号線 1 0 3 との間隙の寸法を見積もる手段 (間隙見積手段 6) を設ける。

【 0 0 5 7 】

このとき、TFT 基板 1 の製造に使用するレイアウトデータには、たとえば、図 5 (b

）に示すような手段（間隙見積手段 6）のパターンを追加する。なお、図 5（b）において、検出信号入力線 1 1 1、第 1 の検出信号出力線 1 1 2 a、第 2 の検出信号出力線 1 1 2 b、および第 3 の検出信号出力線 1 1 2 c は、たとえば、映像信号線 1 0 2 およびソース電極 1 0 9 のレイアウトデータに追加する。また、検出信号入力線 1 1 1 と第 1 の検出信号出力線 1 1 2 a とを接続する第 1 の導電パターン 1 1 3、検出信号入力線 1 1 1 と第 2 の検出信号出力線 1 1 2 b とを接続する第 2 の導電パターン 1 1 4、検出信号入力線 1 1 1 と第 3 の検出信号出力線 1 1 2 c とを接続する第 3 の導電パターン 1 1 5 は、画素電極 1 0 5 および共通信号線 1 0 3 のレイアウトデータに追加する。また、検出信号入力線 1 1 1 と導電パターン 1 1 3、1 1 4、1 1 5 とを接続するコンタクトホール TH 3、TH 4、TH 5、第 1 の検出信号出力線 1 1 2 a と第 1 の導電パターン 1 1 3 とを接続するコンタクトホール TH 6、第 2 の検出信号出力線 1 1 2 b と第 2 の導電パターン 1 1 4 とを接続するコンタクトホール TH 7、および第 3 の検出信号出力線 1 1 2 c と第 3 の導電パターン 1 1 5 とを接続するコンタクトホール TH 8 は、第 2 の絶縁層 1 1 0 に形成するスルーホール TH 1、TH 2 のレイアウトデータに追加する。

10

20

30

40

50

【0058】

また、3つの導電パターン 1 1 3、1 1 4、1 1 5 のレイアウトデータは、それぞれ、検出信号入力線 1 1 1 と接続される第 1 のパッド部分 1 1 3 a、1 1 4 a、1 1 5 a と、検出信号入力線 1 1 2 a、1 1 2 b、1 1 2 c と接続される第 2 のパッド部分 1 1 3 b、1 1 4 b、1 1 5 b とを連結する連結部 1 1 3 c、1 1 4 c、1 1 5 c の寸法 L 1、L 2、L 3 を異なる寸法にする。このとき、一番細い連結部 1 1 3 c の寸法 L 1 は、たとえば、形成された画素電極 1 0 5 および共通信号線 1 0 3 の線幅がレイアウトデータにおける線幅とほぼ同じ線幅であれば、図 5（c）に示したように、消失し、検出信号入力線 1 1 1 と第 1 の検出信号出力線 1 1 2 a が断線するような寸法にする。またこのとき、一番細い連結部 1 1 3 c の寸法 L 1 は、たとえば、形成された画素電極 1 0 5 および共通信号線 1 0 3 の線幅がレイアウトデータにおける線幅よりも広くなると、図 5（d）に示したように、検出信号入力線 1 1 1 と第 1 の検出信号出力線 1 1 2 a が接続されるような寸法にする。

【0059】

また、二番目に細い連結部 1 1 4 c の寸法 L 2 は、たとえば、形成された画素電極 1 0 5 および共通信号線 1 0 3 の線幅がレイアウトデータにおける線幅とほぼ同じ線幅であれば、図 5（c）に示したように、検出信号入力線 1 1 1 と第 2 の検出信号出力線 1 1 2 b とが接続され、形成された画素電極 1 0 5 および共通信号線 1 0 3 の線幅がレイアウトデータにおける線幅よりも狭くなると、図 5（e）に示したように、消失し、検出信号入力線 1 1 1 と第 2 の検出信号出力線 1 1 2 b とが断線するような寸法にする。

【0060】

また、一番太い連結部 1 1 5 c の寸法 L 3 は、たとえば、形成された画素電極 1 0 5 および共通信号線 1 0 3 の線幅がレイアウトデータにおける線幅よりも狭くなっても、図 5（e）に示したように、検出信号入力線 1 1 1 と第 3 の検出信号出力線 1 1 2 c とが接続されているような寸法にする。

【0061】

このようにすると、形成された画素電極 1 0 5 および共通信号線 1 0 3 の線幅がレイアウトデータにおける線幅とほぼ同じ線幅であれば、図 5（c）に示したように、3本の検出信号出力線 1 1 2 a、1 1 2 b、1 1 2 c のうちの2本の検出信号出力線 1 1 2 b、1 1 2 c のみが、導電パターン 1 1 4、1 1 5 を介して検出信号入力線 1 1 1 に接続される。そのため、検出信号入力線 1 1 1 に加えた信号は、3本の検出信号出力線 1 1 2 a、1 1 2 b、1 1 2 c のうちの2本の検出信号出力線 1 1 2 b、1 1 2 c のみに出力される。その結果、画素電極 1 0 5 および共通信号線 1 0 3 の線幅がレイアウトデータにおける線幅とほぼ同じ、すなわち画素電極 1 0 5 と共通信号線 1 0 3 との間隙がレイアウトデータにおける間隙とほぼ同じであることがわかる。

【0062】

また、形成された画素電極 105 および共通信号線 103 の線幅がレイアウトデータにおける線幅よりも広がっていると、図 5 (d) に示したように、3 本の検出信号出力線 112a, 112b, 112c のすべてが、導電パターン 113, 114, 115 を介して検出信号入力線 111 に接続される。そのため、検出信号入力線 111 に加えた信号は、3 本の検出信号出力線 112a, 112b, 112c のすべてに出力される。その結果、画素電極 105 および共通信号線 103 の線幅がレイアウトデータにおける線幅よりも広い、すなわち画素電極 105 と共通信号線 103 との間隙がレイアウトデータにおける間隙よりも狭いことがわかる。

【0063】

また、形成された画素電極 105 および共通信号線 103 の線幅がレイアウトデータにおける線幅よりも狭くなっていると、図 5 (d) に示したように、3 本の検出信号出力線 112a, 112b, 112c のうちの 1 本の検出信号出力線 112c のみが、導電パターン 115 を介して検出信号入力線 111 に接続される。そのため、検出信号入力線 111 に加えた信号は、3 本の検出信号出力線 112a, 112b, 112c のうちの 1 本の検出信号出力線 112c のみに出力される。その結果、画素電極 105 および共通信号線 103 の線幅がレイアウトデータにおける線幅よりも狭い、すなわち画素電極 105 と共通信号線 103 との間隙がレイアウトデータにおける間隙よりも広いことがわかる。

【0064】

したがって、たとえば、IC チップ 3 において、検出信号入力線 111 に検出信号を入力し、3 本の検出信号出力線 112a, 112b, 112c の信号パターンの組み合わせによって、入力階調 K と階調電圧 V との対応関係を選択できるようにすれば、容易に γ 特性の補正をすることができる。

【0065】

図 6 は、本実施例の液晶表示装置における制御回路の概略構成の一例を示す模式ブロック図である。

【0066】

本実施例の液晶表示装置は、たとえば、タイミングコントローラまたは TFT コントローラと呼ばれる第 1 の制御回路と、IC チップ 3 に形成された第 2 の制御回路とを有する。第 1 の制御回路は、たとえば、外部から入力された映像信号 (入力階調信号) および電力、当該第 1 の制御回路で生成したクロック信号などを第 2 の制御回路に伝送する。

【0067】

このとき、本実施例の液晶表示装置における第 2 の制御回路 (IC チップ 3) は、たとえば、図 6 に示すように、第 1 の駆動回路 301、第 2 の駆動回路 302、共通電圧信号生成回路 303、線幅判定回路 304、および 3 種類の入力階調 - 階調電圧対応データ 305a, 305b, 305c を有する。

【0068】

第 1 の駆動回路 301 は、一般にデータドライバと呼ばれている駆動回路であり、たとえば、第 1 の制御回路から伝送された入力階調信号を所定の順序に並べ替える信号処理回路 301a、階調電圧生成回路 301b、バッファ回路 301c を有する。階調電圧生成回路 301b は、図 4 (a) および図 4 (b) に示したような第 1 の回路 501 および第 2 の回路 502 を有する構成になっており、映像信号線 102 を介してそれぞれの画素電極 105 に加える階調電圧 V を生成する回路である。バッファ回路 301c は、階調電圧生成回路 301b で生成した階調電圧 V が、たとえば、1 フレーム分または 1 ライン分たまるまで保持する回路であり、第 1 の制御回路からのクロック信号に基づき、所定のタイミングで階調電圧 V を映像信号線 102 に加える。

【0069】

第 2 の駆動回路 302 は、一般にゲートドライバまたは走査ドライバと呼ばれている駆動回路であり、第 1 の制御回路からのクロック信号に基づき、第 1 の駆動回路 301 から映像信号線 102 に加えられた階調電圧 V を書き込む画素 (画素電極 105) を選択する走査信号を走査信号線 101 に加える。

10

20

30

40

50

【 0 0 7 0 】

共通電圧信号生成回路 3 0 3 は、第 1 の制御回路からの電力により共通信号線 1 0 3 (対向電極) に加える共通電位の電圧信号を生成し、共通信号線 1 0 3 に加える。

【 0 0 7 1 】

線幅判定回路 3 0 4 は、T F T 基板 1 に形成された検出信号入力線 1 1 1 に検出信号を入力したときに、当該 T F T 基板 1 に形成された 3 本の検出信号出力線 1 1 2 a , 1 1 2 b , 1 1 2 c で検出される信号パターンの組み合わせによって、画素電極 1 0 5 および共通信号線 1 0 3 の線幅がレイアウトデータにおける線幅と同じか、または細かいか、あるいは太いかを判定する。このとき、線幅判定回路 3 0 4 における判定結果は、たとえば、階調電圧生成回路 3 0 1 b に伝送される。

10

【 0 0 7 2 】

3 種類の入力階調 - 階調電圧対応データ 3 0 5 a , 3 0 5 b , 3 0 5 c は、それぞれ、入力階調と階調電圧との対応関係が、たとえば、図 3 (a) に示した実線の分布 W a の関係である対応データ、点線の分布 W b の関係であるデータ、破線の分布 W c の関係である対応データになっている。そして、階調電圧生成回路 3 0 1 b は、線幅判定回路 3 0 4 における判定結果に基づいて、3 種類の対応データ 3 0 5 a , 3 0 5 b , 3 0 5 c のうちの 1 つを選択し、当該選択した対応データに基づいて第 1 の回路 5 0 1 の各可変抵抗 R 0 , R 1 , . . . , R 2 5 3 , R 2 5 4 の抵抗値を設定する。

【 0 0 7 3 】

このようにすれば、従来の液晶表示パネルの製造方法と同じ手順で、多面取りで製造した複数枚の液晶表示パネルの γ 特性のばらつきを低減することができる。

20

【 0 0 7 4 】

以上説明したように、本実施例の液晶表示装置によれば、多面取りで製造された複数枚の液晶表示パネルについて、それぞれの液晶表示パネルにおける画素電極 1 0 5 と共通信号線 1 0 3 (対向電極) との間隙の寸法に応じて入力階調 K と階調電圧 V との対応関係を容易に変更することができる。そのため、液晶表示装置毎の表示特性 (γ 特性) のばらつきを容易に低減することができる。

【 0 0 7 5 】

以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変更可能であることはもちろんである。

30

【 0 0 7 6 】

たとえば、前記実施例では、画素電極 1 0 5 と共通信号線 1 0 3 との間隙の寸法を見積もる手段 (間隙見積手段 6) に、1 本の検出信号入力線 1 1 1 のみを設けているが、これに限らず、それぞれの検出信号出力線 1 1 2 a , 1 1 2 b , 1 1 2 c に対応する 3 本の検出信号入力線を設けてもよいことはもちろんである。

【 0 0 7 7 】

また、前記実施例では、画素電極 1 0 5 と共通信号線 1 0 3 との間隙の寸法を見積もる手段 (間隙見積手段 6) に 3 つの導電パターン 1 1 3 , 1 1 4 , 1 1 5 を設け、たとえば、図 5 (e) に示したように、レイアウトデータにおける線幅よりも狭い場合でも 1 つの導電パターン 1 1 5 の連結部 1 1 5 c が残るようにしている。しかしながら、当該導電パターン 1 1 5 が無くても、すなわち第 1 の導電パターン 1 1 3 および第 2 の導電パターン 1 1 4 のみだけを形成するようにしても、線幅 (間隙) の見積りは可能である。

40

【 0 0 7 8 】

また、前記実施例では、入力階調 K と階調電圧 V との対応関係を示すデータとして、画素電極 1 0 5 と共通信号線 1 0 3 (対向電極) との間隙が、レイアウトデータにおける寸法とほぼ同じ場合、狭い場合、広い場合の 3 通りのデータを用意する場合を例に挙げた。しかしながら、本発明は、これに限らず、たとえば、画素電極 1 0 5 と共通信号線 1 0 3 (対向電極) との間隙が、レイアウトデータにおける寸法よりも狭い場合のデータを 2 通り以上、広い場合のデータを 2 通り以上用意してもよいことはもちろんである。その場合

50

、ＴＦＴ基板１の画素電極１０５と共通信号線１０３との間隙の寸法を見積もる手段（間隙見積手段６）は、たとえば、検出信号出力線および導電パターンの数を増やし、前記実施例で説明したような考えに基づいてそれぞれの導電パターンの連結部の寸法を変えればよいことはもちろんである。

【００７９】

またさらに、図６に示した構成は、本発明の液晶表示装置における制御回路の一構成例である。すなわち、本発明の液晶表示装置において、第１の制御回路および第２の制御回路（ＩＣチップ３）の構成は、これに限らず、前記実施例で説明したような方法で入力階調Ｋと階調電圧Ｖとの対応関係を変更できれば、どのような構成であってもよいことはもちろんである。

10

【図面の簡単な説明】

【００８０】

【図１（ａ）】従来の液晶表示装置における液晶表示パネルの概略構成の一例を示す模式平面図である。

【図１（ｂ）】図１（ａ）に示した液晶表示パネルにおける１つの画素の回路構成の一例を示す模式回路図である。

【図１（ｃ）】図１（ａ）に示した液晶表示パネルのＴＦＴ基板における１つの画素の平面構成の一例を示す模式平面図である。

【図１（ｄ）】図１（ｃ）に示したＡ－Ａ'線における断面構成の一例を示す模式断面図である。

20

【図１（ｅ）】図１（ｃ）に示したＢ－Ｂ'線における断面構成の一例を示す模式断面図である。

【図２（ａ）】多面取りによるＴＦＴ基板の製造方法の一例を示す模式平面図である。

【図２（ｂ）】図２（ａ）の領域４０１および領域４０２に形成される画素電極と対向電極との間隙の関係の一例を示す模式断面図である。

【図２（ｃ）】多面取りで製造した液晶表示装置のγ特性の一例を示す模式グラフ図である。

【図３（ａ）】実施例の液晶表示装置における表示方法の原理を示す模式グラフ図である。

【図３（ｂ）】実施例の液晶表示装置のγ特性の一例を示す模式グラフ図である。

30

【図４（ａ）】入力階調から階調電圧を生成する階調電圧生成回路の概略構成の一例を示す模式図である。

【図４（ｂ）】図４（ａ）に示した１つの可変抵抗の概略構成の一例を示す模式図である。

【図５（ａ）】本実施例のＴＦＴ基板の概略構成の一例を示す模式平面図である。

【図５（ｂ）】ＴＦＴ基板に形成する画素電極と共通信号線との間隙の寸法を見積もる手段（間隙見積手段）のレイアウトデータの一例を示す模式平面図である。

【図５（ｃ）】ＴＦＴ基板に形成される画素電極と共通信号線との間隙の寸法を見積もる手段（間隙見積手段）の第１のパターンを示す模式平面図である。

40

【図５（ｄ）】ＴＦＴ基板に形成される画素電極と共通信号線との間隙の寸法を見積もる手段（間隙見積手段）の第２のパターンを示す模式平面図である。

【図５（ｅ）】ＴＦＴ基板に形成される画素電極と共通信号線との間隙の寸法を見積もる手段（間隙見積手段）の第３のパターンを示す模式平面図である。

【図６】本実施例の液晶表示装置における制御回路の概略構成の一例を示す模式ブロック図である。

【符号の説明】

【００８１】

１…ＴＦＴ基板（第１の基板）

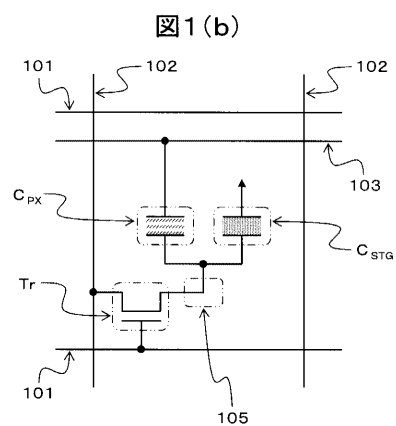
１００…絶縁基板

１０１…走査信号線

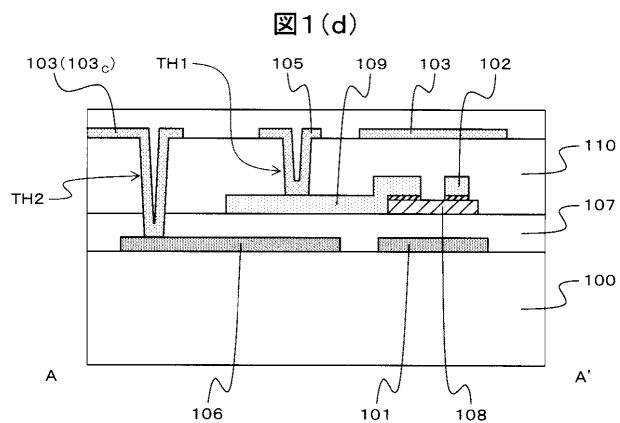
50

1 0 2 ... 映像信号線	
1 0 3 ... 共通信号線	
1 0 4 ... 駆動信号入力線	
1 0 5 ... 画素電極	
1 0 6 ... 保持容量線	
1 0 7 ... 第 1 の絶縁層	
1 0 8 ... 半導体層	
1 0 9 ... ソース電極	
1 1 0 ... 第 2 の絶縁層	
1 1 1 ... 検出信号入力線	10
1 1 2 a ... 第 1 の検出信号出力線	
1 1 2 b ... 第 2 の検出信号出力線	
1 1 2 c ... 第 3 の検出信号出力線	
1 1 3 ... 第 1 の導電パターン	
1 1 4 ... 第 2 の導電パターン	
1 1 5 ... 第 3 の導電パターン	
2 ... 対向基板 (第 2 の基板)	
3 ... I C チップ	
3 0 1 ... 第 1 の駆動回路	
3 0 1 a ... 信号処理回路	20
3 0 1 b ... 階調電圧生成回路	
3 0 1 c ... バッファ回路	
3 0 2 ... 第 2 の駆動回路	
3 0 3 ... 共通電圧信号生成回路	
3 0 4 ... 線幅判定回路	
3 0 5 a , 3 0 5 b , 3 0 5 c ... 対応データ	
4 ... マザーガラス	
5 0 1 ... 第 1 の回路	
5 0 2 ... 第 2 の回路	
6 ... 間隙見積手段	30

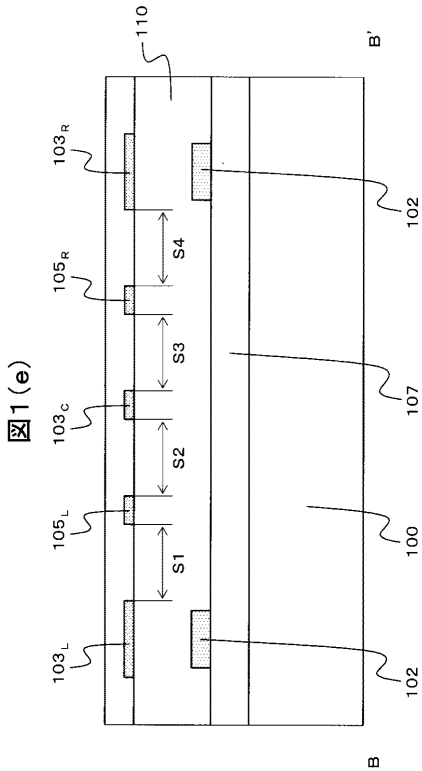
【 図 1 (b) 】



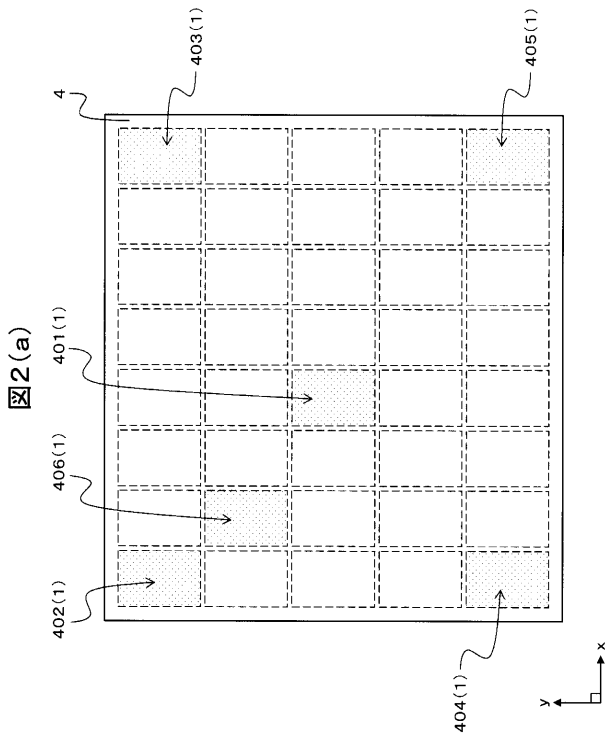
【 図 1 (d) 】



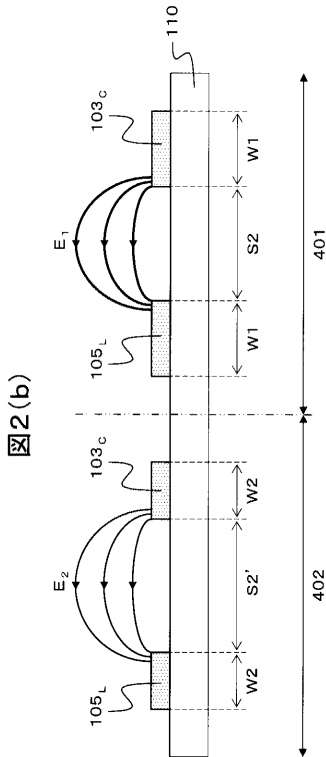
【 図 1 (e) 】



【 図 2 (a) 】



【 図 2 (b) 】



【 図 2 (c) 】

図2(c)

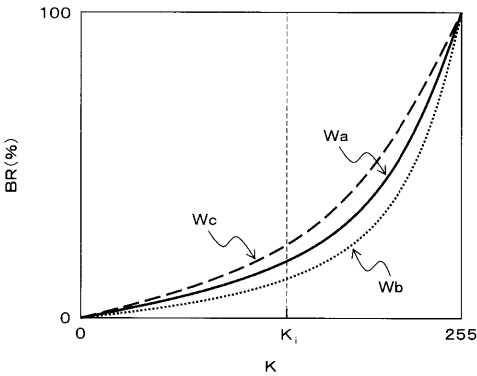


図3(a)

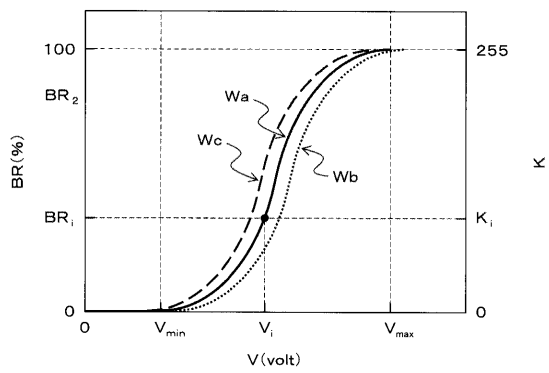


図3(b)

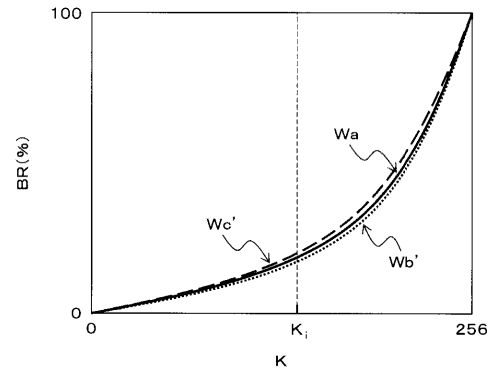


図4(a)

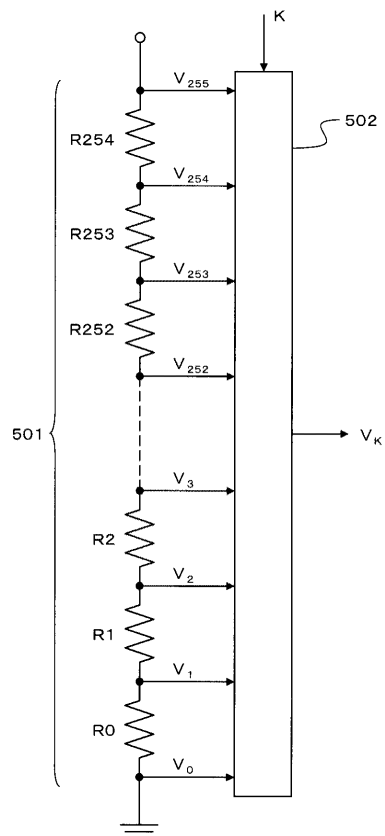
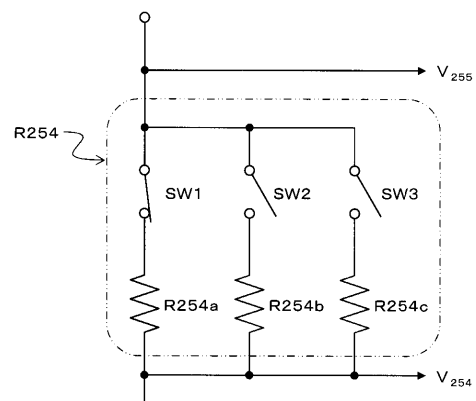
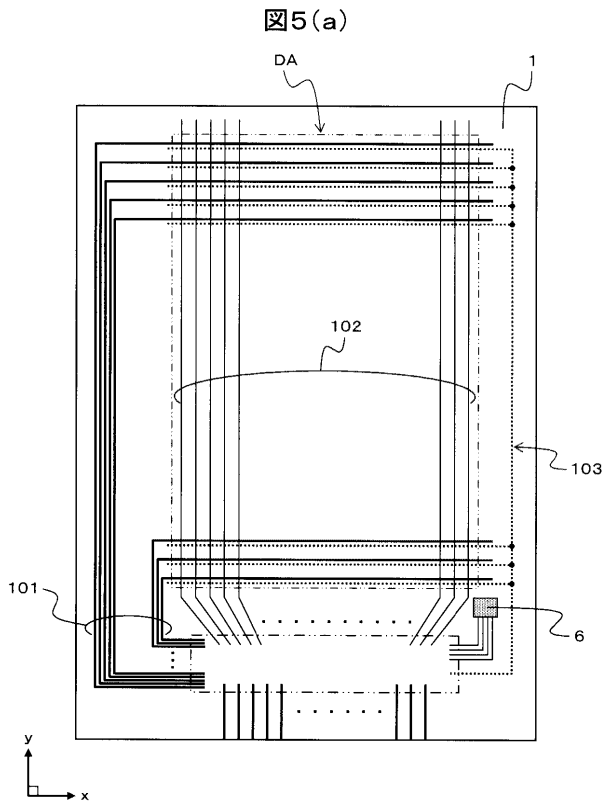


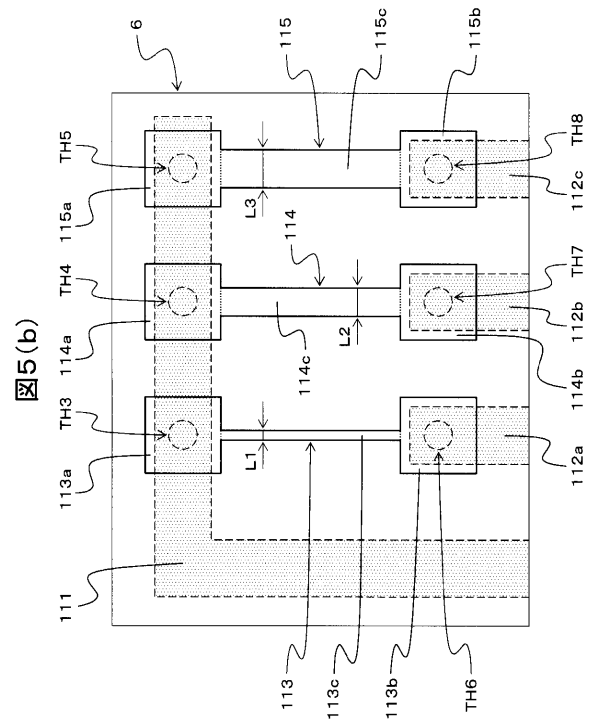
図4(b)



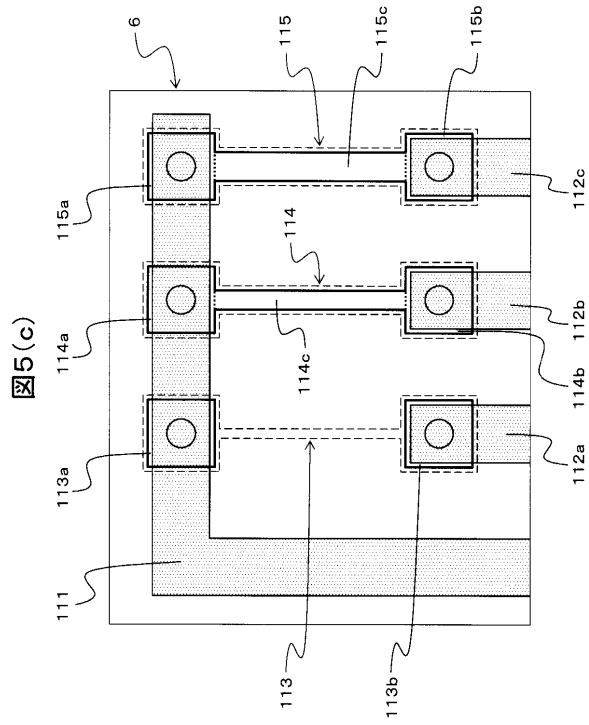
【図 5 (a)】



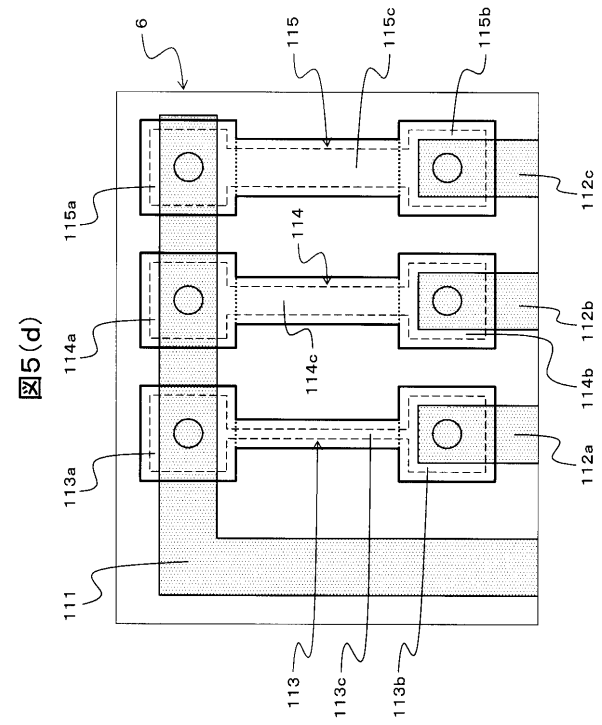
【図 5 (b)】



【図 5 (c)】



【図 5 (d)】



专利名称(译)	液晶表示装置		
公开(公告)号	JP2009294598A	公开(公告)日	2009-12-17
申请号	JP2008150598	申请日	2008-06-09
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	三島康之		
发明人	三島 康之		
IPC分类号	G02F1/1343 G02F1/1345 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1345 G02F1/1368		
F-TERM分类号	2H092/GA26 2H092/GA27 2H092/GA33 2H092/HA06 2H092/HA12 2H092/JA24 2H092/JB21 2H092/KB04 2H092/NA24 2H092/NA25 2H092/NA29 2H092/PA01 2H192/AA24 2H192/BB03 2H192/BC31 2H192/CB05 2H192/DA12 2H192/EA22 2H192/EA43 2H192/FA32 2H192/FA37 2H192/FA54 2H192/FB22 2H192/GD61 2H192/HA93 2H192/JA32		
外部链接	Espacenet		

摘要(译)

解决的问题：减少通过多腔室制造的液晶显示装置的显示特性的偏差。

液晶显示面板的一个基板是液晶显示装置，其中第一电极和第二电极布置在设置在绝缘基板的表面上的一个绝缘层的同一表面上。第一基板具有用于估计在预定区域之外的第一电极和第二电极之间的间隙的尺寸的间隙估计装置，并且该间隙估计装置是一个它具有上述信号输入线和三个或更多信号输出线，三个或更多信号输出线中的一个信号输出线，一个绝缘层的第一电极和第一个一种液晶显示装置，其设置在与布置有第二电极的表面相同的表面上，并通过由与第一电极和第二电极相同的导电材料制成的导电图案连接到信号输入线。[选择图]图5 (b)

