

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2005-202215
(P2005-202215A)

(43) 公開日 平成17年7月28日(2005.7.28)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO9G 3/36	GO9G 3/36	2H093
GO2F 1/133	GO2F 1/133 55O	5C006
GO9G 3/20	GO9G 3/20 611A	5C080
	GO9G 3/20 624B	
	GO9G 3/20 641A	
審査請求 未請求 請求項の数 2 O L (全 8 頁)		

(21) 出願番号	特願2004-9259 (P2004-9259)	(71) 出願人	000166948
(22) 出願日	平成16年1月16日 (2004.1.16)		ミヨタ株式会社
			長野県北佐久郡御代田町大字御代田4107番地5
		(72) 発明者	金井 智良
			長野県北佐久郡御代田町大字御代田4107番地5 ミヨタ株式会社内
		Fターム(参考)	2H093 NA16 NA51 NC09 NC11 NC24 NC26 NC34 ND39 5C006 AA15 AF21 BB16 BC03 BC06 BC12 BC20 BF04 BF24 BF26 BF34 BF37 FA47 5C080 AA10 BB05 DD26 FF11 GG12 JJ03 JJ04

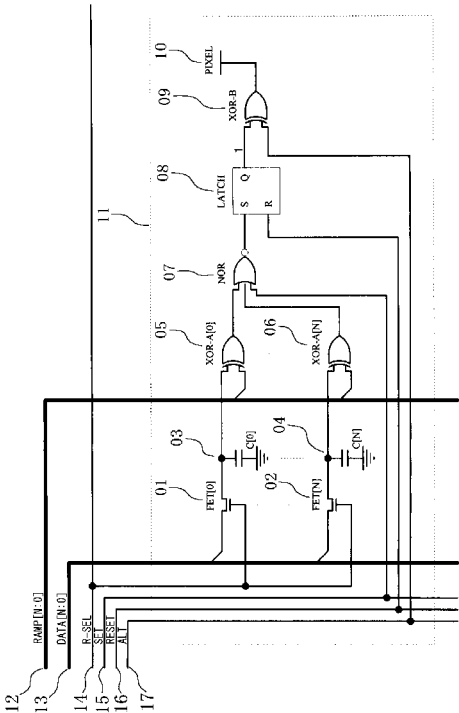
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 消費電力が少ない液晶表示装置を提供する。

【解決手段】 液晶表示画素に、少なくとも、液晶表示電極と、該液晶表示電極を駆動するための処理回路と、画像データを記憶する複数個のゲート容量とを形成した液晶表示装置とし、前記ゲート容量にNビット（Nは正の整数）のデジタル値を保持し、該デジタル値を時間信号に変換してから液晶表示電極を駆動する液晶表示装置とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

液晶表示画素に、少なくとも、液晶表示電極と、該液晶表示電極を駆動するための処理回路と、画像データを記憶する複数のゲート容量とを形成したことを特徴とする液晶表示装置。

【請求項 2】

前記ゲート容量に N ビット (N は正の整数) のデジタル値を保持し、該デジタル値を時間信号に変換してから前記液晶表示電極を駆動することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

10

【 0 0 0 1 】

本発明は液晶表示装置に関するものである。

【背景技術】

【 0 0 0 2 】

現在、液晶表示装置として T N (ツイステッド・ネマティック) 液晶を使用した T F T 液晶装置が数多く生産されている。テレビやノートパソコンをはじめ多くの電気製品の表示部として使用されている。ビデオカメラやデジタルスチルカメラなどの携帯製品においては、電池容量の関係で消費電力の低減が要求されていて、液晶表示装置に対しても低消費電力化が要求されている。

【 0 0 0 3 】

20

液晶表示装置は、液晶表示部の他に、画像処理装置を実装している。ここで、表示システムは、中央処理装置 (以下 C P U 、 C e n t r a l P r o c e s s i n g U n i t) において行なわれた演算処理結果を受取り、液晶表示部に映像を表示するまでの処理を行なう機能を有するシステムのことである。また、画像処理装置とは、表示システムにおいて、C P U において行なわれた演算結果を受け取り、液晶表示部に送る画像データを形成する装置のことである。液晶表示部とは、複数の液晶表示画素から構成され映像が表示される領域のことである。画像処理装置は、大量の画像データを高速に表示するために、画像処理専用の演算処理装置 (以下 G P U 、 G r a p h i c P r o c e s s i n g U n i t) や、画像データを保存するための記憶装置である V R A M (V i d e o R a n d o m A c c e s s M e m o r y) 、表示処理装置などから構成されていることが多い。こ

30

【 0 0 0 4 】

T F T 液晶表示装置は階調に対応したアナログ電圧を液晶表示電極に印加することで階調表示を行っているのが一般的である。フレームメモリから読み出されたデジタルのビデオ信号をアナログ電圧に変換するには D A 変換器が必要であり、そこで消費される電力は他の回路に比べて多い。格子状に配列された液晶表示画素の場合、通常は列の数と同じ D A 変換器を設けているので、解像度を上げると D A 変換機の数が増え、そこでの消費電力が問題になっている。

【 0 0 0 5 】

そこで、例えば、前記 G P U で行われていた演算処理の一部を液晶表示画素内部で分担し、V R A M を不要とすることで消費電力を低減するための技術が開発されている。具体的には、液晶表示画素に形成する液晶駆動回路の中にデジタル映像信号を保持する回路を設けて、フレームメモリを使用しないようにすることで表示システム全体での消費電力の低減を図っている。(例えば特許文献 1 参照)

40

【 0 0 0 6 】

【特許文献 1】特開 2 0 0 3 - 1 6 7 5 5 8 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

液晶表示画素に形成する液晶駆動回路の中にデジタル映像信号を保持する回路を設けて

50

、フレームメモリを使用しないようにすることで表示システム全体での消費電力の低減を図っているが、液晶表示画素と同じ数だけある液晶駆動回路にそれぞれD A変換器が必要になり、その部分での消費電力が増えてしまう。

本発明は消費電力の大きいD A変換器の使用をやめ、消費電力が少ない液晶表示装置を提供することを目的としている。

【課題を解決するための手段】

【0008】

液晶表示画素に、少なくとも、液晶表示電極と、該液晶表示電極を駆動するための処理回路と、画像データを記憶する複数個のゲート容量とを形成した液晶表示装置とする。

【0009】

前記ゲート容量にNビット(Nは正の整数)のデジタル値を保持し、該デジタル値を時間信号に変換してから液晶表示電極を駆動する液晶表示装置とする。

消費電力が多いD A変換器を使用しないで、C - M O S ロジック回路で液晶駆動信号を作成する。

【発明の効果】

【0010】

液晶表示画素に画像データを記憶する複数個のゲート容量を形成したので、画像記憶回路が不要にできた。また、スタティックR A Mにデータを記憶させるより面積も小さくすることができた。ゲート容量にデータを記憶した場合は、ダイナミックR A Mと同じようにリフレッシュを行わないと、記憶したデータが失われてしまう。しかし、本発明の場合はダイナミックR A Mと違って、データの読み出し動作を行わないので、小さなゲート容量で、次のフィールドの映像信号データを記憶するまでの期間、前の記憶内容を保持することができた。

【0011】

液晶表示電極を駆動する信号を、D A変換器を使用しないで作成できるので、消費電力が少ない液晶表示装置ができた。

【発明を実施するための最良の形態】

【0012】

液晶表示画素に、少なくとも、液晶表示電極と、該液晶表示電極を駆動するための処理回路と、画像データを記憶する複数個のゲート容量とを形成した液晶表示装置とし、前記ゲート容量にNビット(Nは正の整数)のデジタル値を保持し、該デジタル値を時間信号に変換してから液晶表示電極を駆動する液晶表示装置とする。

C - M O S ロジック回路のコンパレータによりP W M (パルス幅変調)したハイとロウの信号で液晶を駆動する。

【実施例1】

【0013】

図1は本発明の液晶表示装置に形成した液晶表示電極を駆動するための回路図である。点線11に囲まれた部分が液晶表示画素1つに形成した駆動回路である。図2は液晶表示画素を1フィールド分駆動する回路の動作を示す信号波形図であり、映像信号D A T A [N : 0] 13が8ビットで、値が10進数で200の場合を示している。

【0014】

図1において、01は0ビット目のF E T [0]であり、02はNビット目のF E T [N]である。図では省略されているが、0 ~ NのN + 1個のF E Tが形成されている。03は0ビット目のゲート容量C [0]であり、04はNビット目のゲート容量C [N]であり、前記各F E Tに対応して形成されている。05は0ビット目のエクスクルーシブO R回路X O R - A [0]であり、06はNビット目のエクスクルーシブO R回路X O R - A [N]であり、これも前記各F E Tに対応して形成されている。07はN O R回路N O R、08はラッチ回路L A T C H、09はエクスクルーシブO R回路X O R - B、10は液晶表示電極P I X E L、11は液晶表示電極駆動回路、12はランプ信号線R A M P [N : 0]、13はデータ線D A T A [N : 0]、14は液晶表示画素セレクト信号線R -

10

20

30

40

50

S E L、15はセット信号線 S E T、16はリセット信号線 R E S E T、17は反転信号線 A L T、1は：ラッチ回路08の出力信号線である。映像信号 D A T A [N : 0] 13は映像信号の階調により任意のビット数にすることができる。例えば、256階調の場合はビット数は8でNは7になる。同様にランプ信号 R A M P [N : 0] 12、F E T [N] 02、ゲート容量 C [N] 04、X O R - A [N] 06のNも7になる。

【0015】

各 F E T のゲートは R - S E L 14、ドレインは D A T A [N : 0] 13、ソースはそれぞれ対応する X O R - A 及びゲート容量 C に接続されている。N O R 7には前記 X O R - A の出力とセット信号が入力される。N O R 7の出力は L A T C H 08の入力 S に接続され、L A T C H 08の入力 R には R E S E T 16が接続されている。X O R - B 09の入力には L A T C H 08の出力と A L T 17が接続されている。X O R - B 09の出力は P I X E L 10に接続されている。

10

【0016】

図2は、1フィールド分の D A T A [N : 0]、R A M P [N : 0]、R E S E T、A L T、ラッチ回路08の出力信号1、P I X E L の信号波形を示している。

【0017】

図1と図2を使って液晶表示電極駆動回路の動作を説明する。複数ビットのデータの値は10進数で表してしる。D A T A [N : 0] 13のデータは R - S E L 14により F E T [0] 01 ~ F E T [N] 02 がオンしている間に X O R - A [0] 05 ~ X O R - A [N] 06 のゲート容量 C [0] 03 ~ C [N] 04 に保持されて、F E T [0] 01 ~ F E T [N] 02 がオフの時はハイまたはロウの値を保持している。ゲート容量 C [0] 03 ~ C [N] 04 が保持しているデータが200のときにフィールドの開始から R A M P [N : 0] 12 を0から255まで増やしていき、ゲート容量 C [0] 03 ~ C [N] 04 に保持されているデータと R A M P [N : 0] 12 の N + 1 ビットの値を X O R - A [0] 05 ~ X O R - A [N] 06 で比較する。

20

【0018】

S E T 15は通常ハイで R A M P [N : 0] 12 の値が変化してから X O R - A [0] 05 ~ X O R - A [N] 06 の出力が確定した後でロウにして、次に R A M P [N : 0] 12 が変化する前にハイに戻す。ゲート容量 C [0] 03 ~ C [N] 04 に保持されているデータと R A M P [N : 0] 12 の値が等しくないときは X O R - A [0] 05 ~ X O R - A [N] 06 の1つ以上の出力がハイになり、S E T 15の値に関わらず N O R 07 の出力はロウのままである。等しいときは X O R - A [0] 05 ~ X O R - A [N] 06 の全ての出力がロウになるので、S E T 15 がロウになったタイミングで N O R 07 の出力はハイになる。

30

【0019】

図2の R E S E T 波形で示すように1/2フィールドの開始で R E S E T 16 をハイにして L A T C H 08 の出力 Q をロウしてから R E S E T 16 をハイに戻す。N O R 07 の出力がハイになると L A T C H 08 の入力 S もハイになって、出力 Q は次の1/2フィールドの開始までハイを保持する。図2の2と3の部分は D A T A [N : 0] 13 と R A M P [N : 0] 12 の値が等しくなったときに L A T C H 08 の出力 Q の1の部分がロウからハイに変化する状態を示していて、1/2フィールド毎に同じ動作を繰り返す。この部分が P W M (パルス幅変調)の結果を表している。D A T A [N : 0] 13 が8ビットで値が200の場合はデジタル値の比は200/256になる。図2の1の波形は後半の1/2フィールドの開始でロウになり、3の部分でハイになってから1/2フィールドの終わりでロウになる。図2の1/2フィールドの時間を256とした場合、1の波形がロウの時間と1/2フィールドの時間の比も200/256になり、デジタル値がパルスの幅(時間)に変換された様子が分かる。

40

【0020】

L A T C H 08 の出力1は図2の1の波形で示すようにハイとロウの時間が同じにはならないが、A L T 17 を1/2フィールド毎にハイとロウにすることで X O R - B 09 の

50

出力 P I X E L 1 0 は、図 2 の P I X E L 波形のように 1 フィールド間のハイとロウの時間が等しくなる。P I X E L 1 0 は液晶の片側の電極で、もう一方の電極を P I X E L 1 0 のハイとロウの電圧の中間にすることで D C バランスが保たれる。図 1 の X O R - A [0] 0 5 から N ビット目の X O R - A [N] 0 6、N O R 0 7、L A T C H 0 8、X O R - B 0 9 は C - M O S ロジック回路で形成されているため、消費電力は極めて少ない。

【実施例 2】

【0021】

図 3 は本発明の液晶表示装置に形成した液晶表示電極を駆動するための第 2 実施例の回路図である。第 1 実施例である図 1 の回路が N + 1 ビット同時に比較を行ったのに対して 1 ビットずつ比較する回路で、点線 3 7 に囲まれた部分が液晶表示画素 1 つに対応する駆動回路である。映像データがビット 0 からビット 7 までの 8 ビットの場合の動作を説明する。

10

【0022】

図 3 において、21 は 0 ビット目の F E T で F E T [0]、22 は 7 ビット目の F E T で F E T [7] である。図では省略されているが、0 ~ N の N + 1 個の F E T が形成されている。23 は 0 ビット目のゲート容量 C [0] で、24 は 7 ビット目のゲート容量 C [7] であり、前記各 F E T に対応して形成されている。25 はデータセクタ回路 S E L - A、26 はデータセクタ回路 S E L - B である。28 はエクスクルーシブ O R 回路 X O R - A、30 は A N D 回路 A N D、31 はラッチ回路 L A T C H - A、33 は N O R 回路 N O R、34 はラッチ回路 L A T C H - B、35 はエクスクルーシブ O R 回路 X O R - B、36 は液晶表示電極 P I X E L、37 は液晶表示電極駆動回路、38 は R A M P 信号線 R A M P [7 : 0]、39 はデータセレクト信号線 S E L [2 : 0]、40 はデータ線 D A T A [7 : 0]、41 は液晶表示画素セレクト信号線 R - S E L、42 はセット信号線 S E T - A、43 はリセット信号線 R E S E T - A、44 はセット信号線 S E T - B、45 はリセット信号線 R E S E T - B、46 は反転信号線 A L T である。

20

【0023】

各 F E T のゲートは R - S E L 42、ドレインは D A T A [7 : 0] 40、ソースはそれぞれに対応するゲート容量 C 及び S E L - A 25 に接続されている。X O R - A 28 には S E L - A 25 と S E L - B 26 の出力入力される。A N D 30 には X O R 28 の出力と S E T - A 41 が接続され、出力は L A T C H - A 31 の入力 S に接続されている。L A T C H - A 31 の入力 R に R E S E T - A 43 が接続されている。N O R 33 には L A T C H - A 31 の出力と S E T - B 44 が接続されている。N O R 33 の出力は L A T C H - B 34 の入力 S に接続され、L A T C H - B 34 の入力 R には R E S E T - B 45 が接続されている。L A T C H - B 34 の出力と A L T 46 は X O R - B に接続されており、X O R - B 35 の出力は P I X E L 36 に接続されている。S E L [2 : 0] はデータセクタ回路 25、26 に接続されている。

30

【0024】

映像信号 D A T A [7 : 0] 40 のデータは R - S E L 41 により F E T [0] 21 ~ F E T [7] 22 がオンしている間に S E L - A 25 のゲート容量 C [0] 23 ~ C [7] 24 に蓄積されて、F E T [0] 21 ~ F E T [7] 22 がオフの時はハイまたはロウの値を保持している。1 / 2 フィールドの開始から R A M P [7 : 0] 38 を 0 から 255 まで増やしていき、R A M P [7 : 0] 38 の値が変化した後でゲート容量 C [0] 23 ~ C [7] 24 と R A M P [7 : 0] 38 の対応する 1 ビットのデータを S E L [2 : 0] 39 の信号により S E L - A 25 と S E L - B 26 でそれぞれ選択して X O R - A 28 で比較する。

40

【0025】

ビット 0 を比較する前に R E S E T - A 43 をハイにして L A T C H - A 31 の出力 Q にロウを保持させてから R E S E T - A 43 をロウに戻す。各ビットで X O R - A 28 の出力が確定した後で A N D 30 の入力 S E T - A 42 をハイにすると X O R - A 28 の出力と同じ値が L A T C H - A 31 の入力 S に入り、その後 S E T - A 42 をロウに戻す。

50

この動作をDATA[7:0]40とRAMP[7:0]38の値を固定した状態でビット0からビット7まで8回繰り返す。

【0026】

XOR-A28の比較結果が一致しないビットがあるとLATCH-A31の入力Sがハイになり出力QはRESET-A43がハイになるまでハイを保持する。全てのビットが一致した場合はLATCH-A31の出力Qはロウのままである。8ビットの比較が終了したときNOR33の入力SET-B44をロウにするとLATCH-B34の入力SにLATCH-A31の出力Qの反転信号が入力される。その後SET-B44をハイに戻す。1/2フィールドの開始毎にRESET-B45をハイにしてLATCH-B34の出力Qにロウを保持させてからRESET-B45をロウにしておく。全てのビットが一致した場合はLATCH-B34の入力Sにハイが入力されるので、LATCH-B34の出力Qは次の1/2フィールドの開始までハイを保持する。

【0027】

DATA[7:0]40の値が200の場合を例にとると、図2の2と3の位置でRAMP[7:0]38の値と等しくなり、XOR-A28の出力は8回の比較で全てロウになる。LATCH-A31の入力Sにはロウが入力され続けるので出力Qはロウのままである。その後SET-B44をロウにするとLATCH-B34の入力Sにハイが入力されて、出力Qは次の1/2フィールドの開始までハイを保持し続け図2の1の波形になる。

LATCH-B34の出力Qは図2の1の波形で示すようにハイとロウの時間が同じにはならないが、ALT46を1/2フィールド毎にハイとロウにすることでXOR-B35の出力PIXEL36は、図2のPIXEL波形のように1フィールド間のハイとロウの時間が等しくなる。PIXEL36は液晶の片側の電極で、もう一方の電極をPIXEL36のハイとロウの電圧の中間にすることでDCバランスが保たれる。図3のSEL-A25、SEL-B26、XOR-A28、AND30、LATCH-A31、NOR33、LATCH-B34、XOR-B35はC-MOSロジック回路で形成されているため、消費電力は極めて少ない。

【0028】

本発明はデジタル映像信号をPWM(パルス幅変調)してパルスの幅により液晶をオン・オフさせて階調を表しているので、FLC(強誘電性液晶)のように応答速度が速い液晶を使った液晶表示装置に特に適している。

【図面の簡単な説明】

【0029】

【図1】本発明の液晶表示装置に形成した液晶表示電極を駆動するための回路

【図2】液晶表示画素11を1フィールド分駆動する回路の動作を示す信号波形図

【図3】本発明の液晶表示装置に形成した液晶表示電極を駆動するための第2実施例の回路図

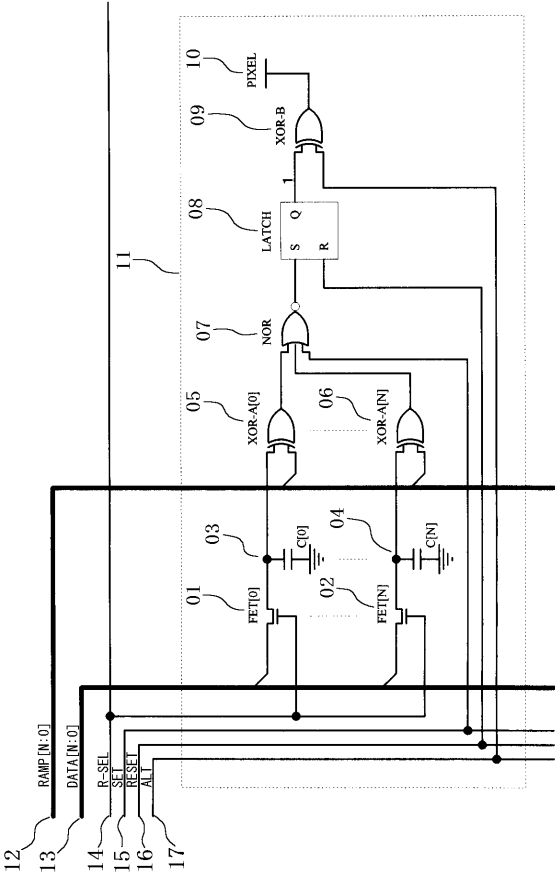
【符号の説明】

【0030】

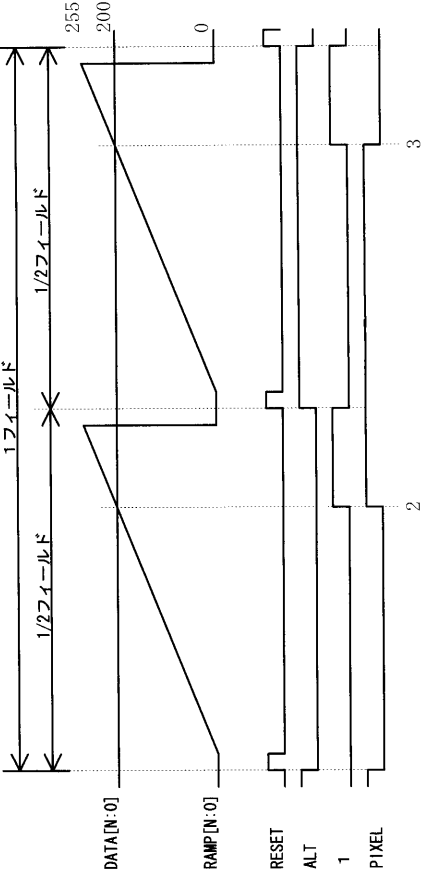
01	FET[0]	: 0ビット目のFET	40
02	FET[N]	: Nビット目のFET	
03	C[0]	: 0ビット目のゲート容量	
04	C[N]	: Nビット目のゲート容量	
05	XOR-A[0]	: 0ビット目のエクスクルーシブOR回路	
06	XOR-A[N]	: Nビット目のエクスクルーシブOR回路	
07	NOR	: NOR回路	
08	LATCH	: ラッチ回路	
09	XOR-B	: エクスクルーシブOR回路	
10	PIXEL	: 液晶表示電極	
11		: 液晶表示電極駆動回路	50

1 2	R A M P [N : 0]	: R A M P 信号線	
1 3	D A T A [N : 0]	: データ線	
1 4	R - S E L	: 液晶表示画素セレクト信号線	
1 5	S E T	: セット信号線	
1 6	R E S E T	: リセット信号線	
1 7	A L T	: 反転信号線	
1		: ラッチ回路 0 8 の出力信号線	
2 1	F E T [0]	: 0 ビット目の F E T	
2 2	F E T [7]	: 7 ビット目の F E T	
2 3	C [0]	: 0 ビット目のゲート容量	10
2 4	C [7]	: 7 ビット目のゲート容量	
2 5	S E L - A	: データセクタ回路	
2 6	S E L - B	: データセクタ回路	
2 8	X O R - A	: エクスクルーシブ O R 回路	
3 0	A N D	: A N D 回路	
3 1	L A T C H - A	: ラッチ回路	
3 3	N O R	: N O R 回路	
3 4	L A T C H - B	: ラッチ回路	
3 5	X O R - B	: エクスクルーシブ O R 回路	
3 6	P I X E L	: 液晶表示電極	20
3 7		: 液晶表示電極駆動回路	
3 8	R A M P [7 : 0]	: R A M P 信号線	
3 9	S E L [2 : 0]	: データセレクト信号線	
4 0	D A T A [7 : 0]	: データ線	
4 1	R - S E L	: 液晶表示画素セレクト信号線	
4 2	S E T - A	: セット信号線	
4 3	R E S E T - A	: リセット信号線	
4 4	S E T - B	: セット信号線	
4 5	R E S E T - B	: リセット信号線	
4 6	A L T	: 反転信号線	30

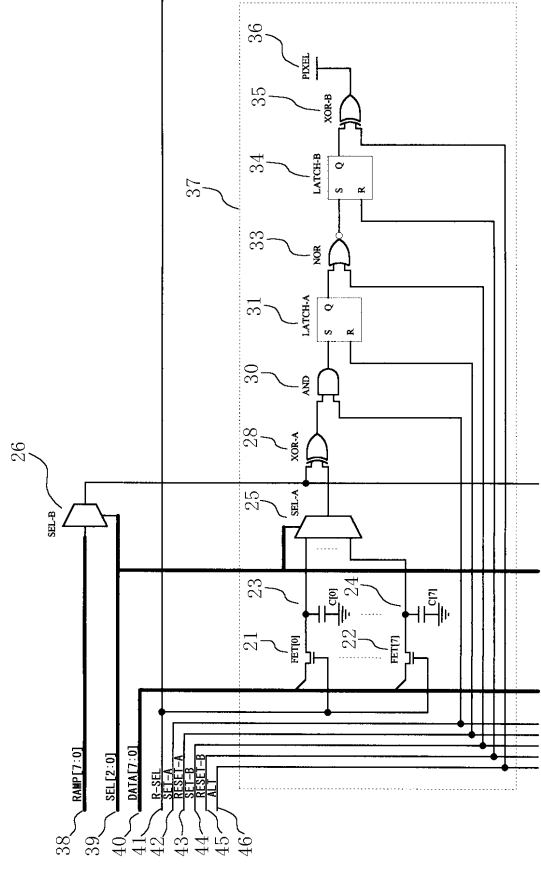
【図 1】



【図 2】



【図 3】



专利名称(译)	液晶表示装置		
公开(公告)号	JP2005202215A	公开(公告)日	2005-07-28
申请号	JP2004009259	申请日	2004-01-16
[标]申请(专利权)人(译)	西铁城控股株式会社		
申请(专利权)人(译)	ミヨタ株式会社		
[标]发明人	金井智良		
发明人	金井 智良		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.624.B G09G3/20.641.A		
F-TERM分类号	2H093/NA16 2H093/NA51 2H093/NC09 2H093/NC11 2H093/NC24 2H093/NC26 2H093/NC34 2H093/ND39 5C006/AA15 5C006/AF21 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF04 5C006/BF24 5C006/BF26 5C006/BF34 5C006/BF37 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF11 5C080/GG12 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZD21		
外部链接	Espacenet		

摘要(译)

提供了一种具有低功耗的液晶显示装置。提供一种液晶显示装置，其中在液晶显示像素中至少形成有液晶显示电极，用于驱动液晶显示电极的处理电路以及用于存储图像数据的多个栅极电容器。提供一种液晶显示装置，其在电容器中保持N位（N为正整数）数字值，并将该数字值转换为时间信号，然后驱动液晶显示电极。[选型图]图1

