

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-21069

(P2004-21069A)

(43) 公開日 平成16年1月22日(2004.1.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G02F 1/1368	G02F 1/1368	2H092
G02F 1/1345	G02F 1/1345	5C006
G09G 3/20	G09G 3/20 621M	5C080
G09G 3/36	G09G 3/20 680G	
	G09G 3/36	
審査請求 未請求 請求項の数 13 O L (全 21 頁)		

(21) 出願番号	特願2002-178231 (P2002-178231)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成14年6月19日 (2002.6.19)	(74) 代理人	100101683 弁理士 奥田 誠司
		(72) 発明者	松田 成裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	山田 崇晴 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	長島 伸悦 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

最終頁に続く

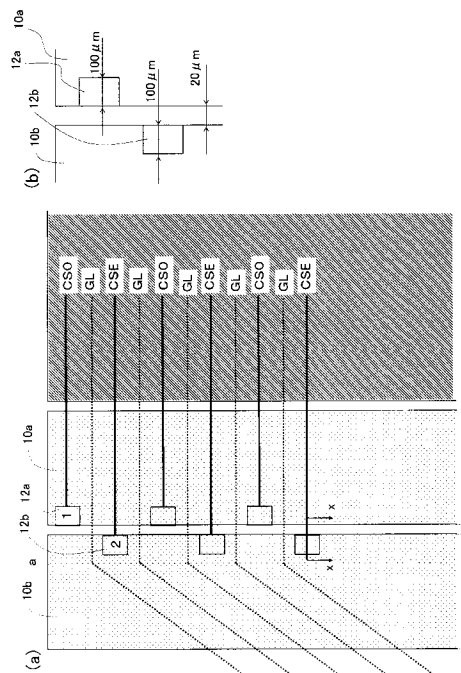
(54) 【発明の名称】 アクティブマトリクス基板および表示装置

(57) 【要約】

【課題】 DOT駆動方式される液晶表示装置などに用いられるアクティブマトリクス基板において、2系統に分けられた補助容量配線のそれぞれに対して適切に信号を供給する。

【解決手段】 アクティブマトリクス基板は、基板と、基板上において、互いに間隔を開け、かつ、隣接するように設けられた第1のCS幹ラインおよび第2のCS幹ラインを有する。第1の幹ラインおよび第2の幹ラインには、それぞれに別個に信号が供給される。また、アクティブマトリクス基板は、互いに実質的に平行な部分を含む複数の第1CS配線と、互いに実質的に平行な部分を含む複数の第2CS配線とを備える。第1CS配線のそれぞれは、第2のCS幹ラインの近傍に形成された接続部において第1のCS幹ラインに接続され、第2CS配線のそれぞれは、第1CS幹ラインの近傍に形成された接続部において第2のCS幹ラインに接続される。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

複数のスイッチング素子を備えるアクティブマトリクス基板であって、
基板と、

前記基板上において、互いに間隔を開け、かつ、隣接するように設けられた第 1 の幹ラインおよび第 2 の幹ラインであって、それぞれに別個に信号が供給される第 1 の幹ラインおよび第 2 の幹ラインと、

前記基板上に設けられた、互いに実質的に平行な部分を含む複数の第 1 配線と、

前記基板上に設けられた、互いに実質的に平行な部分を含む複数の第 2 配線とを備え、

前記複数の第 1 配線のそれぞれは、前記第 2 幹ラインの近傍に形成された第 1 の接続部において前記第 1 の幹ラインに電氣的に接続され、

前記複数の第 2 配線のそれぞれは、前記第 1 幹ラインの近傍に形成された第 2 の接続部において前記第 2 の幹ラインに電氣的に接続されているアクティブマトリクス基板。

【請求項 2】

前記第 1 の幹ラインおよび前記第 2 の幹ラインは第 1 の方向に延び、前記複数の第 1 配線および第 2 配線の前記実質的に平行な部分は、前記第 1 の方向に交差する第 2 の方向に延び、前記第 1 配線と前記第 2 配線とは、前記第 1 の方向において交互に並んでいる請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】

前記第 1 の幹ラインおよび前記第 2 の幹ラインのそれぞれは、間隔を開けて互いに嵌合するように形成された凹凸部分を有し、前記第 1 の接続部および前記第 2 の接続部は、少なくとも部分的に前記凹凸部分に設けられている請求項 1 または 2 に記載のアクティブマトリクス基板。

【請求項 4】

前記第 1 の接続部と、前記第 2 の接続部とが、略一列に並んでいる請求項 3 に記載のアクティブマトリクス基板。

【請求項 5】

前記第 1 配線および前記第 2 配線は、補助容量を形成するための補助容量配線であり、前記第 1 配線および前記第 2 配線のそれぞれには、互いに極性が反転した関係をもつ第 1 の信号および第 2 の信号のそれぞれが、前記第 1 の幹ラインおよび前記第 2 の幹ラインを介してそれぞれ供給される請求項 1 に記載のアクティブマトリクス基板。

【請求項 6】

前記第 1 の接続部または前記第 2 の接続部のうちの少なくとも一方は、前記第 1 配線または前記第 2 配線の前記実質的に平行な部分における配線ピッチよりも短いピッチで設けられている請求項 1 から 5 のいずれかに記載のアクティブマトリクス基板。

【請求項 7】

前記第 1 配線と前記第 2 配線との間に設けられた第 3 配線をさらに有し、前記第 3 配線は、前記第 1 の幹ラインおよび第 2 の幹ラインと絶縁された状態で、前記第 1 の幹ラインおよび第 2 の幹ラインを横断するように延びている請求項 6 に記載のアクティブマトリクス基板。

【請求項 8】

複数のスイッチング素子を備えるアクティブマトリクス基板であって、
基板と、

前記基板上において、互いに間隔を開け、かつ、隣接するように設けられた第 1 の幹ラインおよび第 2 の幹ラインであって、それぞれに別個に信号が供給される第 1 の幹ラインおよび第 2 の幹ラインと、

前記基板上に設けられた、互いに実質的に平行な部分を含む複数の第 1 配線と、

前記基板上に設けられた、互いに実質的に平行な部分を含む複数の第 2 配線とを備え、

前記複数の第 1 配線のそれぞれは、第 1 の接続部において前記第 1 の幹ラインに電氣的に接続され、前記複数の第 2 配線のそれぞれは、第 2 の接続部において前記第 2 の幹ライン

10

20

30

40

50

に電氣的に接続されており、

前記第2の接続部は、前記複数の第2配線の前記実質的に平行な部分における配線ピッチよりも短いピッチで設けられているアクティブマトリクス基板。

【請求項9】

前記複数の第2配線のうちの少なくとも1つは、対応する前記第2の接続部に向かって屈曲している部分を含む請求項8に記載のアクティブマトリクス基板。

【請求項10】

前記第1配線と前記第2配線との間に設けられた第3配線をさらに有し、前記第3配線は、前記第1の幹ラインおよび第2の幹ラインと絶縁された状態で、前記第1の幹ラインおよび第2の幹ラインを横断するように延びている請求項8または9に記載のアクティブマトリクス基板。

10

【請求項11】

請求項1から10のいずれかに記載のアクティブマトリクス基板と、前記アクティブマトリクス基板上に設けられた表示媒体層とを備える表示装置。

【請求項12】

前記表示媒体層は液晶層であり、

それぞれが、第1副画素および第2副画素とを有する複数の画素が規定されており、前記第1副画素の補助容量を形成するための補助容量対向電極は前記第1配線に接続されており、前記第2副画素の補助容量を形成するための補助容量対向電極は前記第2配線に接続されている請求項11に記載の表示装置。

20

【請求項13】

前記第1副画素および前記第2副画素のそれぞれに対応して2つの前記スイッチング素子が設けられており、前記2つのスイッチング素子は、共通の走査線に供給される走査信号電圧によってオン/オフ制御され、前記2つのスイッチング素子がオン状態にあるときに、前記第1副画素および前記第2副画素のそれぞれが有する副画素電極および補助容量電極に、共通の信号線から表示信号電圧が供給される請求項12に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

30

本発明は、アクティブマトリクス基板および表示装置に関し、特に、パーソナルコンピュータ用のモニタ、テレビジョンシステム、携帯機器の表示パネルなどとして用いられる液晶表示装置などにおいて好適に用いられるアクティブマトリクス基板に関する。

【0002】

【従来の技術】

液晶表示装置は、高精細、薄型、軽量および低消費電力等の優れた特長を有する平面表示装置であり、近年、表示性能の向上、生産能力の向上および他の表示装置に対する価格競争力の向上に伴い、市場規模が急速に拡大している。

【0003】

液晶表示装置は、例えば、対向して設けられた一対の基板間に表示媒体層としての液晶層が挟持された構造を有する。一方の基板（アクティブマトリクス基板）には、データ（ソース）ライン、ゲートライン、ドレイン電圧保持用の補助容量を形成するための補助容量配線などが形成される。この基板には、また、ゲートラインから供給されるゲート信号によって駆動されるスイッチング素子や、スイッチング素子に接続された画素電極がマトリクス状に配置される。また、他方の基板（対向基板）には共通電極などが設けられる。液晶表示装置では、画素電極と共通電極とを用いて液晶層に所定の電圧を印加することで液晶層の光変調状態が制御される。このように液晶層の光変調状態を制御することで画像の表示を行なうことが可能である。

40

【0004】

液晶表示装置としては、DOT反転駆動方式を採用したアクティブマトリクス型液晶表示

50

装置が知られている。DOT反転駆動方式とは、互いに隣合う画素に印加される画像信号の極性を反転させるような駆動方式である。このような液晶表示装置は、例えば、特開平11-119193号公報に記載されている。この公報に記載の液晶表示装置では、画素電極に対向して設けられた共通電極が二つの群に分けられており、それぞれの群に対して極性が反転した異なる信号が入力される。また、画素の補助容量を形成する補助容量配線(CS配線)も二つの群に分けられており、共通電極と同様に、これらの群のそれぞれに対して異なる信号が入力される。より具体的には、CS配線は、奇数番目のCS配線の群と偶数番目のCS配線の群とに分けられており、各群に対して所定期間ごとに極性が反転する互いに逆相の信号が入力される。

【0005】

10

【発明が解決しようとする課題】

上述のようにCS配線を2つの群に分け、それぞれの群に対して異なる信号を供給する場合(すなわち、CS配線を2系統で駆動する場合)、典型的には、アクティブマトリクス基板の額縁領域(表示領域の外側の領域)において、一方のCS配線群に共通して接続されるCS幹ラインと、他方のCS配線群に共通して接続されるCS幹ラインとが別個に設けられる。各CS配線には、これらのCS幹ラインを介して所定の信号が供給される。

【0006】

ただし、これらのCS幹ラインを介して各CS配線群に供給される信号は、上述のように互いに対して所定の関係を有している必要がある。このような信号を供給するためには、各CS幹ラインに接続されたCS配線の電気抵抗を揃えることが重要になる。これは、CS配線の抵抗が異なる場合には、抵抗が小さい配線に比べて、抵抗が大きい配線には信号が遅延した状態で入力され、これによって、各CS配線に実際に供給される信号が所望の関係を満たさなくなるおそれがあるからである。

20

【0007】

また、上述のように、複数のCS幹ラインを別個に設け、それぞれのCS幹ラインに対してCS配線を接続する場合には、額縁領域における配線構造が比較的複雑になる。これにより、CS幹ラインが形成された領域において、例えばCS配線間に設けられているような他の配線をアクティブマトリクス基板の外周部へと引き出すことが比較的困難になる。このような問題は、額縁領域を広くすることで解消し得るものの、額縁領域を広くすることは装置の小型化に反するため望ましくない。

30

【0008】

このように、2系統で駆動される配線群を有したアクティブマトリクス基板を作製する際には、他の配線の配置を考慮しつつ、各配線群に適切に信号が供給されるような配線構造を採用する必要がある。

【0009】

本発明はかかる課題を鑑みてなされたものであり、その主な目的は、2系統の配線が適切に配置されたアクティブマトリクス基板およびこのアクティブマトリクス基板を有する表示装置を提供することにある。

【0010】

【課題を解決するための手段】

40

本発明のアクティブマトリクス基板は、複数のスイッチング素子を備えるアクティブマトリクス基板であって、基板と、前記基板上において互いに間隔を開け、かつ、隣接するように設けられた第1の幹ラインおよび第2の幹ラインであって、それぞれに別個に信号が供給される第1の幹ラインおよび第2の幹ラインと、前記基板上に設けられた、互いに実質的に平行な部分を含む複数の第1配線と、前記基板上に設けられた、互いに実質的に平行な部分を含む複数の第2配線とを備える。前記複数の第1配線のそれぞれは、前記第2幹ラインの近傍に形成された第1の接続部において前記第1の幹ラインに電氣的に接続され、前記複数の第2配線のそれぞれは、前記第1幹ラインの近傍に形成された第2の接続部において前記第2の幹ラインに電氣的に接続されている。

【0011】

50

このアクティブマトリクス基板は、典型的には、液晶層などの表示媒体層を備える表示装置に用いられる。また、このような場合において、表示装置の表示可能領域であるアクティブエリア内に前記複数のスイッチング素子が設けられ、また、第1配線および第2配線は、アクティブエリア内を延び、かつ、アクティブエリア外の領域において第1の幹ラインおよび第2の幹ラインにそれぞれ電氣的に接続され得る。なお、第1の幹ラインおよび第2の幹ラインと、第1配線および第2配線との間に絶縁層が設けられ、第1の幹ラインまたは第2の幹ラインの一方と第1配線および第2配線の一部とは重畳していてもよい。

【0012】

ある好ましい実施形態において、前記第1の幹ラインおよび前記第2の幹ラインは第1の方向に延び、前記複数の第1配線および第2配線の前記実質的に平行な部分は、前記第1の方向に交差する第2の方向に延び、前記第1配線と前記第2配線とは、前記第1の方向において交互に並んでいる。

10

【0013】

ある好ましい実施形態において、前記第1の幹ラインおよび前記第2の幹ラインのそれぞれは、間隔を開けて互いに嵌合するように形成された凹凸部分を有し、前記第1の接続部および前記第2の接続部は、少なくとも部分的に前記凹凸部分に設けられている。

【0014】

ある好ましい実施形態において、前記第1の接続部と、前記第2の接続部とが、略一列に並んでいる。

【0015】

ある好ましい実施形態において、前記第1配線および前記第2配線は、補助容量を形成するための補助容量配線であり、前記第1配線および前記第2配線のそれぞれには、互いに極性が反転した関係をもつ第1の信号および第2の信号のそれぞれが、前記第1の幹ラインおよび前記第2の幹ラインを介してそれぞれ供給される。

20

【0016】

ある好ましい実施形態において、前記第1の接続部または前記第2の接続部の少なくともいずれか一方は、前記第1配線または前記第2配線の前記実質的に平行な部分における配線ピッチよりも短いピッチで設けられている。

【0017】

ある好ましい実施形態において、前記第1配線と前記第2配線との間に設けられた第3配線をさらに有し、前記第3配線は、前記第1の幹ラインおよび第2の幹ラインと絶縁された状態で、前記第1の幹ラインおよび第2の幹ラインを横断するように延びている。

30

【0018】

あるいは、本発明のアクティブマトリクス基板は、複数のスイッチング素子を備えるアクティブマトリクス基板であって、基板と、前記基板上において、互いに間隔を開け、かつ、隣接するように設けられた第1の幹ラインおよび第2の幹ラインであって、それぞれに別個に信号が供給される第1の幹ラインおよび第2の幹ラインと、前記基板上に設けられた、互いに実質的に平行な部分を含む複数の第1配線と、前記基板上に設けられた、互いに実質的に平行な部分を含む複数の第2配線とを備える。前記複数の第1配線のそれぞれは、第1の接続部において前記第1の幹ラインに電氣的に接続され、前記複数の第2配線のそれぞれは、第2の接続部において前記第2の幹ラインに電氣的に接続されており、前記第2の接続部は、前記複数の第2配線の前記実質的に平行な部分における配線ピッチよりも短いピッチで設けられている。

40

【0019】

ある好ましい実施形態において、前記複数の第2配線のうちの少なくとも1つは、対応する前記第2の接続部に向かって屈曲している。

【0020】

ある好ましい実施形態において、前記第1配線と前記第2配線との間に設けられた第3配線をさらに有し、前記第3配線は、前記第1の幹ラインおよび第2の幹ラインと絶縁された状態で、前記第1の幹ラインおよび第2の幹ラインを横断するように延びている。

50

【0021】

本発明の表示装置は、上記いずれかのアクティブマトリクス基板と、前記アクティブマトリクス基板上に設けられた表示媒体層とを備える。

【0022】

ある好ましい実施形態において、前記表示媒体層は液晶層であり、それぞれが、第1副画素および第2副画素とを有する複数の画素が規定されており、前記第1副画素の補助容量を形成するための補助容量対向電極は前記第1配線に接続されており、前記第2副画素の補助容量を形成するための補助容量対向電極は前記第2配線に接続されている。

【0023】

ある好ましい実施形態において、前記第1副画素および前記第2副画素のそれぞれに対応して2つの前記スイッチング素子が設けられており、前記2つのスイッチング素子は、共通の走査線に供給される走査信号電圧によってオン/オフ制御され、前記2つのスイッチング素子がオン状態にあるときに、前記第1副画素および前記第2副画素のそれぞれが有する副画素電極および補助容量電極に、共通の信号線から表示信号電圧が供給される。

【0024】

以下、本発明の作用を説明する。本発明のアクティブマトリクス基板によれば、第1の幹ラインと第2の幹ラインとに別個に信号が供給され、それぞれに接続された第1配線および第2配線にも、それぞれ別個に信号が供給される。このとき、第1配線と第2配線との長さや電気抵抗が異なると、各配線に印加される信号の関係が所望の関係からずれる場合がある。すなわち、各信号が供給されるタイミングや信号の振幅比などが所望の関係からずれる場合がある。これに対して、本発明のアクティブマトリクス基板では、第1配線は、第2幹ライン近傍に形成された第1の接続部において第1の幹ラインと接続され、かつ、第2配線は、第1幹ライン近傍に形成された第2の接続部において第2の幹ラインと接続されているため、各幹ラインとの接続部からの各配線の長さや、これらの配線抵抗を、略同一のものとすることができる。これにより、所望の関係を満たす適切な信号を各配線に供給することができる。

【0025】

また、本発明の別のアクティブマトリクス基板によれば、第1の接続部または第2の接続部の少なくともいずれか一方は、第1配線または第2配線の配線ピッチよりも短いピッチで設けられている。すなわち、第1の接続部または第2の接続部が設けられた領域（典型的には、表示装置の額縁領域）において、第1配線または第2配線を、各接続部に至るまでに屈曲させ得るような構成を有している。このような構成によれば、例えば、隣接する第1配線と第2配線との間に第3配線が設けられているような場合において、複数の第3配線を基板外周部へと集束させつつ引き出すときに、この第3配線を、第1配線および第2配線と交差させることなく、接続部の手前から屈曲させることが可能である。これによって、額縁領域などの第3配線の引出し部分の寸法を大きくすることなく、複数の第3配線の屈曲角を比較的緩やかにすることが可能になる。これによって、第3配線のピッチを比較的大きいものにすることが可能である。

【0026】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施形態1および2について説明する。

【0027】

(実施形態1)

図1は、実施形態1にかかるアクティブマトリクス基板100を有する液晶パネル150の構成を示す図である。液晶パネル150は、表示装置の表示可能領域に対応するアクティブエリア1と、その周囲に設けられた額縁領域R0とを含む。このアクティブエリア1には、複数の画素21（図7参照）がアレイ状に配列されている。

【0028】

また、アクティブマトリクス基板1の額縁領域R0には、ゲート配線領域R1が設けられており、このゲート配線領域R1において、アクティブエリア1内を延びるゲートライン

GLが、ゲート配線部3を通過してゲート端子部2に電氣的に接続されている。さらに、額縁領域R0には、ソース端子部4と、アクティブエリア1内を延びるソースラインSLとソース端子部4とを接続するソース配線部4aとが設けられている。

【0029】

図7は、液晶パネル150のアクティブエリア1内の等化回路を示す図である。アクティブエリア1において、アクティブマトリクス基板100には、画素電極18a, 18b、それぞれの画素21に対応して設けられたスイッチング素子としてのTFT (Thin Film Transistor) 16a, 16b、TFT 16a, 16bのオン/オフを制御するためのゲート線GL、画素電極18a, 18bに所定の電圧を供給するためのソース線SL、補助容量配線CSO (奇数番目の補助容量配線)、CSE (偶数番目の補助容量配線)などが設けられている。補助容量配線CSOおよび補助容量配線CSEは、補助容量CcsO, CcsEを形成するための補助容量対向電極22aおよび22bのそれぞれに接続されており、これらの電極22aおよび22bに所定の電圧を印加するために用いられる。

10

【0030】

また、アクティブマトリクス基板100に対向するように設けられた対向基板 (不図示) には、共通電極17が形成されている。この共通電極17と画素電極18a, 18bとの間に液晶容量ClcO, ClcEが形成されている。対向基板には、必要に応じてカラーフィルタ等が設けられていてもよい。なお、このような回路構成を有する液晶パネルの動作については後述する。

20

【0031】

図2は、アクティブエリア1内を延びる、奇数番目のCS配線CSO (以下、CSO配線という場合もある)、偶数番目のCS配線CSE (以下、CSE配線という場合もある)、およびゲートラインGLを示している。図から分かるように、アクティブエリア内において、実質的に平行な複数のCSO配線と、実質的に平行な複数の偶数番目のCSE配線とが、パネルの横方向 (X方向) に沿って延びている。CSO配線とCSE配線とは、パネルの縦方向 (Y方向) において交互に並んでおり、これらの隣接する一对のCS配線間 (すなわちCSO配線とCSE配線との間) においてゲートラインGLが設けられている。

。

【0032】

また、複数の奇数番目のCS配線CSOは、ゲート配線領域において共通の幹ライン10a (以下、CSO幹ラインという場合もある) に電氣的に接続されており、複数の偶数番目のCS配線CSEは、ゲート配線領域において共通の幹ライン10b (以下、CSE幹ラインという場合もある) に電氣的に接続されている。CSO幹ライン10aおよびCSE幹ライン10bは、パネルの縦方向 (Y方向) に沿って延び、アクティブエリア1内の複数のCSE配線およびCSO配線の延びる方向 (X方向) に交差する方向 (ここでは直交する方向) に延びている。これらの幹ライン10aおよび10bは、互いに間隔を開けて絶縁され、且つ、隣接するように設けられており、それぞれ別個に信号が供給される。

30

【0033】

次に、図3~図5を参照しながら、奇数番目の補助容量配線CSOと偶数番目の補助容量配線CSEとの2系統のCS配線有する本実施形態のアクティブマトリクス基板100のゲート配線領域R1における構成を、従来の構成と比較して説明する。

40

【0034】

まず、図3を参照しながら、CS配線を1系統で構成した従来のアクティブマトリクス基板のゲート配線領域R1における構成について説明する。従来のアクティブマトリクス基板では、全てのCS配線CSO, CSEに対して同じ信号が供給されるため、これらのCS配線CSO, CSEは、全て、単一のCS幹ライン10に接続部12を介して電氣的に接続されている。CS幹ライン10の幅lcs6は、例えば、500μmであり、各CS配線の線幅 (例えば約20μm) に比べて十分に大きく、このCS幹ライン10の電気抵抗は、各CS配線CSE, CSOのそれよりも十分に小さい。

50

【0035】

各CS配線CSO, CSEの接続部12は、CS幹ライン10の延びる方向であるY方向に沿って一列に並んでいる。すなわち、これらのCS配線において、接続部12から、所定列の各画素までの距離が略同じになる。すなわち、これらのCS配線の電気抵抗が略同じである。従って、供給された信号は各CS配線に所望の適切な状態で供給され得る。ただし、この構成では、CS配線が1系統で駆動されるので、例えば、特開平11-119193号公報に示されるようなDOT反転駆動方式を採用することは不可能である。

【0036】

次に、CS配線を2系統にした場合の従来のアクティブマトリクス基板の端子部領域の構成について図4を参照しながら説明する。図に示すように、アクティブマトリクス基板には、CSO幹ライン10aと、CSE幹ライン10bとが、互いに間隔を開けて、かつ、隣接するように基板上に設けられている。CSO幹ライン10aには、複数のCSO配線のそれぞれが接続部12aを介して電氣的に接続される。また、CSE幹ライン10bには、複数のCSE配線のそれぞれが接続部12bを介して電氣的に接続される。

10

【0037】

ただし、接続部12aおよび12bは、いずれもCSO幹ライン10aおよびCSO幹ライン10bの右端の位置に形成されている。すなわち、接続部12aと接続部12bとは、X方向(パネル横方向)において互いに離れたところに位置する。このため、例えば、同一の信号をCSO幹ライン10aとCSE幹ライン10bとに供給したとしても、CSE配線とCSO配線との長さの差(すなわち、抵抗差)に応じて、CSE配線およびCSO配線のそれぞれに実際に供給される信号は異なるものになる。すなわち、CSO幹ライン10aおよびCSE幹ライン10bに対して所望の関係を有する信号をそれぞれ別個に供給したときにも、CSO配線とCSE配線とは、所望でない関係を有する信号電圧が印加されるおそれがある。

20

【0038】

また、上述のように、図4に示す構成では、CSE配線の方がCSO配線よりもCSO幹ライン10aの幅分だけ配線長が長いことによって、CSO配線とCSE配線とで、配線抵抗に差が生じる。この配線抵抗の差を解消するためには、CSOの配線をより短くすることが考えられるが、このためには、CSE幹の幅を小さくする必要がある。しかし、CSE幹ラインの幅を小さくする場合、CSE幹ラインと抵抗を合わせる為にCSO幹ラインの幅も小さくしなければならない。この場合には、全体の抵抗が上昇することになり、好ましくない。

30

【0039】

これに対し、図5(a)に示すように本実施形態の構成では、図4に示した従来例と同様に、CSO幹ライン10aと、CSE幹ライン10bとが、互いに間隔を開けて、かつ、隣接するように基板上に設けられる。また、CSO幹ライン10aには、複数のCSO配線のそれぞれが接続部12aを介して電氣的に接続され、CSE幹ライン10bには、複数のCSE配線のそれぞれが接続部12bを介して電氣的に接続される。なお、図5(b)には接続部12aおよび12bのサイズ、CS幹ライン間の距離を例示している。

40

【0040】

ただし、CSO配線とCSO幹ライン10aとの接続部12aは、CSE幹ライン10bの近傍に形成されており、かつ、CSE配線とCSE幹ライン10bとの接続部12bは、CSO幹ライン10aの近傍に形成されている。すなわち、本実施形態では、接続部12aと接続部12bとは近接した位置に形成されている。なお、接続部12aがCSE幹ライン10bの近傍に形成されているという場合、接続部12aが、CSO幹ライン10aにおいて、その中心線よりも、CSE幹ライン10bに近い側の位置に形成されていることを意味する。また、接続部12bがCSO幹ライン10aの近傍に形成されているという場合、接続部12bが、CSE幹ライン10bにおいて、その中心線よりも、CSO幹ライン10aに近い側の位置に形成されていることを意味する。

【0041】

50

このような位置に接続部 1 2 a および 1 2 b を形成することによって、C S O 配線の長さ（接続部 1 2 a から、所定列の画素までの C S O 配線の長さ）と、C S E 配線の長さ（接続部 1 2 b から、所定列の画素（すなわち、Y 方向において上記画素に隣接する画素）までの C S O 配線の距離）とを略同じのものとすることができる。これにより、各 C S 配線に対して所望の関係を有する適切な信号をより確実に供給することができる。

【0042】

このように、本実施形態の構成によれば、2 系統で駆動される各群の配線に対して信号を供給する場合に、各配線に供給される信号のタイミングや、振幅（実効値）を所望の関係にすることができる。典型的には、各群の配線に供給される各信号を同期させることが可能であり、また、振幅比を適切なものとすることができる。

10

【0043】

より具体的には、配線長差に基づく 2 系統の配線抵抗の差を無くすようにすれば、例えば C S 配線を複数系統、例えば 2 系統に分割してパネルに入力する液晶表示装置において、反転した関係をもつ所望の信号を各系統の C S 配線に適切に供給することができる。従って、例えば、特開平 1 1 - 1 1 9 1 9 3 号公報に記載されているような駆動方法を利用して、D O T 反転駆動を適切に実行することができ、液晶表示装置の省電力化を実現するとともに、表示品位を向上させることが可能である。

【0044】

なお、以上に説明したアクティブマトリクス基板 1 0 0 において、接続部 1 2 a , 1 2 b における C S 幹ライン 1 0 a , 1 0 b と、C S O 配線および C S E 配線との接続は、例えば、図 6（図 5（a）の X - X 線断面に対応）に示すように行なわれる。すなわち、ゲートラインと同層に形成された C S 配線 5 2 上に、ゲート絶縁膜としても用いられ得る絶縁層 5 4 を設け、この絶縁層 5 4 上にソースラインと同層の C S 幹ライン 5 6 が形成される。このようにして形成された C S 配線 5 2 と C S 幹ライン 5 6 とは、エッチングなどにより絶縁層 5 4 に形成されたコンタクトホール 5 8 において、画素電極と同層で形成された I T O（インジウム錫酸化物）膜 6 0 によって電氣的に接続される。これによって、C S 幹ラインと複数の C S 配線とを電氣的に接続することが可能である。なお、この例では、I T O 膜 6 0 は、層間絶縁膜となる絶縁層 6 2 上に形成されている。また、以上に説明したような C S 配線およびこれに接続される C S 幹ラインを作成する工程は、アクティブエリア内の T F T および画素電極を形成する工程と同時に進行することができるため、従来のパネル作製工程に別途工程を追加する必要がない。

20

30

【0045】

なお、このようにして C S O 幹ラインと C S O 配線との接続および C S E 幹ラインと C S E 配線との接続を行なった場合において、図 5（a）から分かるように、C S E 配線は、上記の絶縁層 5 4 を介して C S O 幹ラインと重畳され容量を形成する。ただし、この容量は C S E 配線にも接続されているため、C S O 配線と C S E 配線とで容量差が生じるわけではないため、駆動上の問題はない。

【0046】

以下、図 7 ~ 図 9 を参照しながら、上述のようなアクティブマトリクス基板 1 0 0 を有する液晶パネル 1 5 0 を用いた液晶表示装置の一例について説明する。

40

【0047】

図 7 は、液晶パネルのアクティブエリア内における、液晶パネルの等価回路を模式的に示す図である。この液晶パネルは、行および列を有するマトリクス状に配列された画素（ドットと呼ぶことがある。）を有するアクティブマトリクス型の液晶パネルである。図 7 に示す画素 2 1 は、n 行 m 列の画素に対応する。

【0048】

画素 2 1 は、第 1 副画素と第 2 副画素とを有する。図 7 では、第 1 副画素に対応する液晶容量を C 1 c O と表記し、第 2 副画素に対応する液晶容量を C 1 c E と表記している。第 1 副画素の液晶容量 C 1 c O は、第 1 副画素電極 1 8 a と共通電極 1 7 と、これらの間の液晶層によって構成されている。第 2 副画素の液晶容量 C 1 c E は、第 2 副画素電極 1 8

50

bと共通電極17と、これらの間の液晶層によって構成されている。第1副画素電極18aはTFT16aを介して信号線14(ソースラインSL)に接続されており、第2副画素電極18bはTFT16bを介して、同じ信号線14に接続されている。TFT16aおよびTFT16bのゲート電極は、共通の走査線12(ゲートラインGL)に接続されている。

【0049】

それぞれの第1副画素および第2副画素に対応して設けられている第1補助容量および第2補助容量は、図7中では、それぞれCsCOおよびCsCEと表記している。第1補助容量CsCOの補助容量電極23aは、TFT16aのドレインに接続されており、第2補助容量CsCEの補助容量電極23bは、TFT16bのドレインに接続されている。なお、補助容量電極の接続形態は図示した例に限られず、それぞれ対応する副画素電極と同じ電圧が印加されるように電氣的に接続されていればよい。即ち、副画素電極とそれぞれ対応する補助容量電極とが直接または間接に電氣的に接続されていればよく、例えば、それぞれの副画素電極と対応する補助容量電極とを接続してもよい。

10

【0050】

第1補助容量CsCOの補助容量対向電極22aは、CSO配線(補助容量配線24O(または24E))に接続されており、第2補助容量CsCEの補助容量対向電極22bは、CSE配線(補助容量配線24E(または24O))に接続されている。この構成によって、第1および第2補助容量のそれぞれの補助容量対向電極22aおよび22bに異なる補助容量電圧を供給することが可能になっている。補助容量対向電極と補助容量配線の接続関係は、駆動方法(ドット反転駆動など)に応じて、適宜選択される。なお、補助容量を構成する絶縁層として、例えばゲート絶縁膜を共通に用いることができる。

20

【0051】

次に、図8を参照しながら、上記構成によって、第1副画素(C1CO)および第2副画素(C1CE)に異なる電圧を印加できる原理を説明する。

【0052】

図8は、図7の画素(n、m)に入力される各種信号の電圧波形とタイミングを示している。(a)は2つのフレームに亘る水平走査期間(H)を示し、(b)は $m \pm 1$ 本目の信号線14に供給される表示信号電圧 $V_s(m \pm 1)$ の波形(破線)を示し、(c)はm本目の信号線14に供給される表示信号電圧(階調信号電圧) $V_s(m)$ の波形(実線)を示している。(d)はn本目の走査線12に供給される走査信号電圧($V_g(n)$)の波形を示しており、(e)および(f)はそれぞれ補助容量配線24Oおよび24Eに供給される補助容量対向電圧(V_{csO} 、 V_{csE})の波形を示している。(g)および(h)は、それぞれ第1副画素の液晶容量C1COおよび第2副画素の液晶容量C1CEに印加される電圧(V_{1CO} 、 V_{1CE})の波形を示している。

30

【0053】

図8に示した駆動方式は、2Hドット反転+フレーム反転方式の液晶表示装置に本発明を適用した実施形態を示したものである。

【0054】

信号線14に印加される表示信号電圧 V_s は、2本の走査線が選択されるたび(2Hごと)に極性が反転し、且つ、隣接する信号線(例えば V_m と $V(m \pm 1)$)に印加される表示信号電圧の極性は逆になっている(2Hドット反転)。また、全ての信号線14に表示信号電圧 V_s はフレーム毎に極性が反転する(フレーム反転)。

40

【0055】

ここで、補助容量対向電圧 V_{csO} および V_{csE} の極性が反転する周期は、表示信号電圧の極性が反転する周期(2H)と同じであり、且つ、位相が1/2周期(1H)ずれている。補助容量対向電圧 V_{csO} および V_{csE} は、振幅が同じで、位相が180°異なる波形を有している。

【0056】

図8を参照しながら、液晶容量C1COおよび液晶容量C1CEに印加される電圧(V_1

50

c O、V l c E) が図 8 のようになる理由を説明する。

【0057】

走査信号電圧 V_g がハイレベル (V_{gH}) のときに T F T 1 6 a および 1 6 b n が導通状態となり、信号線 1 4 の表示信号電圧 V_s が副画素電極 1 8 a および 1 8 b に印加される。液晶容量 C_{lcO} および C_{lcE} のそれぞれの両端に印加される電圧は、それぞれ、副画素電極 1 8 a および 1 8 b の電圧と、共通電極 1 7 の電圧 (V_{com}) との差である。即ち、 $V_{lcO} = V_s - V_{com}$ ($V_{lcE} = V_s - V_{com}$) である。

【0058】

($n \times h - t$) 秒後に、走査線信号電圧 V_g が ON 状態である高電圧 V_{gH} から OFF 状態の低電圧 V_{gL} ($< V_s$) に切り替わると、いわゆる引込み現象の影響で、副画素電極 1 8 a および 1 8 b の電圧が V_d だけ下がる。この V_d 低下分だけ共通電極 1 7 の電圧 V_{com} は表示信号電圧 V_s のセンター電位より低い電圧に調整される。この低下分が V である。

【0059】

($n \times h$) 秒後、液晶容量 C_{lcO} の電圧 V_{lcO} は、液晶容量 C_{lcO} を構成する副画素電極 1 8 a と電氣的に接続された、補助容量 C_{csO} の補助容量対向電極の電圧 V_{csO} の影響を受けて変化する。また、液晶容量 C_{lcE} の電圧 V_{lcE} は、液晶容量 C_{lcE} を構成する副画素電極 1 8 b と電氣的に接続された、補助容量 C_{csE} の補助容量対向電極の電圧 V_{csE} の影響を受けて変化する。ここで、($n \times h$) 秒において、補助容量対向電圧 V_{csO} が $V_{csOp} > 0$ だけ増加し、補助容量対向電圧 V_{csE} が $V_{csEp} > 0$ だけ低下したとする。即ち、補助容量対向電圧 V_{csO} の全振幅 ($V_p - p$) を V_{csOp} とし、補助容量対向電圧 V_{csE} の全振幅を V_{csEp} とする。

【0060】

T F T 1 6 a のドレインに接続された液晶容量 C_{lcO} と補助容量 C_{csO} との合計の容量を C_{pixO} とすると、

$$V_{lcO} = V_s - V + V_{csOp} (C_{csO} / C_{pixO}) - V_{com}$$

となり、

T F T 1 6 b のドレインに接続された液晶容量 C_{lcE} と補助容量 C_{csE} との合計の容量を C_{pixE} とすると、

$$V_{lcE} = V_s - V - V_{csEp} (C_{csE} / C_{pixE}) - V_{com}$$

となる。

【0061】

次に、($n + 2$) \times h 秒後 ($(n + 3)$ H 時) には、同様に補助容量対向電極の電圧 V_{csO} (または V_{csE}) の影響を受けて、 V_{lcO} および V_{lcE} は、それぞれ、 n H 時の電圧値に戻る。

【0062】

$$V_{lcO} = V_s - V - V_{com}$$

$$V_{lcE} = V_s - V - V_{com}$$

【0063】

この電圧の変化は、次のフレームにおいて $V_g(n)$ が V_{gH} となるまで繰り返される。その結果、 V_{lcO} および V_{lcE} のそれぞれの実効値が異なる値となる。

【0064】

すなわち、 V_{lcO} の実効値を V_{lcOrms} とし、 V_{lcE} の実効値 V_{lcErms} とすると、

$$V_{lcOrms} = V_s - V + (1/2) V_{csOp} (C_{csO} / C_{pixO}) - V_{com}$$

$$V_{lcErms} = V_s - V - (1/2) V_{csEp} (C_{csE} / C_{pixE}) - V_{com}$$

(ただし、 $(V_s - V - V_{com}) \gg V_{csOp} (C_{csO} / C_{pixO})$ 、 $(V_s - V - V_{com}) \gg V_{csEp} (C_{csE} / C_{pixE})$ 時。) となる。従って、

これら実効値の差を $V_{lc} = V_{lcO_{rms}} - V_{lcE_{rms}}$ とすると、

$$V_{lc} = (1/2) \{ V_{csOp} (C_{csO} / C_{pixO}) + V_{csEp} (C_{csE} / C_{pixE}) \}$$

となる。

【0065】

2つの副画素が有する液晶容量および補助容量の大きさが等しい ($C_{lcO} = C_{lcE} = C_{lc}$ 、 $C_{csO} = C_{csE} = C_{cs}$ 、 $C_{pixO} = C_{pixE} = C_{pix}$) とすると、

$$V_{lc} = (1/2) (V_{csOp} + V_{csEp}) (C_{cs} / C_{pix})$$

となる。図8に示したように、 $V_{csOp} = V_{csEp}$ で位相が 180° 異なっている場合には、 $V_{csOp} = V_{csEp} = V_{csp}$ とすると、

$$V_{lc} = V_{csp} (C_{cs} / C_{pix})$$

となり、 V_{lcO} の実効値は大きく、 V_{lcE} の実効値は小さくなる。

【0066】

なお、 V_{csO} と V_{csE} の電圧を入れ替えれば、逆に V_{lcO} の実効値を小さく、 V_{lcE} の実効値を大きくなるように設定できる。あるいは、補助容量 C_{csO} および C_{csE} の補助容量対向電極に接続する補助容量配線 24O および 24E の組合せを逆にしても、 V_{lcO} の実効値を小さく、 V_{lcE} の実効値を大きくなるように設定できる。

【0067】

なお、ここでは、フレーム反転駆動を行っているので、次フレームでは、 V_s の極性が反転し、 $V_{lc} < 0$ となるが、これに同期して V_{csO} および V_{csE} の極性も反転させれば、同様の結果が得られる。

【0068】

また、ここでは、ドット反転駆動を行うために、隣接する信号線 14 に供給する表示信号電圧の極性を互いに逆にしてしているので、画素 (n, m) の次フレームの駆動状態は、画素 (n, m) の信号線 14 (m) の両隣りの画素 (n, m ± 1) の駆動状態と同じになる。

【0069】

次に、図9を参照しながら、図8に示した駆動方法によって得られる、あるフレームにおける各画素 (液晶容量) に印加される電圧の極性の分布 (a) および補助容量対向電圧 (補助容量配線) の組合わせ (b)、ならびに、各画素ごとの副画素に印加される実効電圧の分布 (c) を説明する。

【0070】

図9 (a) に示したように、図8の駆動方法を採用すると、2行ごとに極性が反転し、且つ、隣接する列ごとに極性が反転した、2Hドット反転が実現される。図9 (a) に示した次のフレームにおいては、全ての極性が反転する (フレーム反転)。

【0071】

ここで、図9 (b) に示したように、それぞれの副画素電極に接続する補助容量の補助容量対向電極を接続する補助容量配線を組み合わせると、図9 (c) に示すような実効電圧の分布を形成することができる。なお、図9 (b) における各セルの上段は、副画素電極 18a と組み合わせて用いられる補助容量対向電極が接続される補助容量配線 (24O または 24E) を示し、下段は、副画素電極 18b と組み合わせて用いられる補助容量対向電極が接続される補助容量配線 (24O または 24E) を示している。また、図9 (c) における各セルの上段は、副画素電極 18a が構成する副画素 (液晶容量) に対応し、下段は、副画素電極 18b が構成する副画素 (液晶容量) に対応する。図9 (c) において「O」と表記している副画素の実効電圧が高く、「E」と表記している副画素の実効電圧が低い。

【0072】

図9 (c) からわかるように、図8の駆動方法を採用すると、2Hドット反転駆動 (図9 (a)) が実現されているとともに、副画素に印加される実効値の大小関係も、行および列方向のそれぞれにおいて、副画素ごとに逆転している。このように、副画素に印加される電圧の実効値の分布の空間周波数が高いと、高品位の表示を行うことが出来る。

10

20

30

40

50

【0073】

また、上記の液晶パネルにおいて、副画素電極18aおよび18bには、それぞれ対応するTFT16aおよび16bを介して、共通の信号線14から表示信号電圧が供給される。TFT16aおよび16bのゲート電極は、共通の走査線12と一体に形成されており、副画素電極18aおよび18bの間に設けられている。副画素電極18aおよび18bは、走査線12に関して対称な位置にあり、この例では、同じ面積を有している。また、補助容量対向電極は、補助容量配線240, 24Eと一体に形成されており、各補助容量配線240, 24Eは、Y方向に隣接する2つの画素に共用されている。

【0074】

なお、上記には、TFT型の液晶表示装置を例示したが、他のスイッチング素子（例えば、MIM素子）を用いてもよい。 10

【0075】

以上に説明した液晶パネルにおいて、アクティブマトリクス基板100を用いているので、CSO配線(240)およびCSE配線(24E)のそれぞれに対して、図8(e)および(f)に示すような、振幅が同じで、位相が180°異なる、互いに反転した波形を有している補助容量対向電圧VcsOおよびVcsEを適切に供給することができる。従って、画素分割駆動方式における補助容量対向電圧の振幅によって変化する液晶層への印加電圧を適切に制御できる。このように、本実施形態の表示装置では、2系統で駆動されるCS配線群のそれぞれに極性の異なる電圧を印加するDOT反転駆動方式において、液晶層に印加する実効電圧を適切に変化させることで、高品位の表示を行なうことができる。 20

【0076】

(実施形態2)

以下、本発明の実施形態2にかかるアクティブマトリクス基板について説明する。

【0077】

図10(a)は、実施形態2のアクティブマトリクス基板におけるゲート配線領域R1(図1参照)を拡大して示す。本実施形態のアクティブマトリクス基板においても、実施形態1と同様に、CSO幹ライン20aと、CSE幹ライン20bとが、互いに間隔を開けて、かつ、隣接するように基板上に設けられる。また、CSO幹ライン20aには、複数のCSO配線のそれぞれが接続部12aを介して電氣的に接続され、CSE幹ライン20bには、複数のCSE配線のそれぞれが接続部12bを介して電氣的に接続される。ただし、CSO幹ライン20aおよびCSE幹ライン20bのそれぞれは、間隔を開けて互いに嵌合するように形成された凹凸部分28aおよび28bをそれぞれ有している。この凹凸部分28a, 28bにおいて、接続部12aおよび12bがそれぞれ設けられている。好適には、このような凹凸部分28aおよび28bに設けられた接続部12aと接続部12bとは、略一列に並んでいる。なお、本明細書では、複数の接続部を通る直線を引くことが可能な場合に、これらの接続部が略一列に並んでいると表現する。なお、図10(b)は、接続部20aおよび20bのサイズ、凹凸部分におけるCS幹ライン間の距離などを例示している。 30

【0078】

このようにすることで、CSO配線とCSE配線との長さ(電気抵抗)を略同一のものとすることができる。従って、実施形態1と同様に、各CS配線群に対して適切な信号を供給することができる。 40

【0079】

また、本実施形態では、接続部が形成されている領域(コンタクト領域)5のY方向の長さが、アクティブエリア1内においてそのコンタクト領域5で接続されているCS配線が形成されている領域のY方向の長さよりも短い。すなわち、CSO配線およびCSE配線の少なくとも一部は、アクティブエリア1の境界部近傍の屈曲箇所aにおいて屈曲されている。この場合に、アクティブエリア内のCSO配線およびCSE配線のピッチに対して、接続部12aおよび12bの配列ピッチは小さくなる。 50

【0080】

以下、図3、図4、図10および図11(a)~(c)を参照しながら、コンタクト領域のY方向の長さを、より短くしている理由について説明する。

【0081】

図11(a)~(c)は、ゲート配線領域R1における、ゲート端子部2、ゲート配線部(引出し部)3、コンタクト領域5およびアクティブエリア1を示しており、図11(a)は、図3に示した1系統のCS配線の場合に対応し、図11(b)は、図4に示した2系統のCS配線の場合に対応し、図11(c)は、図10に示した本実施形態2の場合に対応する。アクティブエリア1内でY方向に沿って形成されていたCS配線およびゲートラインのうち、CS配線はコンタクト領域5においてCS幹ラインに接続され、また、ゲートラインは、コンタクト領域5の外側に形成されたゲート配線部3において集束されながらゲート端子部2にまで引き出されている。なお、ゲートラインの一部は、コンタクト領域5の左端に位置する屈曲箇所aにおいて屈曲されている。

10

【0082】

図4に示した配線構造を有する場合(図11(b))、CS幹ラインとCS配線とを電氣的に接続するために必要なコンタクト領域5のX方向の長さB4は、図3に示すCS配線を1系統で駆動する場合(図11(a))のそれB3に比べて大きくなる。これは、図4からわかるように、2つのCS幹ラインが存在しており、基板の外寄りに位置するCS幹ライン10bにおいてもCS配線の接続がなされるためである。この場合、コンタクト領域5の長さB4は、少なくとも他方のCS幹ライン10aの幅よりも大きいものとなる。なお、この例では、コンタクト領域5のY方向の長さE3、E4は同じである。

20

【0083】

このようにコンタクト領域の幅が異なる場合において、額縁領域を同じ寸法で設ける(すなわち $A_3 + B_3 = A_4 + B_4$)とすると、図11(a)に示す場合のゲート配線部3の幅A3よりも、図11(b)に示す場合のゲート配線部3の幅A4の方が小さくなる。これにより、図11(b)に示す場合には、ゲート配線部3において集束されながら端子部2へと引き出されるゲートラインが、屈曲箇所aにおいて、より急な角度で屈曲せざるを得なくなる($\theta_3 > \theta_4$)。なお、C3およびC4を、Y方向におけるゲート端子部2の端部からコンタクト領域5の端部までの距離とすると、 $\tan \theta_3 = A_3 / C_3$ 、 $\tan \theta_4 = A_4 / C_3$ で表される。また、ここでは、ゲート端子部のY軸方向距離D3、D4は同じである($D_3 = D_4$)。

30

【0084】

このように引出し部におけるゲートラインの屈曲角度が異なる場合において、図3および図4から分かるように、ゲート配線部3における隣接するゲートラインのピッチd3、d4(隣接するゲートラインのセンター間の距離)は、アクティブエリア1内におけるゲートラインのピッチP1を用いて $d_3 = P_1 \sin \theta_3$ 、 $d_4 = P_1 \sin \theta_4$ で表され、 $\theta_3 > \theta_4$ であるから、図4に示した場合の方が図3に示した場合に比べてゲートラインピッチが狭くなる。従って、CS配線を2系統とするときに図4のような配線構造を用いた場合には、引き出し部におけるゲートラインピッチが狭くなり、これによって、製品不良率の上昇につながるおそれがある。

40

【0085】

なお、上記には額縁領域の寸法を同等のものと仮定して説明したが、ゲート配線部3におけるゲートラインのピッチを同じものにしようとする、図3の場合に比べて図4の場合のほうがゲート配線部3の寸法を大きくする必要が生じ、従って、アクティブマトリクス基板の額縁領域が大きくしなければならないため、望ましくない。

【0086】

これに対して、本実施形態では、図10および図11(c)に示すように、コンタクト領域5'とアクティブエリア1との間に、ゲート/CS配線部6が設けられている。このゲート/CS配線部6には、アクティブエリア1の境界近傍に位置する屈曲箇所bにおいて予め屈曲させられたゲートラインおよびCS配線が設けられている。すなわち、本実施形

50

態では、アクティブエリア 1 からゲート端子部 2 へと集束されながら延びるゲートラインの中途の位置にコンタクト領域 5' が設けられたような構成にされており、コンタクト領域 5' の Y 方向の長さ G 5 は、アクティブエリア 1 内における対応する CS 配線が形成されている領域の Y 方向の長さ (図 1 1 (a) および (b) のコンタクト領域の長さ E 3 および E 4 に対応) に比べて短い ($E 3 = E 4 > G 5$)。この場合、コンタクト領域 5' に形成されている CS 配線用の接続部の配列ピッチは、アクティブエリア内を平行に延びる CS 線の配線ピッチよりも小さくなる。

【 0 0 8 7 】

このようにして、コンタクト領域 5' に至るまでに、アクティブエリア 1 から引き出されたゲートラインおよび CS 配線を予め屈曲させる構成を採用することによって、図 4 および図 1 1 (b) に示すように急な (小さい) 角度 4 でゲートラインを屈曲させる必要がなく、より緩い (大きい) 角度 5 および 5' でゲートラインを屈曲させることが可能である。これによって、ゲートピッチを図 4 および図 1 1 (b) に示した場合よりも広くすることができるので、不良品率を低減することが可能である。

10

【 0 0 8 8 】

以下、図 1 1 (c) に則してより具体的に説明すると、ゲート / CS 配線部のピッチを決めるゲート / CS 配線角度 (屈曲部 b での屈曲角度) 5' は、 ($\tan 5' = C 5 / (E 5 - D 5)$) を満足する。ここで、C 5 は、ゲート / CS 配線部 6 の X 方向の幅であり、E 5 は、Y 方向におけるゲート端子部 2 の端部からゲート / CS 配線部 6 の端部までの距離であり、D 5 は、Y 方向におけるゲート端子部 2 の端部からコンタクト領域 5 の端部までの距離である。

20

【 0 0 8 9 】

また、屈曲箇所 a においてコンタクト領域 5' からゲート端子部 2 へと延びるゲートラインが屈曲する角度 5 は、 ($\tan 5 = A 5 / D 5$) を満足する。ここで、A 5 は、ゲート配線部 3 の X 方向の幅である。

【 0 0 9 0 】

また、図 1 1 (c) においても、額縁領域の寸法を、図 1 1 (a) および (b) と同じにしている。すなわち、 $A 3 + B 3 = A 4 + B 4 = A 5 + B 5 + C 5$ である。なお、B 5 は、コンタクト領域 5' の X 方向の幅である。また、ゲート端子部 2 の Y 軸方向距離 F 5 も図 1 1 (a) および (b) の場合と同じであり、 $F 5 = D 3 = D 4$ である。

30

【 0 0 9 1 】

以下、上記の図 3 ~ 図 5 (図 1 1 (a) ~ (c)) を参照しながら、上記ゲート配線領域 R 1 におけるより具体的な設計を例示する。

【 0 0 9 2 】

なお、図 3 に示す L c s 6 は CS 幹ライン 1 0 の Y 方向幅である。また、図 4 に示す L c s o 7 は CS O 幹ライン 1 0 a の Y 方向幅、L s p は CS O 幹と CS E 幹との間のスペース部分の Y 方向幅、L c s e 7 は CS E 幹ラインの Y 方向幅であり、L c s o 7、L s p、L c s e 7 の和は、図 3 の CS 幹幅の L c s 6 と同じである ($L c s 6 = L c s o 7 + L s p + L c s e 7$)。

【 0 0 9 3 】

また、図 1 0 (a) の L c s o 9 は実効 CS O 幹ライン 2 0 a の Y 方向幅、L c n t はコンタクト領域 5' の Y 方向幅、L c s e 9 は実効 CS E 幹ライン 2 0 b の Y 方向幅であり、L c s o 9、L c n t、L c s e 9 の和は、図 3 の CS 幹幅 L c s 6 と同じである。 ($L c s 6 = L c s o 9 + L c n t + L c s e 9$)。

40

【 0 0 9 4 】

図 3 ~ 図 5 のそれぞれの場合において、ゲート端子ピッチ $1 0 0 \mu m$ 、ゲート本数 2 5 0 本、アクティブエリア 1 内の画素ピッチ $4 0 0 \mu m$ として、ゲート端子部 2 の端部からアクティブエリアの端部までの距離を一定にした場合に、それぞれの値が以下の様になるように設計した。

【 0 0 9 5 】

50

$A_3 = 2.85 \text{ mm}$ 、 $B_3 = 150 \mu\text{m}$ 、 $C_3 = 12.5 \text{ mm}$ 、 $D_3 = 25 \text{ mm}$ 、 $E_3 = 100 \text{ mm}$ (図3参照)

$A_4 = 2.33 \text{ mm}$ 、 $B_4 = 670 \mu\text{m}$ 、 $C_4 = 12.5 \text{ mm}$ 、 $D_4 = 25 \text{ mm}$ 、 $E_4 = 100 \text{ mm}$ (図4参照)

$A_5 = 2.39 \text{ mm}$ 、 $B_5 = 200 \mu\text{m}$ 、 $C_5 = 410 \mu\text{m}$ 、 $D_5 = 11.8 \text{ mm}$ 、 $E_5 = 12.5 \text{ mm}$ 、 $F_5 = 25 \text{ mm}$ 、 $G_5 = 48.6 \text{ mm}$ (図10参照)

【0096】

このとき、 $\theta_3 = 12.8^\circ$ 、 $\theta_4 = 10.6^\circ$ 、 $\theta_5 = 11.5^\circ$ となり、ゲートラインピッチとしては、 $d_3 = 55.1 \mu\text{m}$ 、 $d_4 = 45.4 \mu\text{m}$ 、 $d_{10} = 49.32 \mu\text{m}$ となる。つまり、本実施形態のような構成を採用することによって、図4に示したラインピッチ d_4 より d_{10} の方が約 $4 \mu\text{m}$ ラインピッチを広く確保することが可能である。 10

【0097】

逆に、ラインピッチを $30 \mu\text{m}$ に固定とした場合、

$\text{sum}_3 (= A_3 + B_3) = 1673 \mu\text{m}$

$\text{sum}_4 (= A_4 + B_4) = 2193 \mu\text{m}$ 、

$\text{sum}_5 (= A_5 + B_5 + C_5) = 1974 \mu\text{m}$

となり、本発明の回路を適用することにより、従来よりも額縁幅を約 $220 \mu\text{m}$ と狭くすることが可能である。

【0098】

また、上述のような設計にした場合において、図4に示すようなCS2系統の従来方式では、配線比抵抗を $\rho = 3$ 、配線膜厚 $d = 1500$ 、配線幅を $l = 12 \mu\text{m}$ とした時、CSEのアクティブエリアまでの配線抵抗は R_1 、CSOの配線抵抗は $R_2 = 0.083$ となり、抵抗差が 0.083 である。これに対して、実施形態1(図5)に説明したCS2系統時の場合には、CSEの配線抵抗と配線抵抗との長さの差は $120 \mu\text{m}$ であるから、抵抗差は 0.02 と小さくすることができる。さらに実施形態2(図10)の場合には、CSEの配線抵抗と配線抵抗との長さの差は $40 \mu\text{m}$ であるから、抵抗差は 0.0067 となり抵抗差をより更に小さくすることができる。 20

【0099】

【発明の効果】

本発明によれば、2系統で駆動される配線を有するアクティブマトリクス基板において、各群の配線を、それぞれの群に対して設けられた幹ラインに接続する際に、接続部が、他の群の幹ラインの近傍に形成される。これによって、各配線の抵抗の差を低減することができるので、各配線に適切に信号を供給することが可能になる。例えば、DOT反転駆動される液晶表示装置において、各群の補助容量配線に適切な信号を供給することができ、これによって、表示品位を向上させることができる。 30

【図面の簡単な説明】

【図1】本発明の実施形態にかかる、液晶パネルに用いられるアクティブマトリクス基板を示す平面図である。

【図2】本発明の実施形態にかかるアクティブマトリクス基板における配線を示す図である。 40

【図3】従来のCS1系統駆動を採用したアクティブマトリクス基板の一部を示す平面図である。

【図4】従来のCS2系統駆動を採用したアクティブマトリクス基板の一部を示す平面図である。

【図5】(a)は、本発明の実施形態1にかかるCS2系統駆動を採用したアクティブマトリクス基板の一部を示す平面図であり、(b)はその一部を拡大して示す。

【図6】図5に示したX-X断面に相当するCS線の接続部を示す図である。

【図7】本発明による実施形態の液晶表示装置が備える液晶パネルの等価回路を模式的に示す図である。

【図8】本発明による実施形態の液晶表示装置を駆動するための電圧波形の例を模式的に 50

示す図である。

【図 9】(a) は、図 2 に示した駆動方法によって得られる、あるフレームにおける各画素（液晶容量）に印加される電圧の極性の分布を示す図であり、(b) は各画素における補助容量対向電圧（補助容量配線）の組合わせを示す図であり、(c) は各画素の副画素に印加される実効電圧の分布を示す図である。

【図 10】(a) は、本発明の実施形態 1 にかかる CS2 系統駆動を採用したアクティブマトリクス基板の一部を示す平面図であり、(b) はその一部を拡大して示す。

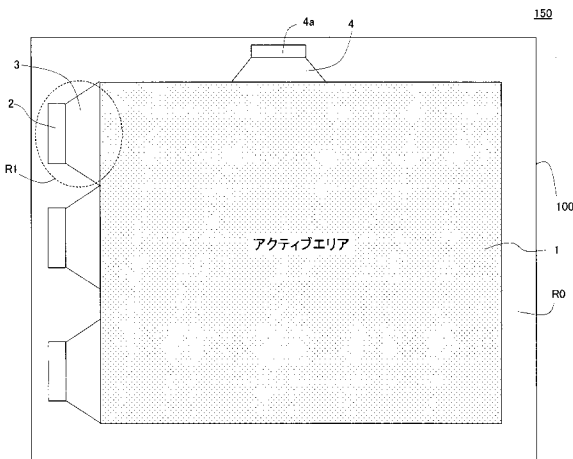
【図 11】(a) は図 3 の拡大図に対応する平面図、(b) は図 4 の拡大図に対応する平面図、(c) は図 10 の拡大図に対応する平面図である。

【符号の説明】

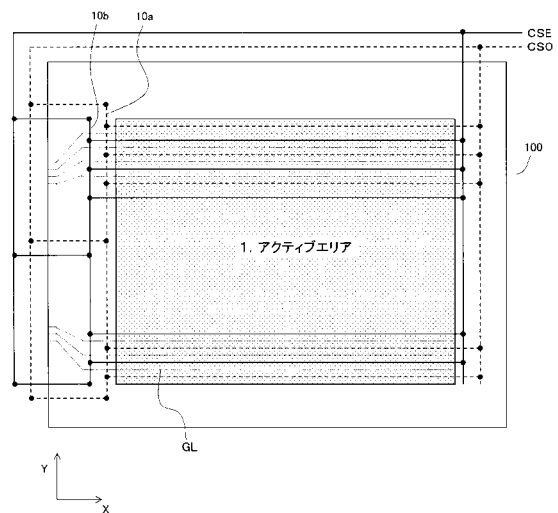
- 10a, 20a CSO 幹ライン
- 10b, 20b CSE 幹ライン
- 12a, 12b 接続部
- 100 アクティブマトリクス基板
- CSO 奇数番目の補助容量配線
- CSE 偶数番目の補助容量配線
- GL ゲートライン
- a, b 屈曲箇所

10

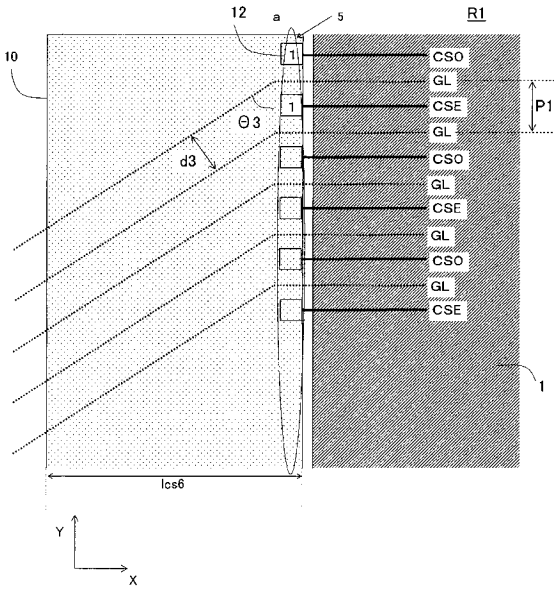
【図 1】



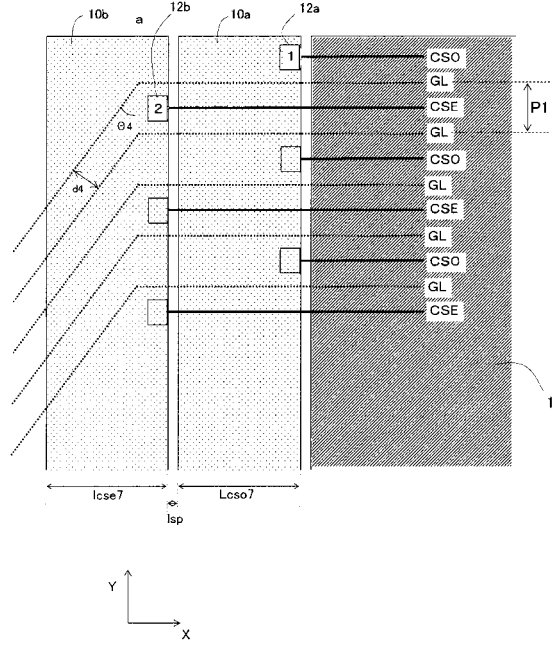
【図 2】



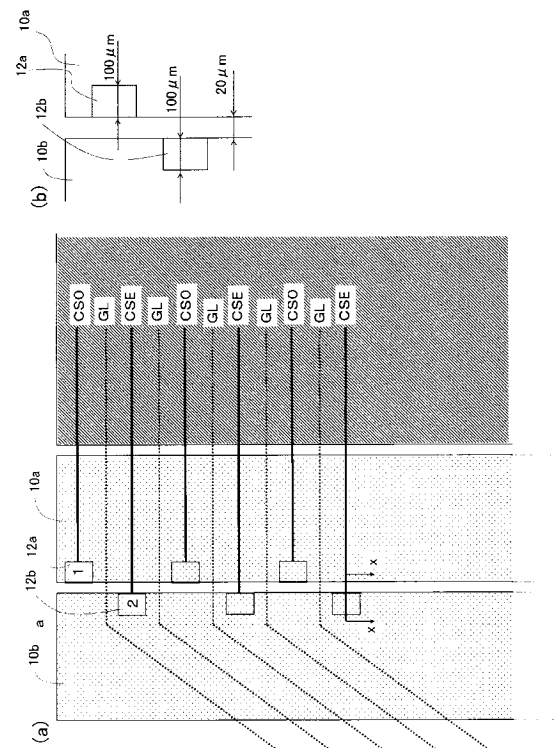
【 図 3 】



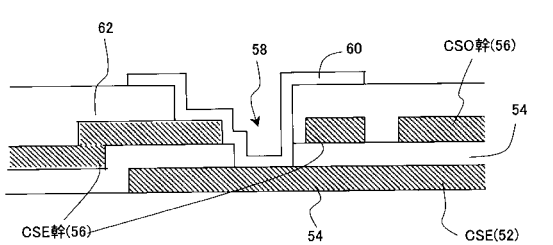
【 図 4 】



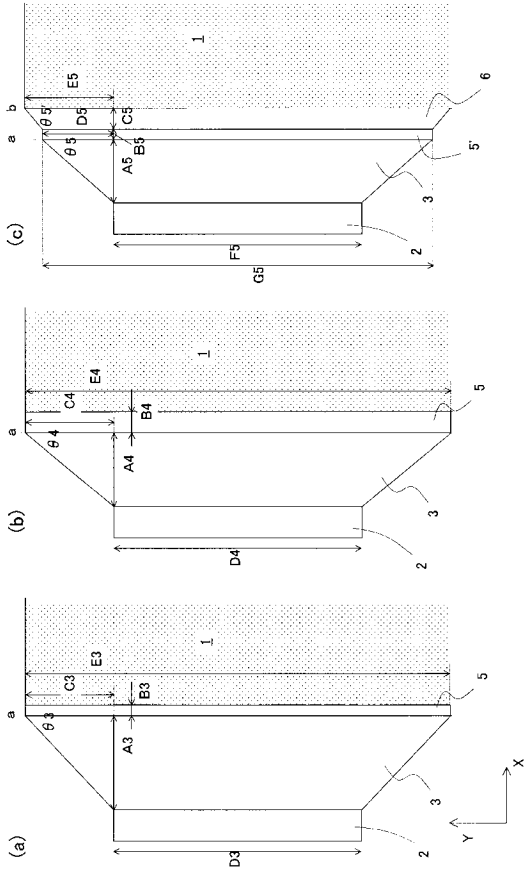
【 図 5 】



【 図 6 】



【 図 1 1 】



フロントページの続き

(72)発明者 近藤 直文

大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

Fターム(参考) 2H092 GA13 JA24 JB64 NA01 NA28 NA29

5C006 AA01 AC27 AF36 BC03 BC06 BC11 BC20 BC21 EB05 FA42

5C080 AA10 BB05 DD23 FF11 JJ03 JJ06

专利名称(译)	有源矩阵基板和显示装置		
公开(公告)号	JP2004021069A	公开(公告)日	2004-01-22
申请号	JP2002178231	申请日	2002-06-19
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	松田成裕 山田崇晴 長島伸悦 近藤直文		
发明人	松田 成裕 山田 崇晴 長島 伸悦 近藤 直文		
IPC分类号	G02F1/1368 G02F1/1345 G02F1/1362 G09G3/20 G09G3/36		
CPC分类号	G02F1/1345 G02F1/136213		
FI分类号	G02F1/1368 G02F1/1345 G09G3/20.621.M G09G3/20.680.G G09G3/36		
F-TERM分类号	2H092/GA13 2H092/JA24 2H092/JB64 2H092/NA01 2H092/NA28 2H092/NA29 5C006/AA01 5C006/AC27 5C006/AF36 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BC21 5C006/EB05 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD23 5C080/FF11 5C080/JJ03 5C080/JJ06 2H092/JB46 2H192/AA24 2H192/BC24 2H192/BC26 2H192/DA12 2H192/FA32 2H192/FA35 2H192/FA37 2H192/FA39 2H192/FA44 2H192/FA46 2H192/GD61		
代理人(译)	奥田诚治		
其他公开文献	JP4050100B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：适当地将信号提供给在由DOT驱动系统驱动的液晶显示器等中使用的有源矩阵基板中分成两行的每个辅助电容布线。

ŽSOLUTION：有源矩阵基板具有基板和安装在基板上的第一和第二CS（芯片选择）主干线，使得线间隔地邻接。信号分别提供给第一和第二CS干线。有源矩阵基板还具有多个第一CS布线和多个第二CS布线，所述多个第一CS布线包括彼此基本平行的部分，所述多个第二CS布线包括彼此基本平行的部分。每个第一CS布线在第二CS干线附近形成的连接中连接到第一CS干线，并且每个第二CS布线在第一CS干线附近形成的连接部分中连接到第二CS干线。 Ž

