

(19)日本国特許庁(J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002 - 99258

(P2002 - 99258A)

(43)公開日 平成14年4月5日(2002.4.5)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	545	G 0 2 F 1/133	5 C 0 0 6
	575		5 C 0 8 0
G 0 9 G 3/20	622	G 0 9 G 3/20	622 Q
	623		623 U

審査請求 未請求 請求項の数 4 O L (全 8 数) 最終頁に続く

(21)出願番号 特願2000 - 291032(P2000 - 291032)

(22)出願日 平成12年9月25日(2000.9.25)

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72)発明者 米川 達彦

東京都八王子市石川町2951番地の5 カシオ

計算機株式会社八王子研究所内

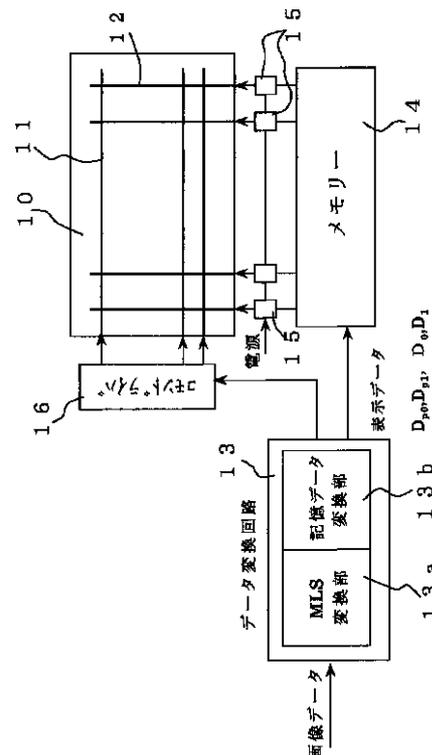
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 M L S 駆動回路のメモリの記憶容量を低減する。

【解決手段】 マトリックス型液晶表示素子を、複数の走査電極を同時選択して駆動する液晶表示装置において、供給された画像データを M L S 変換する M L S 変換手段と、この M L S 変換された表示データを、供給する電圧の値の組合せを表す選択電位組合せデータ D_{P1} , D_{P0} と、電圧の値を表す選択電位データ D_1 , D_0 とに変換する手段と、変換された選択電位組合せデータ D_{P1} , D_{P0} と、選択電位データ D_1 , D_0 を記憶するメモリとを備え、このメモリ 1 4 から読み出されたデータに基づいて、電源から供給された複数の電位を選択して各信号電極 1 2 に供給する。



【特許請求の範囲】

【請求項1】対向する一对の基板の一方の内面に形成された複数の走査電極と、他方の基板の内面に前記複数の走査電極と対向させて形成された信号電極と、前記一对の基板間に封止された液晶とからなり、前記走査電極と信号電極とが互いに対向する領域により複数の画素を形成する液晶表示素子と、

全ての走査電極に走査信号が供給される1フィールドの期間に、複数の前記走査電極を同時に選択するための走査信号を供給する走査電極駆動手段と、

複数のフィールドに亘って各画素に印加される電圧の実効値が、各画素毎の表示データに対応するように、前記各画素の表示データを前記複数のフィールド毎に各画素へ印加するための信号電圧に変換して、前記同時に選択された複数の走査電極に供給される走査信号と同期させて前記信号電圧を前記信号電極に供給する信号電極駆動手段とからなる液晶表示装置において、

前記信号電極駆動手段は、供給された前記各画素に対応する表示データに基づいて、前記複数の走査電極の選択毎に信号電極に供給する信号電圧を、供給する電圧の値の組合せを表す選択電位組合せデータと、電圧の値を表す選択電位データとに変換する変換手段と、変換された選択電位組合せデータと選択電位データとを1フィールド毎に記憶する記憶手段と、記憶された選択電位組合せデータと選択電位データとを読み出して各信号電圧を発生し、各信号電極に供給する駆動手段とを備えていることを特徴とする液晶表示装置。

【請求項2】前記変換手段は、供給された表示データをMLS変換してMLS変換データを出力するMLS変換手段と、変換されたMLS変換データを前記複数のフィールド毎に供給する電圧の組合せを指定する選択電位組合せデータと、指定された選択電位の組合せのうちの1つを選択する選択電位データに変換するデータ変換手段とを備えることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】前記記憶手段は、選択電位組合せデータを、前記複数のフィールドに対応させた2ビットのデータとして記憶する第1の記憶部と、選択電位データを各フィールドに対応させた2ビットのデータとして記憶する第2の記憶部とを有することを特徴とする請求項1に記載の液晶表示装置。

【請求項4】前記記憶手段は、各フィールドを指定するフェーズアドレスと、表示データの行に対応する行アドレスと、複数の列にそれぞれ対応する列アドレスとを有し、前記アドレスに対応させて、複数のフレームに対して1つの選択電位組合せデータを記憶する第1の記憶部と、複数のフレームそれぞれに対応させて選択電位データを記憶する第2の記憶部とを備えていることを特徴とする請求項1に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、MLS駆動される単純マトリックス型の液晶表示装置に関する。

【0002】

【従来の技術】表示画面が比較的小さい小型の液晶表示装置としては、製造工程が簡単なTNタイプあるいはSTNタイプの単純マトリックス駆動型の液晶表示素子が用いられている。TNタイプの単純マトリックス型の液晶表示装置は、コントラストが高く、視野角特性も比較的広いという表示特性を持つため、小型の表示装置として広く使用されている。しかし、このTNタイプの液晶表示素子は、印加電圧の変化に対する透過率変化の急峻性が悪く、時分割特性が劣り、高デューティの時分割駆動に適していない。

【0003】このTNタイプに比べて、STNタイプの液晶表示素子は、印加電圧の変化に対する透過率変化の急峻性が良く、高いデューティでの時分割駆動に適しているという特徴を持っている。しかし、このSTNタイプの液晶表示素子は、液晶分子が $180^{\circ} \sim 270^{\circ}$ という大きな角度でツイスト配向させた液晶を用いているため、印加電圧に対する液晶表示素子の光学的応答が遅い。そのため、応答速度の速い液晶材料を用いて、液晶表示素子の動作特性の改善が行われている。

【0004】このような液晶表示素子では、走査線数の多い高時分割駆動を行う場合、1つの画像を表示するために、マトリックスを形成する全ての走査線を順次選択する1フィールドの期間が長くなり、1フィールド毎に透過率が変化してコントラストが低下するという問題が発生する。

【0005】この1フィールド毎の透過率変化によるコントラストの低下を防止するために、複数の走査電極を同時に選択するとともに、その複数の走査電極の選択に応じて信号電極に信号電圧を供給し、すべての走査電極を選択する期間を1フィールドとして複数のフィールドで1つの画像を表示するようにした複数ライン同時選択駆動方法(MLS駆動方法)が提案されている。

【0006】このMLS駆動方法を用いた液晶表示装置は、図3に示すように、表示する画像データが入力されるMLS制御部1と、このMLS制御部1のデータを記憶するメモリ2と、MLS制御部1より出力される走査制御データが供給され、液晶表示素子5の複数の走査電極6に同時に走査信号を印加するコモンドライバ3と、MLS制御部1からMLS駆動データが供給され、液晶表示素子5の各信号電極7にデータ信号を印加するセグメントドライバ4とからなっている。このような液晶表示装置では、画像データは、MLS制御部1によりMLS駆動用のデータに変換されてセグメントドライバ4に供給される。一方、MLS制御部1は、同時に選択する走査信号データをコモンドライバ3に供給する。このコモンドライバ3からは、複数本の走査電極6を同時に選択する走査信号が液晶表示素子5の走査電極6に印加さ

れるとともに、セグメントドライバ4からはデータ信号が液晶表示素子5の信号電極7に印加され、液晶表示素子5が駆動される。このMLS駆動方法によれば、液晶表示素子5の各画素が選択される選択期間が1フレーム中に分散されて存在するから、フレーム応答が低減し、コントラストが高くなる。

【0007】

【発明が解決しようとする課題】このMLS駆動方法において、供給された画像データを複数ラインの同時選択駆動に対応するデータに変換するための、MLS変換の方法としては、MLS制御部1に供給された画像データを1画面ずつそのままメモリ2に記憶させ、この画像データをメモリ2から読み出すときに変換してMLS駆動データをセグメントドライバ4へ供給する方法がある。この方法は、画像データを1ドットずつ変換してセグメントドライバ4にラッチさせていくため、高速のラッチクロックを必要とし、消費電流が多くなり、小型の携帯機器には適していない。

【0008】また、他のMLS変換の方法としては、供給された画像データを変換した後メモリ2に記憶させ、この変換されたMLS駆動データをメモリ2から読み出してセグメントドライバ4へ供給する方法が提案されている。この方法では、MLS変換した後のMLS駆動データをメモリ2に記憶させるため、従来の単一の走査電極を順次選択して駆動する1ライン選択方法に比べて、メモリ2の記憶容量が多くなり、駆動回路を形成する集積回路の半導体チップが大きくなるという欠点がある。すなわち、MLS駆動方法において、同時選択ラインの数を8とし、8ラインずつ同時に選択して駆動する場合、メモリ2が必要とする記憶容量は、数式1で表される。

【0009】

【数1】 M (行数) \times N (列数) \div 8 (同時ライン選択数) \times 4 (選択電位データ数) \times 8 (選択期間中のデータ数) = $4MN$

【0010】従って、前述した従来の1ライン選択方法に比べて、4倍のメモリの量が必要となる。このため半導体チップのメモリ領域の面積が大きくなり半導体チップ面積が大きくなって生産性が低下するという問題があった。

【0011】本発明は、上記実状に鑑みてなされたもので、低消費電力で且つ半導体チップ面積が小さいMLS駆動回路を持った液晶表示装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するため、この発明の液晶表示装置は、対向する一対の基板の一方の内面に形成された複数の走査電極と、他方の基板の内面に前記複数の走査電極と対向させて形成された信号電極と、前記一対の基板間に封止された液晶とからな

り、前記走査電極と信号電極とが互に対向する領域により複数の画素を形成する液晶表示素子と、全ての走査電極に走査信号が供給される1フィールドの期間に、複数の前記走査電極を同時に選択するための走査信号を供給する走査電極駆動手段と、複数のフィールドに亘って各画素に印加される電圧の実効値が、各画素毎の表示データに対応するように、前記各画素の表示データを前記複数のフィールド毎に各画素へ印加するための信号電圧に変換して、前記同時に選択された複数の走査電極に供給される走査信号と同期させて前記信号電圧を前記信号電極に供給する信号電極駆動手段とからなる液晶表示装置において、前記信号電極駆動手段は、供給された前記各画素に対応する表示データに基づいて、前記複数の走査電極の選択毎に信号電極に供給する信号電圧を、供給する電圧の値の組合せを表す選択電位組合せデータと、電圧の値を表す選択電位データとに変換する変換手段と、変換された選択電位組合せデータと選択電位データとを1フィールド毎に記憶する記憶手段と、記憶された選択電位組合せデータと選択電位データとを読み出して各信号電圧を発生し、各信号電極に供給する駆動手段とを備えていることを特徴とする。

【0013】この構成によれば、MLS変換されたMLS駆動データを、電圧の値の組み合わせを表す選択電位組合せデータと、電圧の値を表す選択電位データとに変換してメモリに記憶するようにしているので、前記メモリの記憶容量を小さくすることができ、駆動用LSIの半導体チップの大きさが小さくなり、生産性が向上する。

【0014】この液晶表示装置において、前記変換手段は、供給された表示データをMLS変換してMLS変換データを出力するMLS変換手段と、変換されたMLS変換データを前記複数のフィールド毎に供給する電圧の組合せを指定する選択電位組合せデータと、指定された選択電位の組合せのうちの1つを選択する選択電位データに変換するデータ変換手段とから構成される。

【0015】また、前記記憶手段は、選択電位組合せデータを、前記複数のフィールドに対応させた2ビットのデータとして記憶する第1の記憶部と、選択電位データを各フィールドに対応させた2ビットのデータとして記憶する第2の記憶部とから構成されている。

【0016】そして、さらに、前記記憶手段は、各フィールドを指定するフェーズアドレスと、表示データの行に対応する行アドレスと、複数の列にそれぞれ対応する列アドレスとを有し、前記アドレスに対応させて、複数のフレームに対して1つの選択電位組合せデータを記憶する第1の記憶部と、複数のフレームそれぞれに対応させて選択電位データを記憶する第2の記憶部とにより構成される。

【0017】

【発明の実施の形態】以下、本発明の実施の形態に係る

液晶表示装置について、複数の走査電極と、この走査電極と交差させて配置された複数の信号電圧とにより複数の画素がマトリクス状に配列された液晶表示素子を、8本の走査電極を同時選択する場合を例として説明する。

【0018】本発明の液晶表示装置は、ツイストネマチック液晶を用いた液晶表示素子であって、特にSTN型の液晶表示素子に関して、8本の走査電極を同時選択し*
 $(D_1, D_2, D_3, D_4, D_5, D_6, D_7, D_8) =$

$$\begin{pmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 \\ 1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 \\ 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 \\ 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 \end{pmatrix}$$

$$\begin{aligned}
 &= (S_1 + S_2 + S_3 + S_4 + S_5 + S_6 + S_7 + S_8, \quad S_1 - S_2 + S_3 - S_4 + S_5 - S_6 + S_7 - S_8, \\
 &\quad S_1 + S_2 - S_3 - S_4 + S_5 + S_6 - S_7 - S_8, \quad S_1 - S_2 - S_3 + S_4 + S_5 - S_6 - S_7 + S_8, \\
 &\quad S_1 + S_2 + S_3 + S_4 - S_5 - S_6 - S_7 - S_8, \quad S_1 - S_2 + S_3 - S_4 - S_5 + S_6 - S_7 + S_8, \\
 &\quad S_1 + S_2 - S_3 - S_4 - S_5 - S_6 + S_7 + S_8, \quad S_1 - S_2 - S_3 + S_4 - S_5 + S_6 + S_7 - S_8)
 \end{aligned}$$

*てM L S 駆動される。

【0019】このM L S 駆動において、同時に選択する走査電極の数(同時選択数)を8とすると、表示データベクトルDは、数式2に示したように、データ列ベクトルSと8行8列の選択行列の積で表される。

【0020】
 【数2】

【0021】数式2から、表示データベクトルDの値は、データ列ベクトルSの256通りの組合せにそれぞれ対応した値をとる。これらのデータ列ベクトルSの組み合わせに対するデータベクトルDの値との関係を表1に示した。

S_2, \dots, S_8 について - 1 をオン、1 をオフとしたときの256個の組合せに対する表示データベクトルDの各値 $D_1, D_2 \sim D_8$ を、一部を省略して示してある。

【0023】
 【表1】

【0022】表1はデータ列ベクトルの各データ S_1, \dots, S_8 30

表示データ S								変換データ D							
S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	D_1	D_2	D_3	D_4	D_5	D_6	D_7	D_8
1	1	1	1	1	1	1	1	8	0	0	0	0	0	0	0
1	1	1	1	1	1	1	-1	6	2	2	-2	2	-2	-2	2
1	1	1	1	1	1	-1	1	6	-2	2	2	2	2	-2	-2
1	1	1	1	1	1	-1	-1	4	0	4	0	4	0	-4	0
1	1	1	1	1	-1	1	1	6	2	-2	2	2	-2	2	-2
1	1	1	1	1	-1	1	-1	4	4	0	0	4	-4	0	0
1	1	1	1	1	-1	-1	1	4	0	0	4	4	0	0	-4
1	1	1	1	1	-1	-1	-1	2	2	2	2	6	-2	-2	-2
.
.
-1	-1	-1	-1	-1	-1	-1	-1	-8	0	0	0	0	0	0	0

【0024】表1に示されるように、各データ列ベクトルSに対応する各表示データベクトルDは、8, 6, 4, 2, 0, -2, -4, -6, および -8 の値を持った表示データ $D_1 \sim D_8$ の組合せとなる。このように、表示データ $D_1 \sim D_8$ は、9種類の電圧から選択されるが、同時に選択される8本の走査電極に対応する1つのデータ列ベクトルSに対しては、表示データ $D_1 \sim D_8$

は2または3種類の電圧の組合せであって、4種類の電圧の組合せはなく、しかもその組合せは、順番を考慮しないと、各データ列ベクトルSに対応する256個の表示データベクトルDのすべてが、表2に示したA~Hの8通りの組合せで表すことができる。

【0025】
 【表2】

変換データD								組合せ
D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	
8	0	0	0	0	0	0	0	A
6	2	2	-2	2	-2	-2	2	B
4	0	4	0	4	0	-4	0	C
2	2	2	2	2	2	2	-6	D
-2	-2	-2	-2	-2	-2	-2	6	E
-4	0	-4	0	-4	0	4	0	F
-6	-2	-2	2	-2	2	2	-2	G
-8	0	0	0	0	0	0	0	H

【0026】これらの表示データベクトルDの各表示データD₁~D₈は、表1の組合せの中から選択する電位の組合せを指定する2ビットの選択電位組合せデータD_{p1}, D_{p0}と、指定された組合せに含まれ電位の値を指定する2ビットの選択電位データD₁, D₀と、により表すことができる。ここで、表1, 2の表示データD₁~D₈の値について、8を電源V8、6を電源V7、

*4を電源V6、2を電源V5、0を電源V4、-2を電源V3、-4を電源V2、-6を電源V1、-8を電源V0として、選択電位組合せデータD_{p1}, D_{p0}と選択電位データD₁, D₀にそれぞれ対応させる電源を表3に示した。

【0027】

【表3】

D _{p1}	D _{p0}	D ₁	D ₀	V8 (8V)	V7 (6V)	V6 (4V)	V5 (2V)	V4 (0V)	V3 (-2V)	V2 (-4V)	V1 (-6V)	V0 (-8V)
0	0	0	0	1								
0	0	0	1			1						
0	0	1	0					1				
0	0	1	1							1		
0	1	0	0		1							
0	1	0	1				1					
0	1	1	0						1			
0	1	1	1								1	
1	0	0	0									1
1	0	0	1							1		
1	0	1	0					1				
1	0	1	1			1						
1	1	0	0								1	
1	1	0	1						1			
1	1	1	0				1					
1	1	1	1		1							

【0028】表3では、選択電位組合せデータD_{p1}, D_{p0}が「00」のとき、電源V8, V6, V4, V2の中から選択電位データD₁, D₀に応じた電源が選択され、選択電位組合せデータD_{p1}, D_{p0}が「01」のとき、電源V7, V5, V3, V1の中から選択電位データD₁, D₀に応じた電源が選択され、選択電位組合せデータD_{p1}, D_{p0}が「10」のとき、電源V6, V4, V2, V0の中から選択電位データD₁, D₀に応じた電源が選択され、さらに選択電位組合せデータD_{p1}, D_{p0}が「11」のとき、電源V7, V5, V3, V1の中から選択電位データD₁, D₀に応じた電源が選択されることを表している。

【0029】例えば、表2に示した組合せAは、選択電位組合せデータD_{p1}, D_{p0}が「00」で、選択電位データD₁, D₀が順に「00, 10, 10, 10, 10, 10, 10, 10」で表される。また、組合せBは、選択電位組合せデータD_{p1}, D_{p0}が「01」で、選択電位データD₁, D₀が順に「00, 01, 01, 10, 01, 10, 10, 01」で表される。さらに、組合せCは、選択電位組合せデータD_{p1}, D_{p0}

が「10」で、選択電位データD₁, D₀が順に「11, 10, 11, 10, 11, 10, 01, 10」で表される。以下同様にして、組合せD~Hを選択電位組合せデータD_{p1}, D_{p0}と選択電位データD₁, D₀との組合せにより表すことができる。

【0030】この実施の形態におけるMLS駆動は、供給された画像データに基づいて、同時に選択される8本の走査電極に対応する画素データによるデータ列ベクトルSを、数式1に基づいて表1のように表示データベクトルDにMLS変換し、この変換された表示データベクトルDの各表示データD₁~D₈を、表3に従って選択電位組合せデータD_{p1}, D_{p0}と選択電位データD₁, D₀に変換してメモリに記憶させる。

【0031】このメモリは、図2に示すように、1つの画像を表示するための8つのフレームに対応するフェーズアドレス(Phase adr.)と、各選択行に対応する行アドレス(Row adr.)と、各信号電極に対応するカラムアドレス(Column adr.)とが設けられる。これらの各アドレスに対応させて、上述したように同時に選択される8走査電極に対応する各画素のデータに基づいて変換さ

30

40

れた表示データ $D_1 \sim D_8$ が記憶されている。この表示データ $D_1 \sim D_8$ は、1ワードが4ビットで構成され、上位2ビットを選択電位組合せデータ D_{P_1}, D_{P_0} とし、下位2ビットを選択電位データ D_1, D_0 として構成されたラムセル(RAMセル)に記憶される。選択電位組合せデータ D_{P_1}, D_{P_0} は、1つの信号電極に対して8フレームの間は同じであるから、フェーズアドレス001~111に対しては、選択電位組合せデータ D_{P_1}, D_{P_0} を記憶するためのラムセルを設けることなく、フェーズアドレス000のデータを返すようにメモリが構成されている。

【0032】このようにして構成されたメモリの記憶容量は、数式3で表される。

【0033】

【数3】 M (行) $\times N$ (列) $\div 8$ (走査電極同時選択数) $\times 2$ (選択電位データ数) $\times 8$ (選択期間中のデータ数) $+ M$ (行数) $\times N$ (列数) $\div 8$ (走査電極同時選択数) $\times 2$ (選択電位の組合せ数) $= 2MN + 1/4MN$

【0034】従って、従来のMLS駆動におけるメモリ容量 $4MN$ に比べて、格段にメモリ容量を低減させることができる。そのため、駆動回路を構成するLSIにおけるメモリ領域を小さくすることができ、量産性に優れたMLS駆動回路を供給することができる。

【0035】この発明を用いた液晶表示装置の概略的な構成を図1に示す。この液晶表示装置は、複数の走査電極11と、この走査電極11と直行するように配列された信号電極12とを備え、これらの走査電極11と信号電極12とが交差する領域により複数の画素を形成する液晶表示素子10と、表示する画像データが入力されるデータ変換回路13と、このデータ変換回路13により変換された選択電位組合せデータ D_{P_1}, D_{P_0} と選択電位データ D_1, D_0 とを記憶するメモリ14と、このメモリ14から読み出されたデータ $D_{P_1}, D_{P_0}, D_1, D_0$ が供給され、これらのデータに基づいて、電源から供給された複数の電位を選択して各信号電極12に供給する複数のマトリクス回路15と、液晶表示素子10の走査電極11の複数の同時に走査信号を印加するコモンドライバ16とからなっている。

【0036】データ変換回路13は、画像データをROMアドレスとし、出力が表示データとなるようなマスクデータを備え、供給された画像データを上述した数式1に従ってデータ列ベクトル S を表示データベクトル D にMLS変換するMLS変換部13aと、変換された表示データベクトル D を表3に従って記憶データに変換する記憶データ変換部13bとを備えている。

【0037】このような液晶表示装置では、供給された画像データは、MLS変換部13aにより表示データ $D_1 \sim D_8$ に変換され、変換された表示データ $D_1 \sim D_8$ は記憶データ変換部13bにより、メモリ14に記憶さ

せための選択電位組合せデータ D_{P_1}, D_{P_0} と選択電位データ D_1, D_0 に変換されてメモリ14に記憶させる。一方、データ変換回路13は、走査信号データをコモンドライバ16に供給し、このコモンドライバ16は、8本の走査電極を同時に選択するためのそれぞれ異なる走査信号を液晶表示素子10の走査電極11に8本ずつ順次印加する。

【0038】走査電極11の数が64の場合、64本の走査電極11を8本ずつ選択してすべての走査電極11が選択される期間を1フィールドとし、連続する8フィールドにより1つの画像を表示する1フレームが形成される。1フレーム中の第1フィールドでは、フェーズアドレス000が指定され、且つ対応する行アドレスと、各信号電極12に対応するカラムアドレスが指定され、各信号電極12に接続された各マトリクス回路15に、メモリ14に記憶された選択電位組合せデータ D_{P_1}, D_{P_0} と選択電位データ D_1, D_0 が供給される。

【0039】このマトリクス回路15は、供給された選択電位組合せデータ D_{P_1}, D_{P_0} と選択電位データ D_1, D_0 により、供給された電源の複数の電位の中から指定された電位を選択して各信号電極12に印加する。

【0040】例えば、第1番目の信号電極12の表示データが前述した表2に示す組合せAである場合、第1フィールドを表すフェーズアドレス「000」、第1番目の行アドレス「000」、第1番目の信号電極12に対応するカラムアドレス「0000 0000」が指定される。この各アドレスより指定された選択電位組合せデータ D_{P_1}, D_{P_0} として、「00」が読み出され、第1番目のマトリクス回路15に供給され、また対応する選択電位データ D_1, D_0 として「00」が読み出されて第1番目のマトリクス回路15に供給される。マトリクス回路15は供給されたデータ D_{P_1}, D_{P_0} とデータ D_1, D_0 とにより、表3に示したように電位V8を選択して、第1番目の信号電極12に印加する。

【0041】第2フレームでは、フェーズアドレスが「001」、第1番目の行アドレスが「000」、第1番目の信号電極12に対応するカラムアドレス「0000 0000」が指定される。この各アドレスより指定された選択電位組合せデータ D_{P_1}, D_{P_0} としてはフェーズアドレスが「000」の選択電位組合せデータ D_{P_1}, D_{P_0} のデータ「00」が読み出され、第1番目のマトリクス回路15に供給され、また対応する選択電位データ D_1, D_0 として「10」が読み出されて第1番目のマトリクス回路15に供給される。マトリクス回路15は、供給されたデータ D_{P_1}, D_{P_0} とデータ D_1, D_0 とにより、表3に示したように電位V4を選択して、第1番目の信号電極12に印加する。以下同様に、各信号電極12に対応するマトリクス回路1

5毎に、メモリ14から各データが読み出され、マトリクス回路15により所定の電位が選択されて各信号電極12に印加される。

【0042】このようにして、走査電極11には8本ずつ同時に選択する走査信号が供給され、この8本ずつの選択に対応して、信号電極12には画像データがMLS変換された表示データが供給される。そして、連続する8フレームにより1つの画像が表示される。

【0043】上述した本発明の液晶表示装置においては、同時に選択する走査電極の数を8本とした場合について説明したが、この発明はこれに限ることなく、その同時選択する走査電極数は任意に選択することができる。

【0044】

【発明の効果】以上説明したように、本発明の液晶表示装置は、画像データをMLS変換した表示データを、供給する電圧の値の組合せを表す選択電位組合せデータ *

*と、電圧の値を表す選択電位データとに変換する手段を設け、変換された選択電位組合せデータと選択電位データとを1フィールド毎に記憶手段に記憶するようにしたので、記憶手段の記憶容量を減少させることができる。

【図面の簡単な説明】

【図1】この発明の実施の形態にかかる液晶表示装置の構成を示すブロック図である。

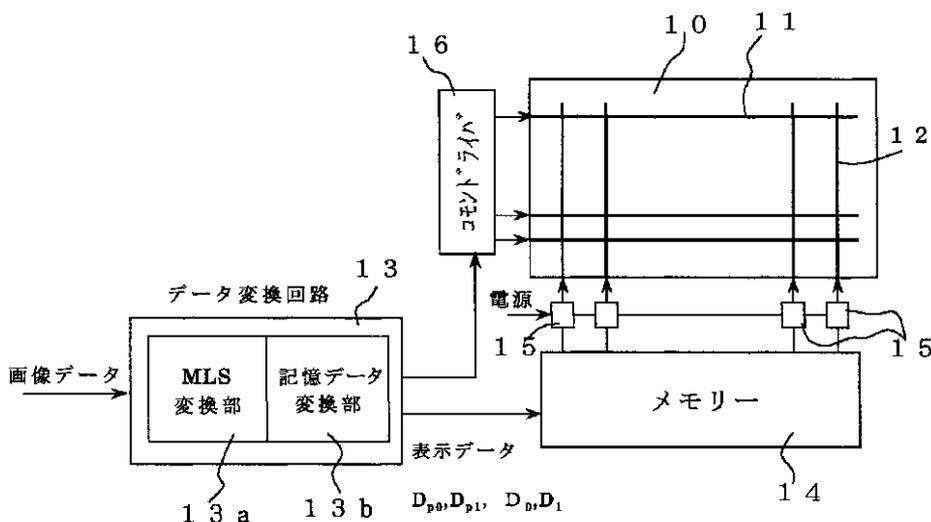
【図2】図1に示したメモリの記憶部の構成を示すメモリ構成図である。

【図3】従来の液晶表示装置の構成を示すブロック図である。

【符号の説明】

10…液晶表示素子、11…走査電極、12…信号電極、13…データ変換回路、13a…MLS変換部、13b…記憶データ変換部、14…メモリ、15…マトリクス回路、16…コモンドライバ

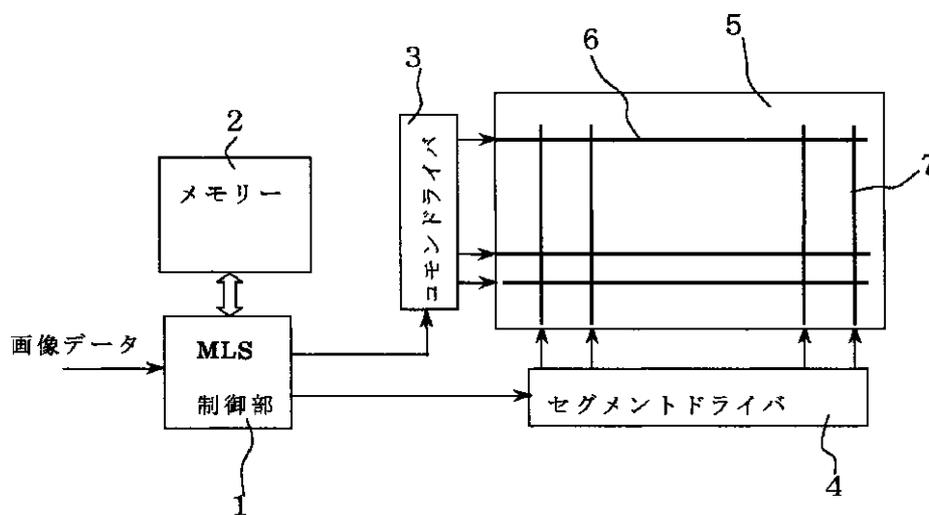
【図1】



【図2】

A ₁₆ ~A ₁₃ Phase adr.	A ₁₂ ~A ₈ Row adr.	A ₇ ~A ₀ Column adr.	D _{p1} , D _{p0}	D _{p1} , D _{p0}
000	000	0000 0000 ~ 1111 1111	RAMセル 無し	RAMセル 有り
001		0000 0000 ~ 1111 1111		
010		0000 0000 ~ 1111 1111		
011		0000 0000 ~ 1111 1111		
100		0000 0000 ~ 1111 1111		
101		0000 0000 ~ 1111 1111		
110		0000 0000 ~ 1111 1111		
111		0000 0000 ~ 1111 1111		

【図3】



フロントページの続き

(51)Int.Cl.⁷
G 0 9 G 3/20

識別記号
6 3 1

F I
G 0 9 G 3/20

テ-マ-コード (参考)
6 3 1 R

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002099258A	公开(公告)日	2002-04-05
申请号	JP2000291032	申请日	2000-09-25
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	米川達彦		
发明人	米川 達彦		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.545 G02F1/133.575 G09G3/20.622.Q G09G3/20.623.U G09G3/20.631.R		
F-TERM分类号	2H093/NA18 2H093/NA31 2H093/NA43 2H093/NA53 2H093/NA80 2H093/NC13 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC90 2H093/ND04 2H093/ND15 2H093/ND52 5C006/AC02 5C006/AC13 5C006/AC23 5C006/AF01 5C006/AF22 5C006/AF44 5C006/BB12 5C006/BC03 5C006/BC12 5C006/BF02 5C006/FA44 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD22 5C080/DD27 5C080/JJ02 2H193/ZB46 2H193/ZD23 2H193/ZE31		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少MLS驱动电路的存储器的存储容量。在通过同时选择多个扫描电极来驱动矩阵型液晶显示元件的液晶显示装置，用于对所提供的图像数据进行MLS转换的MLS转换装置，以及经MLS转换的显示数据的MLS转换装置中，用于转换表示所提供的电压的值的所选电势组合数据DP1，D P0和表示电压的值的所选电势数据D1，D0的组合的装置。基于从存储器14读取的数据，提供转换后的选择电位组合数据D P1，D P0 和用于存储选择电位数据D1，D0的存储器。然后，选择从电源提供的多个电势并将其提供给每个信号电极12。

