

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-294287

(P2009-294287A)

(43) 公開日 平成21年12月17日(2009.12.17)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>G02F 1/1335 (2006.01)</b>	GO2F 1/1335 500	2H092
<b>G02F 1/1343 (2006.01)</b>	GO2F 1/1343	2H191
<b>G02F 1/1368 (2006.01)</b>	GO2F 1/1368	

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号	特願2008-145468 (P2008-145468)	(71) 出願人	000004329 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12 番地
(22) 出願日	平成20年6月3日 (2008.6.3)	(72) 発明者	川中 博之 神奈川県横浜市神奈川区守屋町3丁目12 番地 日本ビクター株式会社内 F ターム (参考) 2H092 GA12 HA05 JA24 JB51 JB56 KB22 KB25 MA01 MA05 NA01 PA09 PA12 2H191 FA13Y FA31Y FB12 FC02 FC15 FC22 FD04 FD43 GA10 GA19 KA01 LA03

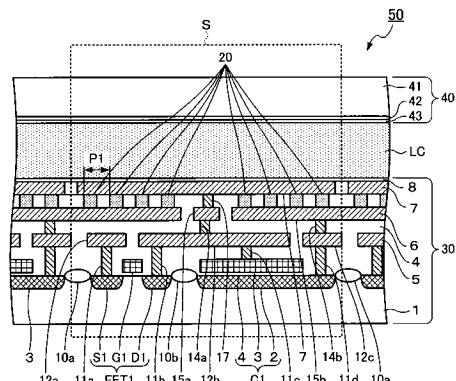
(54) 【発明の名称】 液晶表示素子

## (57) 【要約】

【課題】画素電極の間隙に入射した漏れ光が画素電極の裏面や遮光膜の表面に対して小さい角度で入射した場合においても、従来よりも遮光性を向上させることができた液晶表示素子を提供する。

【解決手段】半導体基板1、半導体基板1の上方に配置された遮光膜6、及び遮光膜6の上方に第1の間隙を有して配置された画素電極7を有する駆動基板30と、駆動基板30の上方に第2の間隙を有して配置され、画素電極7と対向する透明電極42を有する透明基板40と、第2の間隙に充填された液晶LCと、を備え、第1の間隙には、所定の屈折率を有する第1の絶縁層4と、所定の屈折率とは異なる屈折率を有する第2の絶縁層20とが、画素電極7及び遮光膜6の各表面に沿う方向に交互に配置されている構成とした。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板、前記半導体基板の上方に配置された遮光膜、及び前記遮光膜の上方に第1の間隙を有して配置された画素電極を有する駆動基板と、

前記駆動基板の上方に第2の間隙を有して配置され、前記画素電極と対向する透明電極を有する透明基板と、

前記第2の間隙に充填された液晶と、  
を備え、

前記第1の間隙には、第1の屈折率を有する第1の絶縁層と、前記第1の屈折率とは異なる第2の屈折率を有する第2の絶縁層とが、前記画素電極及び前記遮光膜の各表面に沿う方向に交互に配置されていることを特徴とする液晶表示素子。

10

## 【請求項 2】

前記第1の絶縁層及び前記第2の絶縁層は、前記画素電極の中心を中心点として、同心円状に交互に配置されていることを特徴とする請求項1記載の液晶表示素子。

## 【請求項 3】

前記第2の絶縁層は、前記第1の間隙に、ドット状に複数配置されていることを特徴とする請求項1記載の液晶表示素子。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、外部から画素電極の間隙に入射した漏れ光の遮光性を改善した液晶表示素子、特に反射型の液晶表示素子に関する。

20

## 【背景技術】

## 【0002】

画像を大画面で高精細に表示できるディスプレイとして、プロジェクタやプロジェクションテレビ等の投射型の液晶表示装置が普及している。

投射型の液晶表示装置に用いられる液晶表示素子には、入射した光を透過させて入射した側とは反対側に出射する透過型の液晶表示素子と、入射した光を反射させて入射した側に出射する反射型の液晶表示素子とがある。

反射型の液晶表示素子は、透過型の液晶表示素子に比べて、開口率を低下させずに高い解像度を実現する上で有利な素子である。

30

## 【0003】

反射型の液晶表示素子は、主として、所定の間隙を有して対向配置された2つの基板とこの所定の間隙に充填された液晶により構成されている。

2つの基板のうち、一方の基板は、主として、マトリクス状に複数配置された反射型の画素電極と、液晶を駆動するための電界効果トランジスタ(FET)等の駆動素子と、を有している。

## 【0004】

しかしながら、上述したような反射型の液晶表示素子では、画素電極で反射されずに画素電極の間隙に入射する光があり、この光は、画像に寄与しない漏れ光となる。そして、この漏れ光が駆動素子に入射すると、駆動素子を誤動作させる場合がある。

40

## 【0005】

そこで、この漏れ光を遮光するための手段の一例が特許文献1に開示されている。

特許文献1に開示されている手段は、遮光膜上に互いに屈折率の異なる膜を順次成膜した積層構造を有する構成としたものである。

## 【特許文献1】特開2000-193994号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0006】

ここで、特許文献1に開示されているような液晶表示素子の課題について、図9を用い

50

て説明する。

図9は、従来の液晶表示素子の課題を説明するための模式的断面図である。なお、図9の(a),(b)は、後述する図3の(a),(b)にそれぞれ対応するものである。

#### 【0007】

図9に示すように、液晶表示素子100は、主として、第1の遮光膜101と、その上方に配置された第2の遮光膜102と、その上方に配置された反射型の画素電極103と、を有している。

また、液晶表示素子100は、第2の遮光膜102上に順次形成された、互いに屈折率の異なる第1の屈折率層105a及び第2の屈折率層105bを有する反射防止膜106を備えている。

10

#### 【0008】

図9(a)に示すように、外部から画素電極103の間隙に入射した漏れ光L1は、画素電極103と第2の遮光膜102との間を反射を繰り返しながら進行するため、反射防止膜106を繰り返し通過する。

反射の繰り返し回数が多いほど、漏れ光L1は、反射防止膜106に吸収されて減衰するため、漏れ光L1を反射防止膜106で遮光することができる。

#### 【0009】

しかしながら、図9(b)に示すように、画素電極103の裏面や第2の遮光膜102の表面に対して小さい角度で入射した漏れ光L2は、反射の繰り返し回数が少ないため、漏れ光L2を反射防止膜106で十分減衰することが困難であり、その改善が望まれる。

20

#### 【0010】

そこで、本発明が解決しようとする課題は、画素電極の間隙に入射した漏れ光が、画素電極の裏面や遮光膜の表面に対して小さい角度で入射した場合においても、従来よりも遮光性を向上させることができ、液晶表示素子を提供することにある。

#### 【課題を解決するための手段】

#### 【0011】

上記の課題を解決するために、本発明は次の各液晶表示素子を提供する。

1) 半導体基板(1)、前記半導体基板の上方に配置された遮光膜(6)、及び前記遮光膜の上方に第1の間隙を有して配置された画素電極(7)を有する駆動基板(30)と、前記駆動基板の上方に第2の間隙を有して配置され、前記画素電極と対向する透明電極(42)を有する透明基板(40)と、前記第2の間隙に充填された液晶(LC)と、を備え、前記第1の間隙には、第1の屈折率を有する第1の絶縁層(4)と、前記第1の屈折率とは異なる第2の屈折率を有する第2の絶縁層(20)とが、前記画素電極及び前記遮光膜の各表面に沿う方向に交互に配置されていることを特徴とする液晶表示素子(50)。

30

2) 前記第1の絶縁層及び前記第2の絶縁層は、前記画素電極の中心を中心点として、同心円状に交互に配置されていることを特徴とする1)記載の液晶表示素子。

3) 前記第2の絶縁層は、前記第1の間隙に、ドット状に複数配置されていることを特徴とする1)記載の液晶表示素子。

#### 【発明の効果】

#### 【0012】

本発明によれば、画素電極の間隙に入射した漏れ光が、画素電極の裏面や遮光膜の表面に対して小さい角度で入射した場合においても、従来よりも遮光性を向上させることができるという効果を奏する。

40

#### 【発明を実施するための最良の形態】

#### 【0013】

本発明の実施の形態を、好ましい実施例により図1～図5を用いて説明する。

図1～図5は、本発明に係る液晶表示素子の実施例を説明するための図である。

詳しくは、図1は、実施例の液晶表示素子50の略1画素に相当する領域を示す模式的断面図であり、図2は、図1の画素電極7を透視して第1の絶縁層4と第2の絶縁層20

50

を見たときの透視平面図であり、実施例の液晶表示素子 50 の略 4 画素に相当する領域を示すものである。図 3 は、図 1 の画素電極 7 の間隙に入射した漏れ光が遮光される様子をわかりやすく説明するための模式的断面図である。図 4 は、実施例の液晶表示素子 50 の製造方法の一例を説明するための模式的断面図である。図 5 は、図 1 の液晶表示素子 50 の駆動方法を説明するための回路図である。

【0014】

<実施例>

まず、図 1 及び図 2 を用いて、実施例の液晶表示素子 50 の構成について説明する。

【0015】

図 1 に示すように、液晶表示素子 50 は、主として、駆動基板 30 と、この駆動基板 30 と所定の間隙を有して対向配置された透明基板 40 と、所定の間隙に充填された液晶 LC と、を有して構成されている。

なお、図 1 中の “S” は、一画素分の領域を示している。

【0016】

駆動基板 30 は、主として、シリコンウエハ等の半導体基板 1 の表面に形成されたソース S 1 及びドレイン D 1, 並びに、上記表面上に形成されたゲート G 1 を有する MOS 型の電界効果トランジスタ FET 1 と、半導体基板 1 の表面に形成された下電極 2, この下電極 2 と所定の間隙を有して対向配置された上電極 3, 及び所定の間隙を埋める第 1 の絶縁層 4 を有する電荷蓄積容量部 C 1 と、半導体基板 1 の上方に形成された第 1 の遮光膜 5 と、第 1 の遮光膜 5 の上方に形成された第 2 の遮光膜 6 と、第 2 の遮光膜 6 の上方に形成された反射型の画素電極 7 と、画素電極 7 上に形成された第 1 の配向膜 8 と、を有している。

なお、第 1 の遮光膜 5 及び第 2 の遮光膜 6 は、外部から画素電極 7 の間隙に入射した、画像に寄与しない漏れ光を遮光する機能を有すると共に、配線層としての機能も有している。

【0017】

電界効果トランジスタ FET 1 のソース S 1 と隣の画素の電荷蓄積容量部 C 1 の下電極 2 とは、第 1 のフィールド酸化膜 10a を介して互いに絶縁されている。

電界効果トランジスタ FET 1 のドレイン D 1 と容量部 C 1 の下電極 2 とは、第 2 のフィールド酸化膜 10b を介して互いに絶縁されている。

【0018】

電界効果トランジスタ FET 1 において、ソース S 1 は、第 1 のビア 11a を介して第 1 の遮光膜 5 の第 1 のパターン部 12a に電気的に接続されており、ドレイン D 1 は、第 2 のビア 11b を介して第 1 の遮光膜 5 の第 2 のパターン部 12b に電気的に接続されている。

【0019】

電荷蓄積容量部 C 1 において、上電極 3 は、第 3 のビア 11c を介して第 1 の遮光膜 5 の第 2 のパターン部 12b に電気的に接続されており、下電極 2 は、第 4 のビア 11d を介して第 1 の遮光膜 5 の第 3 のパターン部 12c に電気的に接続されている。

【0020】

第 1 の遮光膜 5 において、第 2 のパターン部 12b は、第 5 のビア 14a を介して第 2 の遮光膜 6 の第 1 のパターン部 15a に電気的に接続されており、第 3 のパターン部 12c は、第 6 のビア 14b を介して第 2 の遮光膜 6 の第 2 のパターン部 15b に電気的に接続されている。

【0021】

第 2 の遮光膜 6 の第 1 のパターン部 15a は、第 7 のビア 17 を介して画素電極 7 に電気的に接続されている。

【0022】

半導体基板 1 から第 1 の配向膜 8 までの残りの領域（図 1 及び図 2 における白抜きで示した領域）は、第 1 の絶縁層 4 で埋められている。

10

20

30

40

50

## 【0023】

また、図1及び図2に示すように、駆動基板30は、画素電極7と第2の遮光膜6との間隙に、第1の絶縁層4と、第1の絶縁層4とは異なる屈折率を有する第2の絶縁層20とが、画素電極7の中心を中心点として同心円状に交互に配置されている。

## 【0024】

ここで、画素電極7の間隙に外部から画像に寄与しない漏れ光が入射した場合について、図3を用いて説明する。前述したように、図3の(a),(b)は、図9の(a),(b)にそれぞれ対応している。

## 【0025】

図3(a)に示すように、外部から画素電極7の間隙に入射した漏れ光L1は、画素電極7と第2の遮光膜6との間を反射を繰り返しながら進行する。このとき、漏れ光L1は、互いに屈折率の異なる第1の絶縁層4と第2の絶縁層20との各界面でそれぞれ反射すると共に、第1の絶縁層4及び第2の絶縁層20をそれぞれ通過するたびに減衰するため、第1の絶縁層4及び第2の絶縁層20によって遮光される。

10

## 【0026】

また、図4(b)に示すように、画素電極7の裏面や第2の遮光膜6の表面に対して小さい角度で入射した漏れ光L2に対しても、漏れ光L2は、漏れ光L1と同様に、互いに屈折率の異なる第1の絶縁層4と第2の絶縁層20との各界面でそれぞれ反射すると共に、第1の絶縁層4及び第2の絶縁層20をそれぞれ通過するたびに減衰するため、第1の絶縁層4及び第2の絶縁層20によって遮光される。

20

## 【0027】

従って、上述した構成によれば、反射の繰り返し回数に起因することなく、漏れ光を遮光することができる。

## 【0028】

第1の絶縁層4と第2の絶縁層20とのピッチP1は、漏れ光の波長 に対して、 $(1/2) \times n$  ( $n$ は自然数)に設定することが望ましい。上記ピッチP1を“ $(1/2) \times n$  ( $n$ は自然数)”に設定することにより、フォニック結晶の効果を得ることができるので、特に遮光性を向上させることができる。実際には、可視光の波長帯は400nm～1000nmの範囲内なので、上記ピッチP1は、200nm～3000nmの範囲内の値に設定される。

30

## 【0029】

例えば、第1の絶縁層4の構成材料として $\text{SiO}_{x1}$  ( $0 < x1 < 2$ )を用い、第2の絶縁層20の構成材料として $\text{SiO}_{x2}$  ( $0 < x2 < 2$ , かつ,  $x1 \neq x2$ )を用いることができる。

第1の絶縁層4と第2の絶縁層20とを互いに異なる成膜方法で成膜することにより、酸素のモル数である $x1$ と $x2$ とを互いに異なる値とすることができる。

また、第1の絶縁層4及び第2の絶縁層20を同じ成膜方法、例えばスパッタリング法を用いて成膜する場合は、成膜時の酸素ガス圧比を互いに異ならせることにより、 $x1$ と $x2$ とを互いに異なる値とすることができる。

40

## 【0030】

実施例では、第1の絶縁層4をスパッタリング法を用いて成膜し、酸素のモル数 $x1$ を“2”とした。このときの第1の絶縁層における波長 が555nmでの屈折率は“1.46”である。

また、実施例では、第2の絶縁層20をSOG(Spin On Glass)等の塗布型低誘電率層間絶縁膜材料で形成した。このときの第2の絶縁層20における波長 が555nmでの屈折率は“1.35”である。

## 【0031】

図1に示すように、透明基板40は、主として、ガラス板等の透明基材41と、この透明基材41の駆動基板30と対向する面(図1における下側の面)側に順次形成された透明電極42と第2の配向膜43と、を有して構成されている。

50

## 【0032】

次に、上述した液晶表示素子50の製造方法、特に、その製造過程における、第1の絶縁層4及び第2の絶縁層20の形成方法について、図4を用いて説明する。

## 【0033】

まず、図4(a)に示すように、シリコンウエハ等の半導体基板1に所定の半導体プロセスを施すことによって、半導体基板1上に、上述した、電界効果トランジスタFET1、電荷蓄積容量部C1、第1の遮光膜5、第2の遮光膜6、第1及び第2のフィールド酸化膜10a, 10b、第1～第6のビア11a～11d, 14a, 14b、及び、第1の絶縁層4となる絶縁層を形成する。

その後、例えばスパッタリング法を用いて、第2の遮光膜6上に、第2の絶縁層20となる絶縁膜20aを成膜する。

10

## 【0034】

次に、図4(b)に示すように、フォトリソグラフィ法を用いて絶縁膜20aをパターン化することにより、第2の絶縁層20を形成する。

## 【0035】

次に、図4(c)に示すように、第2の絶縁層20を覆うように、例えばSOG4aをスピンコート法を用いて塗布して硬化する。硬化したSOG4aとその下方に形成されている絶縁層とは一体化されて第1の絶縁層4となる。

## 【0036】

次に、図4(d)に示すように、CMP(Chemical Mechanical Polishing)により、硬化したSOG4aの表面部分を研磨して第2の絶縁層20を露出させ、第1の絶縁層4の表面と第2の絶縁層20の表面とが連続する平坦な面を形成する。

20

## 【0037】

その後、上記手順を経た半導体基板1に、所定の半導体プロセスを施すことにより、図1に示す駆動基板30を得る。以降の工程については周知のプロセスを用いることができるで説明を省略する。

## 【0038】

次に、上述した液晶表示素子50の駆動方法について、図5を用いて説明する。

なお、図5において、図1～図4と同じ構成部については、説明をわかりやすくするために同じ符号を付している。

30

また、図5では、説明をわかりやすくするために、画素Sを3行3列で示しているが、これに限定されるものではない。

## 【0039】

図5に示すように、液晶表示素子50の画素S毎に設けられた電界効果トランジスタFET1は、ゲートG1が外部の垂直アドレス回路X1に接続されており、ソースS1が外部のスイッチング素子Z1のドレインに接続されており、ドレインD1が電荷蓄積容量部C1の上電極3と画素電極7とに接続されている。

スイッチング素子Z1は、ゲートが水平アドレス回路Y1に接続されており、ソースに外部から映像信号が入力される。

## 【0040】

まず、映像信号に含まれる水平同期信号に同期して、垂直アドレス回路X1から走査信号Xjを画素列毎に順次出力する。走査信号Xjが入力された電界効果トランジスタFET1はオン状態になる。

40

これに同期させて、水平アドレス回路Y1から書き込み制御信号Yjを画素行毎に順次出力する。

その結果、画素S毎に映像信号に応じた電圧が液晶LCに印加される。印加された電圧は、次の映像信号に応じた電圧が液晶LCに印加されるまで、電荷蓄積容量部C1で保持される。

液晶LCは印加される電圧に応じて光透過率が変化するため、外部から画素電極7に向かって照射された光は、液晶LCの光透過率に応じて変調されると共に画素電極7によっ

50

て反射されて外部に向かって出射され、画像として表示される。

【0041】

上述した液晶表示素子によれば、外部から画素電極の間隙に入射した、画像に寄与しない漏れ光を、反射の繰り返し回数に起因することなく遮光することができる。

【0042】

本発明の実施例は、上述した構成及び手順に限定されるものではなく、本発明の要旨を逸脱しない範囲において変形例としてもよいのは言うまでもない。

【0043】

ここで、上述した実施例の変形例について、図6～図8を用いて説明する。図6～図8は、本発明に係る液晶表示素子の実施例の変形例を説明するための透視平面図であり、それぞれ、前述した図2に対応するものである。

10

【0044】

実施例では、第1の絶縁層4と第2の絶縁層20とを同心円状に交互に配置した構成(図2参照)としたが、これに限定されるものではない。

【0045】

例えば、図6に示すように、第1の絶縁層14(実施例の第1の絶縁層4に相当する)及び第2の絶縁層60(実施例の第2の絶縁層20に相当する)をそれぞれ矩形状にして、これらを交互に配置した構成としてもよい。

20

【0046】

また、他の変形例として、図7に示すように、第1の絶縁層24(実施例の第1の絶縁層4に相当する)及び第2の絶縁層70(実施例の第2の絶縁層20に相当する)を交互にストライプ状に配置した構成としてもよい。

20

【0047】

また、他の変形例として、図8に示すように、第1の絶縁層34(実施例の第1の絶縁層4に相当する)にドット状の第2の絶縁層80(実施例の第2の絶縁層20に相当する)を分散させて配置した構成としてもよい。

30

【0048】

また、実施例では、画素電極7と第2の遮光膜6との間に、第2の絶縁層20を形成したが、これに限定されるものではなく、例えば、第2の絶縁層20を第1の遮光膜5と第2の遮光膜6との間に形成してもよいし、画素電極7と第2の遮光膜6との間及び第1の遮光膜5と第2の遮光膜6との間にそれぞれ形成するようにしてもよい。

30

【図面の簡単な説明】

【0049】

【図1】本発明に係る液晶表示素子の実施例を説明するための模式的断面図である。

【図2】本発明に係る液晶表示素子の実施例を説明するための透視平面図である。

【図3】本発明に係る液晶表示素子の実施例を説明するための模式的断面図である。

【図4】本発明に係る液晶表示素子の実施例を説明するための模式的断面図である。

【図5】本発明に係る液晶表示素子の実施例を説明するための回路図である。

【図6】実施例の変形例を説明するための模式的断面図である。

40

【図7】実施例の変形例を説明するための模式的断面図である。

【図8】実施例の変形例を説明するための模式的断面図である。

【図9】従来の液晶表示素子の課題を説明するための模式的断面図である。

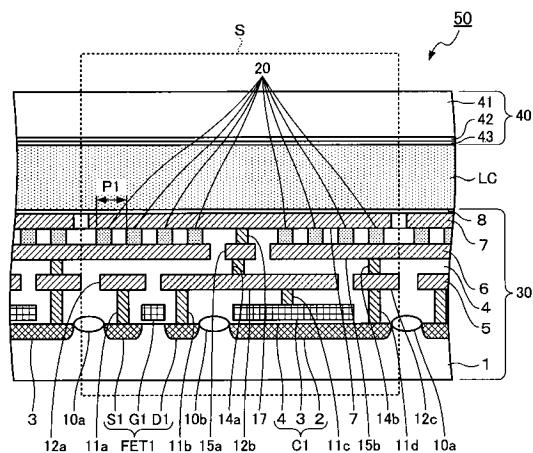
【符号の説明】

【0050】

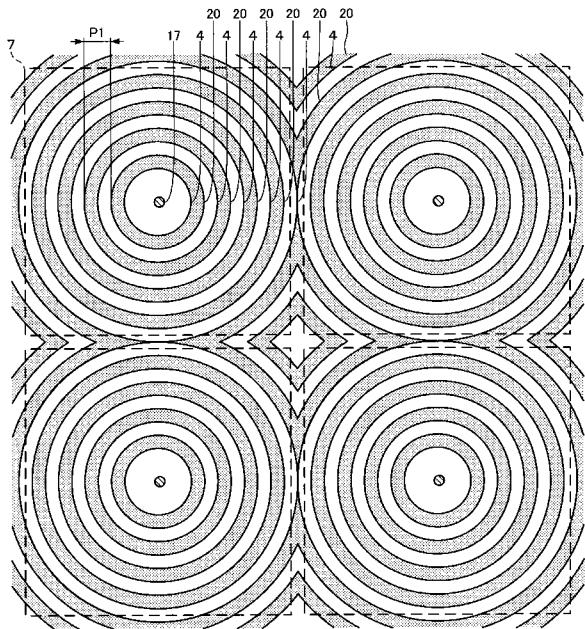
1\_半導体基板、2\_下電極、3\_上電極、4\_第1の絶縁層、5\_第1の遮光膜、6\_第2の遮光膜、7\_画素電極、8\_第1の配向膜、10a, 10b\_フィールド酸化膜、11a～11d, 14a, 14b, 17\_ビア、20\_第2の絶縁層、30\_駆動基板、40\_透明基板、50\_液晶表示素子、LC\_液晶、S\_1画素領域、S1\_ソース、D1\_ドレイン、G1\_ゲート、FET1\_電界効果トランジスタ、C1\_電荷蓄積容量部、P1\_ピッチ

50

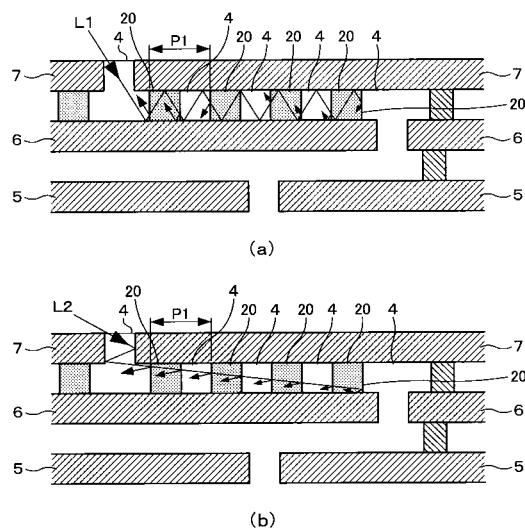
【図1】



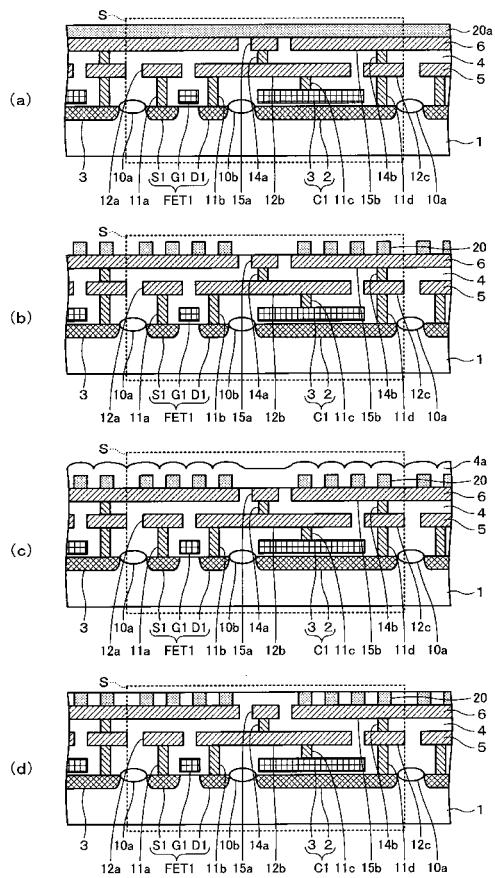
【図2】



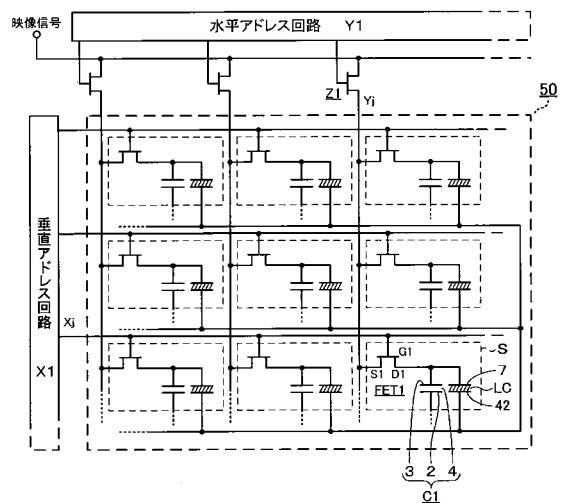
【図3】



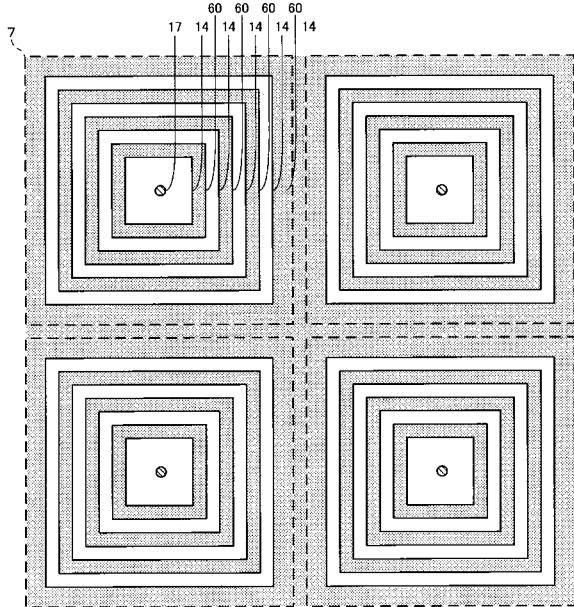
【図4】



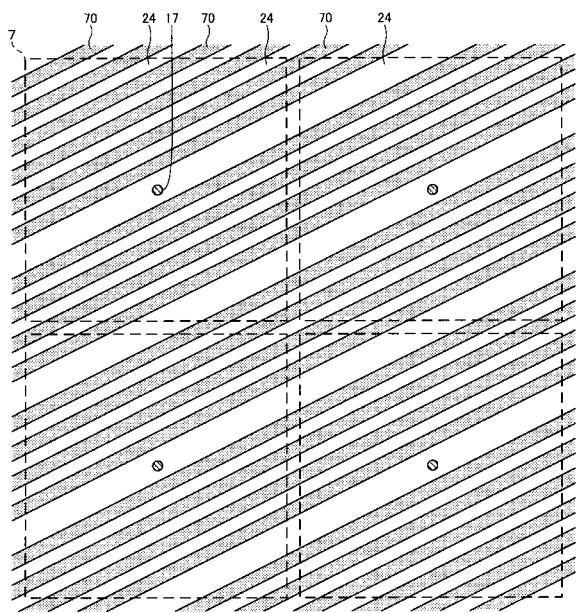
【図5】



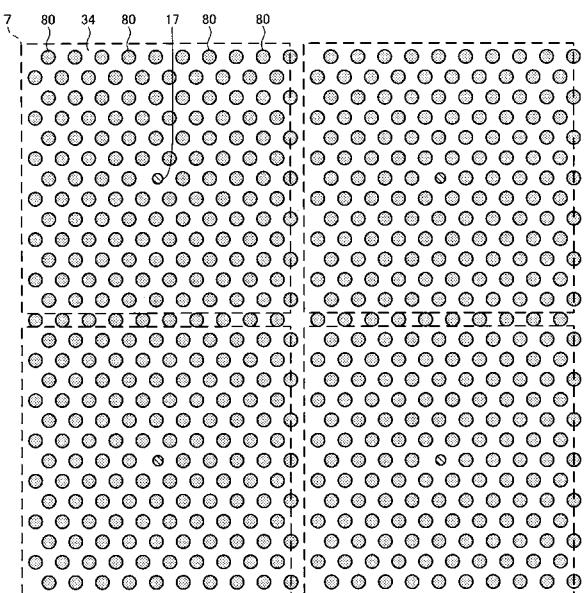
【図6】



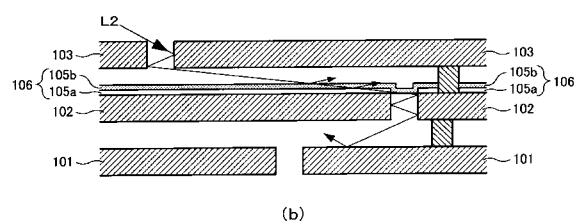
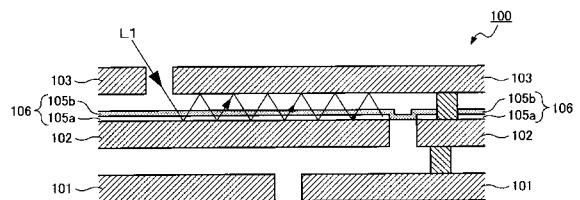
【図7】



【図8】



【図9】



专利名称(译)	液晶显示元件		
公开(公告)号	<a href="#">JP2009294287A</a>	公开(公告)日	2009-12-17
申请号	JP2008145468	申请日	2008-06-03
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	川中博之		
发明人	川中 博之		
IPC分类号	G02F1/1335 G02F1/1343 G02F1/1368		
FI分类号	G02F1/1335.500 G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA12 2H092/HA05 2H092/JA24 2H092/JB51 2H092/JB56 2H092/KB22 2H092/KB25 2H092/MA01 2H092/MA05 2H092/NA01 2H092/PA09 2H092/PA12 2H191/FA13Y 2H191/FA31Y 2H191/FB12 2H191/FC02 2H191/FC15 2H191/FC22 2H191/FD04 2H191/FD43 2H191/GA10 2H191/GA19 2H191/KA01 2H191/LA03 2H192/AA24 2H192/BC31 2H192/BC42 2H192/BC72 2H192/CB02 2H192/DA12 2H192/EA06 2H192/EA13 2H192/EA66 2H192/GD03 2H192/HA88 2H192/JB02 2H291/FA13Y 2H291/FA31Y 2H291/FB12 2H291/FC02 2H291/FC15 2H291/FC22 2H291/FD04 2H291/FD43 2H291/GA10 2H291/GA19 2H291/KA01 2H291/LA03		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

要解决的问题：为了提供液晶显示元件，即使当进入像素电极之间的间隙的泄漏光以小角度进入像素电极的背面和遮光膜的表面时，也比以前更加提高光屏蔽性能。SOLUTION：该液晶显示元件包括：驱动基板30，包括半导体基板1;遮光膜6，设置在半导体基板1上方;以及像素电极7，设置在遮光膜6上方，具有第一间隙;透明基板40，设置在驱动基板30上方，具有第二间隙，并具有与像素电极7相对的透明电极42;填充第二间隙的液晶LC，其中具有预定折射率的第一绝缘层4和折射率不同于预定折射率的第二绝缘层20沿像素电极7的相应表面交替设置，并且光屏蔽膜6。Z

