

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-341550

(P2004-341550A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int.Cl.⁷

G09F 9/30
G02F 1/1368
G09F 9/35
H01L 29/786

F I

G09F 9/30 338
G02F 1/1368
G09F 9/35
H01L 29/78 612A

テーマコード(参考)

2H092
5C094
5F110

審査請求 有 請求項の数 2 O L (全 12 頁)

(21) 出願番号 特願2004-218582(P2004-218582)
(22) 出願日 平成16年7月27日(2004.7.27)
(62) 分割の表示 特願平8-216427の分割
原出願日 平成8年8月16日(1996.8.16)
(31) 優先権主張番号 1995-25538
(32) 優先日 平成7年8月19日(1995.8.19)
(33) 優先権主張国 韓国(KR)

(71) 出願人 599127667
エルジー フィリップス エルシーディー
カンパニー リミテッド
大韓民国 ソウル, ヨンドンポーク,
ヨイドードン 20
(74) 代理人 100057874
弁理士 曾我 道照
(74) 代理人 100110423
弁理士 曾我 道治
(74) 代理人 100084010
弁理士 古川 秀利
(74) 代理人 100094695
弁理士 鈴木 憲七
(74) 代理人 100111648
弁理士 梶並 順

最終頁に続く

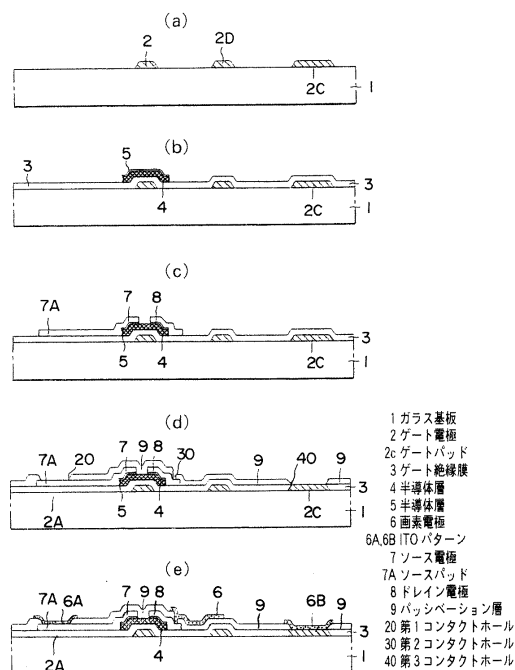
(54) 【発明の名称】 液晶表示装置および液晶表示装置の製造方法

(57) 【要約】

【課題】 マスク工程を減らすと共に、電極間の導通を効果的に防止することができる液晶表示装置を得る。

【解決手段】 ゲート絶縁膜3の上にソースパッド7Aが形成されたソース電極7を形成し、ソース電極7の上に形成したパッシベーション層9とゲート絶縁膜3に第1～第3コンタクトホール20、30、40を適宜形成し、パッシベーション層9上に設けた透明電極層にて画素電極6を形成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

液晶駆動回路を有する液晶表示装置において、
上記駆動回路は、
基板と、
上記基板上に第 1 導電層により形成されたゲート電極とゲートパッドと、
上記ゲート電極、上記ゲートパッドを含む上記基板上面に形成されたゲート絶縁層と、
上記ゲート電極上のゲート絶縁層上に形成された半導体活性層と、
上記半導体活性層上に形成された不純物がドーピングされた半導体層と、
上記不純物がドーピングされた半導体層上に形成されたドレイン電極と、ソースパッドが一
部に形成されたソース電極と、
上記電極、上記ドレイン電極と上記ソース電極をマスクとして上記不純物がドーピングされ
た半導体層がエッチングされて露出した上記半導体活性層、上記ゲート絶縁層を含む上記
基板全面上に形成されたパッシベーション層と、
上記パッシベーション層をエッチングして得られ、上記ソースパッドを露出させる第 1
コンタクトホールと、上記ドレイン電極の一部を露出させる第 2 コンタクトホールと、上
記パッシベーション層及び上記ゲート絶縁層をエッチングして得られ、上記ゲートパッド
を露出させる第 3 コンタクトホールと、
上記第 2 コンタクトホールを介して上記ドレイン電極と電氣的に接続された画素電極と
を備えることを特徴とする液晶表示装置。

10

20

【請求項 2】

液晶駆動回路を有する液晶表示装置の製造方法において、
上記駆動回路の製造は、
基板上に第 1 導電層を形成するとともに、上記第 1 導電層をパターニングしてゲート電
極とゲートパッドをそれぞれ形成する工程と、
上記ゲート電極、ゲートパッドを含む上記基板全面上に絶縁層を形成する工程と、
上記絶縁層の上面に半導体活性層と不純物がドーピングされた半導体層とを順次形成すると
ともに、上記半導体活性層と不純物がドーピングされた半導体層とを上記ゲート電極上の上記
絶縁層上にパターニングする工程と、
上記絶縁層、上記不純物がドーピングされた半導体層の全面上に第 2 導電層を形成するとと
もに、上記第 2 導電層をパターニングしてソースパッドが連続的に設けられたソース電極
とドレイン電極を形成する工程と、
上記ドレイン電極と上記ソース電極をマスクとして上記不純物がドーピングされた半導体層
をエッチングして上記半導体活性層を露出させる工程と、
上記ソースパッドを含む上記ソース電極、上記ドレイン電極、露出した上記半導体活性
層、上記ゲートパッド、上記絶縁層上にパッシベーション層を形成する工程と、
上記パッシベーション層及び上記絶縁層を選択的にエッチングして上記ソースパッドを
露出させる第 1 コンタクトホールと上記ドレイン電極の一部を露出させる第 2 コンタクト
ホールと、上記ゲートパッドを露出させる第 3 コンタクトホールとを形成する工程と、
上記第 1、第 2、第 3 コンタクトホール、パッシベーション層の全面上に透明導電層を
形成するとともに、上記透明導電層をパターニングして、上記第 1 コンタクトホールを介
して上記ソースパッドと接触する透明導電層パターンと、上記第 2 コンタクトホールを介
して上記ドレイン電極と接触する画素電極と、上記第 3 コンタクトホールを介して上記ゲ
ートパッドと接触する透明導電層を形成する工程とを備えることを特徴とする液晶表示装
置の製造方法。

30

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置（LCD）と、その製造方法に関する。さらに詳しくは、液晶
デバイスを駆動するための液晶駆動回路を備えた液晶表示装置およびその製造方法に関し

50

、その駆動回路の改良に関するものである。

【背景技術】

【0002】

活性マトリクス薄膜ディスプレイは、そのディスプレイの各画素内の液晶材料（デバイス）を駆動するための薄膜トランジスタ（TFT）を有する。図6に示されるように、従来のLCDは、それぞれが液晶材料（図示しない）を有する画素アレイを備える。この液晶材料はトッププレート（図示しない）に備えられた共通電極と、ボトムプレートに備えられた画素電極6との間に挟まれる構造を有する。ボトムプレートはさらに複数のデータライン610と交差する複数のゲートライン600を備える。

【0003】

活性素子のように作用する薄膜トランジスタ620は、ゲートライン600とデータライン610の交差部分に配設される。ゲートライン600とデータライン610は、薄膜トランジスタ620のゲートとソースにそれぞれ接続される。さらに、画素電極6は、薄膜トランジスタ620の各ドレイン電極に接続される。ゲートパッド630とデータパッド640はそれぞれゲートラインとデータラインに接続され、それぞれゲートドライバとデータドライバからデータを受ける。

【0004】

図5は薄膜トランジスタTFTの所定の箇所を断面図で示した図であり、液晶駆動回路として、TFT駆動素子を有する従来の液晶表示装置の製造方法を図5(a) - (f)を参照して説明する。図5(a)に示されるように、導電層が透明ガラス基板1上に形成され、ゲート電極2、ストレージキャパシタ電極2D、ソースパッド2A、そしてゲートパッド2Bを形成するようパターン化される。ゲートパッド2Bは駆動用電圧を受けるために使用され、完成されたTFTの活性層として使用される。

【0005】

図5(b)に示されるように、窒化膜や酸化膜のような、ゲート絶縁膜（絶縁層）3がゲート電極2を電氣的に絶縁するために基板の全面上に形成される。アモルファスシリコン活性層4が、ゲート電極2の上に形成されたゲート絶縁膜3の上に形成される。次に、完成された装置のソース/ドレイン領域と活性層の間の接触抵抗を減ずるために、不純物が適度にドーパされた半導体層5がオーム接触層としてアモルファスシリコン層4上に形成される。ドーパされた半導体層5とアモルファスシリコン層4は次に所定の活性層パターンに従ってエッチングされる。

【0006】

パッド配線層はゲートとソースに外部駆動回路からの情報を伝達するために必要なので、ゲート絶縁膜3を選択的にエッチングして、ソースパッド2Aとゲートパッド2Bを露出させる（図5(c)参照）。次に、図5(d)に示されるように、透明導電層（ITO: indium tin oxide）が基板の全面上に形成されてパターン化され、画素電極6を形成する。これは表示画素の部分上に形成される。一方、ITOパターン6A、6Bがそれぞれ、ソースパッド2A、ゲートパッド2B上に形成される。

【0007】

図5(e)に示されるように、TFTは活性層上に形成される。そして、基板上に形成され、同時にパターン化されて、ソース電極7、ドレイン電極8をそれぞれ形成するための導電層を有する。ソース電極7はソースパッド2Aに接続され、ドレイン電極8は不純物がドーパされた半導体層5と画素電極6に接触する。完成された装置構造において、ソース電極7は、データ配線層（図示しない）とドレイン電極8で受けたデータ信号を画素電極6へ導く。この信号は画素電極で電荷の形で保持され、それにより液晶を駆動する。

【0008】

図5(f)に示されるように、窒化膜が装置を湿気からシールし、不純物の吸収を防ぐためにパッシベーション（保護）層9として基板の全面上に形成される。パッシベーション層9は、ITOパターン6A、6Bを介してソースパッド2Aとゲートパッド2Bを露出するよう選択的にエッチングされ、これによりTFT製造を完了する。

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0009】

従来の液晶表示装置においては、次のように、6回のマスク工程が必要となる。

(1) ゲート、ストレージキャパシタ電極、ソースパッド、そしてゲートパッドのパターニング、(2) 活性層パターンの形成、(3) パッド部分を露出するためのゲート絶縁膜のパターニング、(4) 画素電極の形成、(5) ソース、ドレイン電極の形成、(6) パッド部分を露出させるためのパッシベーション膜のパターニング。

こうして、従来の製造方法は製造工程数が6回と多く、コストと歩留まり率の低下をもたらしていた。

10

【0010】

また、従来の液晶表示装置の製造方法においては、上述したように、ソース電極7またはドレイン電極8と画素電極6がゲート絶縁膜3の同じ表面である、同じ階層表面上に形成される。したがって、製造ミスによりこれらソース電極またはドレイン電極と画素電極が互いに接触する恐れが生じ、その結果として、歩留まり率が低下する。

【0011】

本発明は、上述した課題を解決するためになされたもので、マスク工程数を減らすことにより、製造ミスを防止し、また、ソース電極またはドレイン電極と画素電極を異なる階層表面上に形成することにより、製造ミスによりこれら電極が接触する恐れがあるという導通問題を効果的に防止し、もって、歩留まり率を高めることができる液晶表示装置、及びその製造方法を提供することを目的とする。

20

【課題を解決するための手段】

【0012】

上述した課題を解決するため、本発明に係る液晶表示装置は、例えば図1に示す液晶駆動回路を構成するスイッチングデバイスのソース電極7へ電氣的接続を行うソースパッド7Aを備える液晶表示装置において、上記ソースパッド7Aは上記ソース電極7の一部により構成されるものである。

【0013】

このような構成によれば、従来、ソースパッド7A上に形成される保護層としてのパッシベーション層9をエッチングするのみで、ソースパッド7Aと外部電極との接続が行えるので、マスク工程数を減らすことができる。また、ソースパッド7Aとソース電極7とが同材料で構成されるため、従来のように異なる材料間の接触抵抗を減少させることができる。

30

【0014】

また、本発明に係る液晶表示装置は、例えば図4に示す液晶駆動回路を有する液晶表示装置において、上記駆動回路は、基板1と、上記基板1上の所定領域に形成された第1導電層2と、上記第1導電層2が形成された基板全面上に形成され、上記第1導電層2の所定部分を露出させる第1コンタクトホール40aを有する第1絶縁層3と、上記第1絶縁層3上の上記第1コンタクトホール40a領域を含まない所定領域に形成された第2導電層7と、上記第2導電層7が形成された基板全面上に形成され、上記第2導電層7の所定部分及び上記第1コンタクトホール40a領域を露出させる第2コンタクトホール40b、第3コンタクトホール40Bを有する第2絶縁層9と、上記第2絶縁層9上に形成されて上記第1コンタクトホール40a、上記第2コンタクトホール40b、第3コンタクトホール40Bを介して上記第1導電層2及び上記第2導電層7と電氣的に接続される第3導電層6Dとを備えてなるものである。

40

【0015】

このような構成によれば、第1コンタクトホール40aと第2コンタクトホール40bを1工程で形成できるとともに、同工程で第3コンタクトホール40Bを形成でき、マスク工程数を減らすことができる。また、第3導電層6Dと第2導電層7は異なる階層表面上に形成されるため、これら導電層の導通を効果的に防止することができる。

50

したがって、例えば、第2導電層をソース電極またはドレイン電極とし、第3導電層を画素電極とした場合は、これら電極が製造ミスにより導通するという問題を効果的に防止することができる。

【0016】

さらに、本発明に係る液晶表示装置において、上記第1導電層はゲート電極であり、上記第2導電層はソース電極である。

【0017】

また、本発明に係る液晶表示装置において、上記第3導電層は画素電極物質で形成されるものである。

【0018】

このような構成によれば、画素電極とソース電極を異なる階層表面上に形成することができる。

【0019】

また、本発明に係る液晶表示装置の製造方法は、例えば図4に示す液晶駆動回路を有する液晶表示装置の製造方法において、上記駆動回路の製造は、基板上に第1導電層2パターンを形成する工程と、上記第1導電層2を含む上記基板表面上に第1絶縁層3を形成する工程と、上記第1絶縁層3上に第2導電層7パターンを形成する工程と、上記第2導電層7パターン、上記第1絶縁層3を含む上記基板全面上に第2絶縁層9を形成する工程と、上記第1絶縁層及び上記第2絶縁層を選択的にエッチングし、上記第1導電層パターンと上記第2導電層パターンをそれぞれ露出させる第1コンタクトホール40A及び第2コンタクトホール40Bを形成する工程と、上記第2絶縁層9上に、上記第1コンタクトホール40A、及び上記第2コンタクトホール40Bを介して、それぞれ上記第1導電層2パターン、及び上記第2導電層7パターンに電氣的に接続される第3導電層6Dを形成する工程とを備えるものである。

【0020】

このような構成によれば、第1、第2コンタクトホール40A、40Bを一度のエッチングにより形成することができ、マスク工程を減らすことができる。また、第2導電層7と第3導電層6Dは異なる階層表面上に形成されるため、製造ミスによるこれら導電層の導通問題を効果的に防止できる。

【0021】

また、本発明に係る液晶表示装置は、例えば図1に示す液晶駆動回路を有する液晶表示装置において、上記駆動回路は、基板1と、上記基板上に第1導電層により形成されたゲート電極2とゲートパッド2Cと、上記ゲート電極2、上記ゲートパッド2Cを含む上記基板上面に形成されたゲート絶縁層3と、上記ゲート電極2上のゲート絶縁層3上に形成された半導体活性層と、上記半導体活性層上に形成された不純物がドーピングされた半導体層5と、上記不純物がドーピングされた半導体層5上に形成されたドレイン電極8と、ソースパッド7Aの一部に形成されたソース電極7と、上記電極7、8、上記ドレイン電極と上記ソース電極をマスクとして上記不純物がドーピングされた半導体層がエッチングされて露出した上記半導体活性層、上記ゲート絶縁層3を含む上記基板全面上に形成されたパッシベーション層9と、上記パッシベーション層9をエッチングして得られ、上記ソースパッド7Aを露出させる第1コンタクトホール20と、上記ドレイン電極8の一部を露出させる第2コンタクトホール30と、上記パッシベーション層9及び上記ゲート絶縁層3をエッチングして得られ、上記ゲートパッド2Cを露出させる第3コンタクトホール40と、上記第2コンタクトホール30を介して上記ドレイン電極8と電氣的に接続された画素電極6とを備えるものである。

【0022】

このような構成によれば、パッシベーション層9のみをエッチングすることにより、ソースパッド7Aを外部電極に接続することができ、従来の製造工程からマスク工程を1つ減らすことができる。また、ソースパッド7Aとソース電極7が同材料で構成されるため、異なる材料間の接触抵抗を削減することができる。さらに、画素電極6をソース電極7

10

20

30

40

50

またはドレイン電極 8 と異なる階層表面上に形成することができるので、製造ミスによるこれら電極の導通を効果的に防止できる。

【0023】

また、本発明に係る液晶表示装置の製造方法は、例えば図 1 に示す液晶駆動回路を有する液晶表示装置の製造方法において、上記駆動回路の製造は、基板 1 上に第 1 導電層を形成するとともに、上記第 1 導電層をパターンニングしてゲート電極 2 とゲートパッド 2 C をそれぞれ形成する工程と、上記ゲート電極 2、ゲートパッド 2 C を含む上記基板全面上に絶縁層 3 を形成する工程と、上記絶縁層 3 の上面に半導体活性層と不純物がドーピングされた半導体層とを順次形成するとともに、上記半導体活性層と不純物がドーピングされた半導体層とを上記ゲート電極 2 上の上記絶縁層 3 上にパターンニングする工程と、上記絶縁層 3、上記不純物がドーピングされた半導体層の全面上に第 2 導電層を形成するとともに、上記第 2 導電層をパターンニングしてソースパッド 7 A が連続的に設けられたソース電極 7、ドレイン電極 8 を形成する工程と、上記ドレイン電極と上記ソース電極をマスクとして上記不純物がドーピングされた半導体層をエッチングして上記半導体活性層を露出させる工程と、上記ソースパッド 7 A を含む上記ソース電極 7、上記ドレイン電極 8、露出した上記半導体活性層、上記ゲートパッド 2 C、上記絶縁層 3 上にパッシベーション層 9 を形成する工程と、上記パッシベーション層 9 を選択的にエッチングして上記ソースパッド 7 A を露出させる第 1 コンタクトホール 30 と上記ドレイン電極 8 の一部を露出させる第 2 コンタクトホール 30 と、上記パッシベーション層 9 と上記絶縁層 3 をエッチングして上記ゲートパッド 2 C を露出させる第 3 コンタクトホール 40 とを形成する工程と、上記第 1、第 2、第 3 コンタクトホール、パッシベーション層の全面上に透明導電層を形成するとともに、上記透明導電層をパターンニングして、上記第 1 コンタクトホールを介して上記ソースパッドと接触する透明導電層 6 A パターンと、上記第 2 コンタクトホールを介して上記ドレイン電極 8 と接触する画素電極 6 と、上記第 3 コンタクトホール 40 を介して上記ゲートパッド 2 C と接触する透明導電層 6 B とを形成する工程を備えるものである。

【0024】

このような構成によれば、第 1、第 2、第 3 コンタクトホール 20、30、40 を 1 マスク工程で形成することができ、従来の製造工程からマスク工程を 1 つ減らすことができる。また、ソースパッド 7 A とソース電極 7 が同材料で構成されるため、異なる材料間の接触抵抗を削減することができる。さらに、画素電極 6 をソース電極 7 またはドレイン電極 8 と異なる階層表面上に形成することができるので、製造ミスによるこれら電極の導通を効果的に防止できる。

【0025】

また、本発明に係る液晶表示装置は、例えば図 2 に示す液晶駆動回路を有する液晶表示装置において、上記駆動回路は、基板 1 と、上記基板 1 上に第 1 導電層により形成されたゲート電極 2 と、ゲートパッド 2 B と、ソースパッド 2 A と、上記ゲート電極 2、上記ゲートパッド 2 B、上記ソースパッド 2 A を含む上記基板表面上に形成されたゲート絶縁層 3 と、上記ゲート電極 2 上の上記ゲート絶縁層 3 上に形成された半導体層 4、5 と、上記半導体層 5 上に形成されたソース電極 7 と、ドレイン電極 8 と、上記電極 7、8、上記半導体層 5、上記ゲート絶縁層 3 を含む上記基板全面に形成されたパッシベーション層 9 と、上記パッシベーション層 9 と上記ゲート絶縁層 3 とをエッチングして上記ソースパッド 2 A を露出させる第 1 コンタクトホール 45 と、上記ゲートパッド 2 B を露出させる第 3 コンタクトホール 55 と、上記パッシベーション層 9 をエッチングして上記ドレイン電極 8 の一部を露出させる第 2 コンタクトホール 50 と、上記ソース電極 7 を露出させる第 4 コンタクトホール 60 と、上記第 2 コンタクトホール 50 を介して上記ドレイン電極 7 と接触された画素電極 6 と、上記第 1 コンタクトホール 45 と上記第 4 コンタクトホール 60 を介して上記ソースパッド 2 A と上記ソース電極 7 を電氣的に接続する透明電極層 6 C とを備えてなるものである。

【0026】

このような構成によれば、第 1、第 2、第 3、第 4 コンタクトホール 45、50、55

、60を1マスク工程で形成でき、従来の製造工程からマスク工程を1だけ減らすことができる。また、画素電極6をソース電極7またはドレイン電極8と異なる階層表面上に形成することができるので製造ミスによるこれら電極の導通を防止できる。

【0027】

さらに、本発明に係る液晶表示装置の製造方法は、例えば図2に示す液晶駆動回路を有する液晶表示装置の製造方法において、上記駆動回路の製造は、基板1上に第1導電層を形成するとともに、上記第1導電層をパターニングしてゲート電極2とゲートパッド2Bとソースパッド2Aを形成する工程と、上記ゲート電極2、上記ゲートパッド2B、上記ソースパッド2Aを含む上記基板全面上に絶縁層3を形成する工程と、上記絶縁層3の上面に半導体層4、5を形成するとともに、上記半導体層4、5を上記ゲート電極2上の上記絶縁層3上にパターニングする工程と、上記絶縁層3、上記半導体層5の全面上に第2導電層を形成するとともに、上記第2導電層をパターニングしてソース電極7、ドレイン電極8を形成する工程と、上記ソース電極7、上記ドレイン電極8を含む上記絶縁層3上にパッシベーション層9を形成する工程と、上記パッシベーション層9及び上記絶縁層3をエッチングして上記ソースパッド2Aを露出させる第1コンタクトホール45と、上記ゲートパッドを露出させる第3コンタクトホール55と、上記パッシベーション層9をエッチングして上記ドレイン電極8の一部を露出させる第2コンタクトホール50と、上記ソース電極7を露出させる第4コンタクトホール60とを形成する工程と、上記第1、第2、第3、第4コンタクトホール、パッシベーション層の全面上に透明導電層を形成するとともに、上記透明導電層をパターニングして、上記第2コンタクトホール50を介して上記ドレイン電極と接触する画素電極6、上記第3コンタクトホール55を介して上記ゲートパッド2Bと接触する透明導電層6Bと、上記第1、第4コンタクトホール45、60を介して上記ソースパッド2Aと上記ソース電極7とを連結する透明導電層6Cを形成する工程とを備えるものである。

【発明を実施するための最良の形態】

【0028】

実施の形態1.

図1は本発明の実施の形態1として、液晶駆動回路としてのTFTの所定箇所を示した断面図である。

まず、図1(a)において、導電層が透明ガラス基板1上に形成されてパターン化され、ゲート電極2、ストレージキャパシタ電極2D、ゲートパッド2Cが同じ材料で形成される。ゲート電極2は、電圧を印加することにより、完成されたTFT装置内の活性層を駆動するために使用される。

【0029】

次に、図1(b)に示されるように、窒化膜または酸化膜のようなゲート絶縁膜(絶縁層)3が、ゲート電極2を電氣的に絶縁するために基板の全面上に形成される。次に、半導体活性層(半導体層)4がゲート電極2の絶縁膜3上に形成される。半導体活性層4は好ましくは、化学蒸気堆積(CVD)処理によって形成されたアモルファスシリコン層で形成される。次に、半導体活性層4と形成されたソースとドレイン間の接触抵抗を低減するために、不純物がドーパされた半導体層5がアモルファスシリコン層4上に、オーミック接触層として形成される。不純物がドーパされた半導体層5とアモルファスシリコン層4は所定の活性層パターンに従ってエッチングされる。

【0030】

次に、図1(c)に示されるように、ソース電極7とドレイン電極8を形成するための導電層は、導電材料をスパッタした後、パターニングすることにより基板上に形成される。マスクとしてソースとドレイン電極を使用することにより、不純物がドーパされた半導体層5の部分が露出され、エッチングされる。ソース電極7はこうしてトランジスタ領域の部分を形成し、ゲート絶縁膜上でソースパッド7Aとして作用する。この結果、同じ導電層がTFTのソース配線とソース電極の部分を構成する。

【0031】

次に、図 1 (d) に示されるように、パッシベーション層 9、例えば窒化膜は C V D 処理によって基板の全面上に形成される。次に、パッシベーション層 9 の所定の部分とゲート絶縁膜 3 が選択的にエッチングされ、第 1、第 2、第 3 コンタクトホール 2 0、3 0、4 0 が形成され、これによって、ゲート絶縁膜 3 上のソースパッド 7 A の所定領域、ドレイン電極 8 の所定領域、そしてゲートパッド 2 C の所定領域が露出される。パッド 7 A と 2 C の露出は外部との電気接続に使用される。

【 0 0 3 2 】

次に、図 1 (e) に示されるように、インジウムすず酸化 (I T O) 層が次にスパッタリングまたは C V D 処理によって基板上に形成され、画素電極 6 を形成するために所定のパターンに従ってエッチングされる。さらに、図 1 (e) に示されるように、画素電極 6 がドレイン電極 8 の上部に接続される。同時に、I T O パターン 6 B がゲートパッド 2 C 上に形成される。また、I T O パターン 6 A がソースパッド 2 A 上に形成される。このソースパッド 2 A は L C D のデータ電極の部分となす。こうして、ゲートパッド 2 C、層 6 B、6 A、ソースパッド 7 A を含む電気コンタクトまたは配線構造を有する本発明に係る液晶駆動回路 (T F T) が完成される。

10

【 0 0 3 3 】

上述したように、画素電極 6 はパッシベーション層 9 の工程後に形成され、従来とは対照的に、ソース/ドレイン形成工程またはパッド工程後に形成される。こうして、パッシベーション層 9 がソース/ドレイン形成材料と画素電極との間に設けられ、これによりこれら層の絶縁と短絡防止が効果的になされる。

20

【 0 0 3 4 】

さらに、従来の工程とは異なり、本発明による方法は、ゲート絶縁膜を形成した直後にパッドを露出する工程が必要とされず、ソースとゲートパッドはパッシベーション工程中にエッチングによって露出される。こうして、画素電極は、I T O で構成され、ソースとゲートパッド上に形成される。また、ソースパッドはゲート材料で形成されるのではなく、ソースとドレインが形成されるときにソース形成材料により形成される。こうして、従来、ゲート材料からソースパッドを形成することにより生じるソースパッドとソース間の接触抵抗が高くなるという問題を解消することができる。

【 0 0 3 5 】

実施の形態 2 .

30

図 2 は、本発明の実施の形態 2 を示す図である。ここでは、パッドを露出するための、ゲート絶縁膜のエッチング工程とパッシベーション層のエッチング工程が、たった一つのマスク工程で実行される。特に、ソースパッド 2 A は、従来法と同様に、ゲート材料で構成され、ゲート電極 2、ストレージキャパシタ電極 2 D、ゲートパッド 2 B と同時に形成される。第 1、第 2、第 3、第 4 コンタクトホール 4 5、5 0、5 5、6 0 の形成後、画素電極を形成するための材料が形成される。その結果、第 1 コンタクトホール 4 5、第 4 コンタクトホール 6 0 が、それぞれソースパッド 2 A (ゲートと同じ材料で形成される)、ソース電極 7 上に形成される。ソース電極 7 とソースパッド 2 A は画素電極が形成される工程において互いに接続される。こうして、パターンニングの後、第 1 透明導電層 6 C がソースパッド 2 A にソース電極 7 を接続する。そして、第 2 透明導電層 6 (即ち画素電極) がドレイン電極 8 に接続される。

40

【 0 0 3 6 】

言い換えれば、導電層は透明ガラス基板 1 上に形成されゲート電極 2、ストレージキャパシタ電極 2 D、ソースパッド 2 A、ゲートパッド 2 B を形成するためにパターン化される。基板の全面上におけるゲート絶縁膜 3 の形成後、アモルファスシリコン層 4 と不純物がドーピングされた半導体層 5 が順番にそのうえに形成される。これら層は、それから所定の活性層パターンに従ってエッチングされる。

【 0 0 3 7 】

次に、導電層が基板上に形成され、所定のパターンに従ってエッチングされる。これによりソース電極 7 とドレイン電極 8 を形成する。基板の全面上にパッシベーション層 9 を

50

形成した後、パッシベーション層 9 とゲート絶縁膜 3 は選択的にエッチングされ、これにより、ソースパッド 2 A を露出する第 1 コンタクトホール 4 5 とゲートパッド 2 B を露出する第 3 コンタクトホール 5 5 が形成される。すなわち、第 1 コンタクトホール 4 5 と第 3 コンタクトホール 5 5 については、パッシベーション層 9 とゲート絶縁膜 3 が一つの工程にてエッチングされる。また、同じ工程において、パッシベーション層 9 のみのエッチングにより第 2、第 4 コンタクトホール 5 0、6 0 が形成される。パッシベーション層 9 とゲート絶縁膜 3 は好ましくも一つの工程にてエッチングされるので、マスク工程を 1 つとすることができ、さらに、第 1、第 3 コンタクトホールは連続する一つの孔を形成しスムーズとなる。

【0038】

10

次に、ITO が基板の全面上に形成されてパターン化され、画素部分でドレイン電極上にあるコンタクトホールを通してドレイン電極 8 へ接続される画素電極 6 を形成する。同時に、ITO パターン 6 A、6 B、6 C がソースパッド 2 A とゲートパッド 2 B をゲート絶縁膜 3 とパッシベーション層 9 で形成されたコンタクトホールを通して接触させるために形成する。

【0039】

さらに、本発明の他の実施の形態によれば、リペアライン (repair line) や静電気保護回路を画素電極層の形成中に設けることもできる。図 3 は、静電気保護回路 1 0 0 の概略を示すブロック図であり、図 4 は静電気保護回路 1 0 0 の一部分 1 5 0 の拡大垂直断面図である。

20

【0040】

図 3 に示される回路において、静電気放電による高電圧がソース電極 7 に現れた場合、例えば、トランジスタ 1 7 0 はソース電極 7 の電荷をゲートライン 2 に導通させて電荷を放電させる。同様に、ゲートライン 2 がトランジスタ 1 6 0 を介してソース電極 7 に放電することができる。図 4 に示されるように、ゲートライン 2 とソース電極 7 間の接続は、絶縁膜 3、9 内にコンタクトホール 4 0 a、4 0 b、4 0 B を形成し、さらに、画素電極の形成中に、これらコンタクトホール内に導電材料 6 D (好ましくは ITO) を形成することにより行われる。

この場合、絶縁膜 3 に設けられる第 1 コンタクトホール 4 0 a とパッシベーション層 9 に設けられる第 2 コンタクトホール 4 0 b とは一つのコンタクトホール (第 1 コンタクトホール) 4 0 A として第 3 コンタクトホール 4 0 B と同じ一つの工程において形成することができる。

30

【0041】

上述したように、実施の形態 1、2 によれば、液晶表示装置の TFT の製造が 5 つのマスク工程、すなわち、ゲート形成工程、活性層の形成工程、ソース、ドレインの形成工程、パッシベーション層とゲート絶縁膜のエッチング工程、そして画素電極の形成工程の 5 つのマスク工程によりなし遂げられる。

【0042】

また、画素電極は、パッシベーション層の形成工程後に形成されるので、画素電極がソース電極またはドレイン電極に接触するという導通問題が効果的に防止される。

40

【0043】

さらに、実施の形態 1 によれば、ソースパッドがソース電極と同じ材料で構成されるので、ソースパッドがソース電極に接触する場合に接触抵抗が大きくなるという従来の問題を解決することができる。

【図面の簡単な説明】

【0044】

【図 1】本発明の実施の形態 1 による液晶表示装置及びその製造方法を示す断面図である。

【図 2】本発明の実施の形態 2 による液晶表示装置を示す断面図である。

【図 3】本発明により、ゲート材料がソース材料に接続された液晶表示装置を示す回路図

50

である。

【図4】図3に示された回路図の部分垂直断面図である。

【図5】液晶表示装置を製造する従来の工程を示す断面図である。

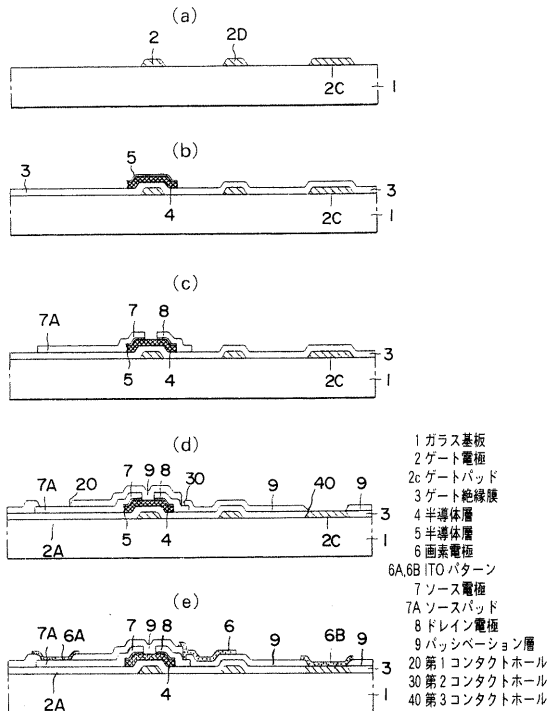
【図6】従来のマトリクス表示装置を概略的に示す平面図である。

【符号の説明】

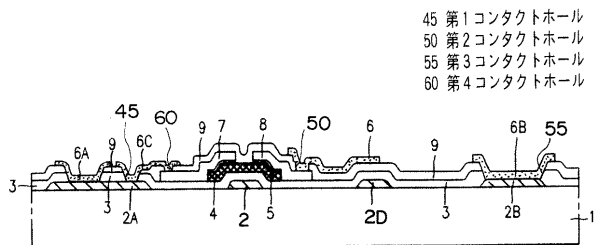
【0045】

1 ガラス基板、2 ゲート電極、2C ゲートパッド、3 ゲート絶縁膜、4、5 半導体層、6 画素電極、6A、6B ITOパターン、7 ソース電極、7A ソースパッド、8 ドレイン電極、9 パッシベーション層、20、45、40a、40A 第1コンタクトホール、30、40b、50 第2コンタクトホール、40、55、40B 第3コンタクトホール、60 第4コンタクトホール。

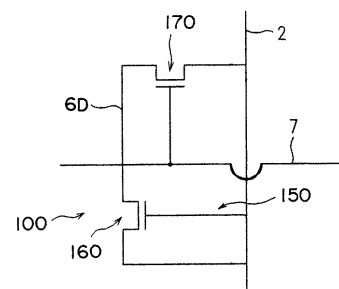
【図1】



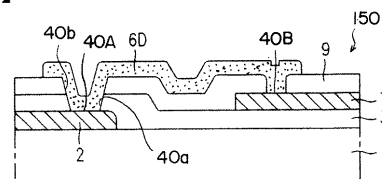
【図2】



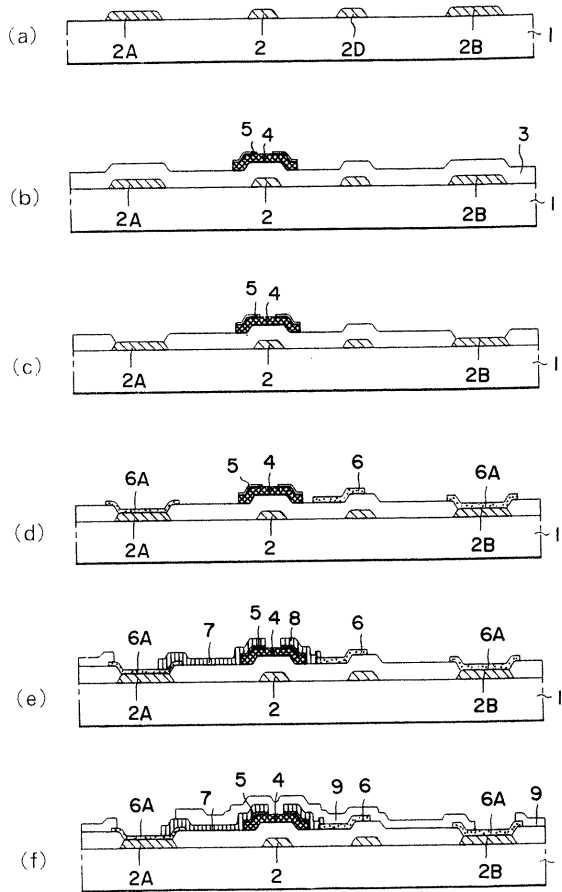
【図3】



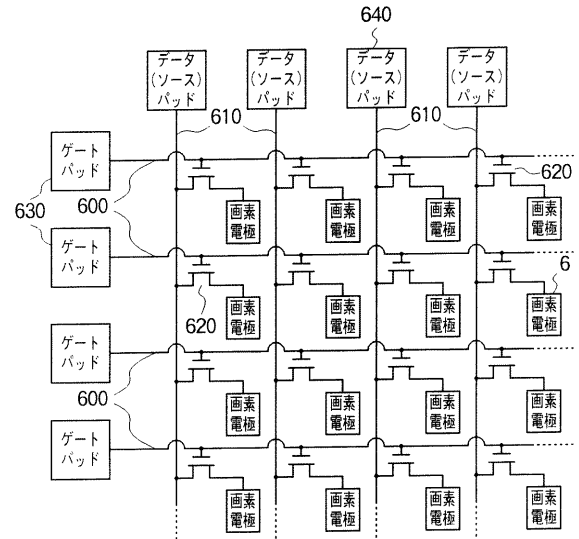
【図4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 申 雨 燮

大韓民国慶尚北道龜末市飛山洞 4 8 9 ゾンオンリピンビル 4 0 7

F ターム(参考) 2H092 GA29 HA04 JA24 JA46 JB57 KA05 KB24 MA14 MA17 NA14
NA27 NA28 NA29
5C094 AA42 AA43 BA03 BA43 CA19 DA13 DB01 GB10
5F110 AA16 AA26 BB02 CC07 DD02 FF02 FF03 GG02 GG15 GG44
HK09 HK16 HK21 HK33 HK34 HL07 HL23 HL24 NN02 NN24
NN35 NN72 NN73

专利名称(译)	液晶显示装置和液晶显示装置的制造方法		
公开(公告)号	JP2004341550A	公开(公告)日	2004-12-02
申请号	JP2004218582	申请日	2004-07-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	申雨燮		
发明人	申 雨 燮		
IPC分类号	G02F1/1333 G02F1/1343 G02F1/1345 G02F1/136 G02F1/1362 G02F1/1368 G09F9/30 G09F9/35 G09G3/36 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L29/417 H01L29/786		
CPC分类号	G02F1/13458 G02F1/1345 G02F1/136227 G02F1/1368 H01L27/124 H01L29/41733		
FI分类号	G09F9/30.338 G02F1/1368 G09F9/35 H01L29/78.612.A		
F-TERM分类号	2H092/GA29 2H092/HA04 2H092/JA24 2H092/JA46 2H092/JB57 2H092/KA05 2H092/KB24 2H092/MA14 2H092/MA17 2H092/NA14 2H092/NA27 2H092/NA28 2H092/NA29 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB01 5C094/GB10 5F110/AA16 5F110/AA26 5F110/BB02 5F110/CC07 5F110/DD02 5F110/FF02 5F110/FF03 5F110/GG02 5F110/GG15 5F110/GG44 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK33 5F110/HK34 5F110/HL07 5F110/HL23 5F110/HL24 5F110/NN02 5F110/NN24 5F110/NN35 5F110/NN72 5F110/NN73 2H192/AA24 2H192/BC31 2H192/CB05 2H192/FA65 2H192/GA42 2H192/HA43 2H192/HA47		
代理人(译)	英年古河 Kajinami秩序		
优先权	1019950025538 1995-08-19 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够减少掩蔽步骤并有效地防止电极之间传导的液晶显示装置。 解决方案：形成具有形成在栅极绝缘膜3上的源极焊盘7A的源电极7，形成在源电极7上的钝化层9和第一至第三接触孔20适当地形成30和40，并且像素电极6形成有设置在钝化层9上的透明电极层。 点域1

