

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2009-103948
(P2009-103948A)

(43) 公開日 平成21年5月14日(2009.5.14)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 623D	5C006
G02F 1/133 (2006.01)	G09G 3/20 621A	5C080
	G09G 3/20 612L	
	G09G 3/20 621B	

審査請求 未請求 請求項の数 7 O L (全 17 頁) 最終頁に続く

(21) 出願番号	特願2007-276002 (P2007-276002)	(71) 出願人	000005049
(22) 出願日	平成19年10月24日 (2007.10.24)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100104695
			弁理士 島田 明宏
		(72) 発明者	劉 憲太郎
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	2H093 NA16 NA31 NA43 NC02 NC09
			NC11 NC16 NC22 NC23 NC26
			NC34 NC35 ND47
			5C006 AC21 AC27 AF42 AF71 BB16
			BC12 BF25 BF50 FA16
			5C080 AA10 BB05 DD19 FF11 JJ02
			JJ03 JJ04 JJ06

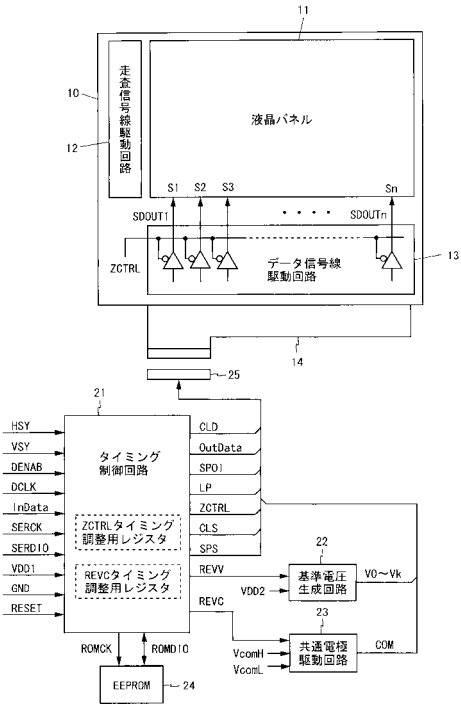
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 共通電極電圧の変化に起因するデータ信号線駆動回路の破壊を防止する。

【解決手段】 共通電極駆動回路23は、極性制御信号REVCに従い、液晶パネル11の共通電極35に対する印加電圧を変化させる。タイミング制御回路21は、極性制御信号REVCが変化するタイミングに合わせて、出力制御信号ZCTRLを変化させる。データ信号線駆動回路13は、出力制御信号ZCTRLに従い、データ信号線Sjをハイインピーダンス状態に設定する。共通電極電圧COMの変化タイミングに合わせてデータ信号線Sjをハイインピーダンス状態に設定し、共通電極電圧が変化したときの突き上げや突き下げによるデータ信号線電圧の変化を抑えて、データ信号線駆動回路13の破壊を防止する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

共通電極を交流駆動する液晶表示装置であって、

複数の走査信号線と、複数のデータ信号線と、前記走査信号線および前記データ信号線の交点近傍に設けられた複数のスイッチング素子と、前記スイッチング素子に対応して設けられた複数の画素電極と、前記画素電極に対向する共通電極とを含む液晶パネルと、

前記走査信号線を駆動する走査信号線駆動回路と、

前記データ信号線を駆動するデータ信号線駆動回路と、

前記共通電極に対して、相対的に低い電圧と相対的に高い電圧を切り替えて印加する共通電極駆動回路と、

10

前記走査信号線駆動回路、前記データ信号線駆動回路および前記共通電極駆動回路に対する制御信号を出力するタイミング制御回路とを備え、

前記データ信号線駆動回路は、前記共通電極の電圧が変化するタイミングに合わせて前記データ信号線をハイインピーダンス状態に設定することを特徴とする、液晶表示装置。

【請求項 2】

前記データ信号線駆動回路は、前記タイミング制御回路から出力された出力制御信号に従い、前記データ信号線をハイインピーダンス状態に設定することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記共通電極駆動回路は、前記タイミング制御回路から出力された極性制御信号に従い、前記共通電極に印加する電圧を変化させ、

20

前記タイミング制御回路は、前記極性制御信号が変化するタイミングに応じたタイミングで前記出力制御信号を変化させることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記タイミング制御回路は、外部から値を設定可能なレジスタを含み、前記レジスタに設定された値に応じて、前記極性制御信号と前記出力制御信号が変化するタイミングを切り替えることを特徴とする、請求項 3 に記載の液晶表示装置。

【請求項 5】

前記データ信号線駆動回路は、外部から値を設定可能なレジスタを含み、前記レジスタに設定された値に応じて、前記データ信号線をハイインピーダンス状態に設定するタイミングを切り替えることを特徴とする、請求項 1 に記載の液晶表示装置。

30

【請求項 6】

前記共通電極駆動回路は、前記タイミング制御回路から出力された極性制御信号に従い、前記共通電極に印加する電圧を変化させ、

前記タイミング制御回路は、前記極性制御信号が変化するタイミングに応じて、前記レジスタに設定する値を切り替えることを特徴とする、請求項 5 に記載の液晶表示装置。

【請求項 7】

複数の走査信号線と、複数のデータ信号線と、前記走査信号線および前記データ信号線の交点近傍に設けられた複数のスイッチング素子と、前記スイッチング素子に対応して設けられた複数の画素電極と、前記画素電極に対向する共通電極とを含む液晶パネルの駆動方法であって、

40

前記走査信号線を駆動するステップと、

前記データ信号線を駆動するステップと、

前記共通電極に対して、相対的に低い電圧と相対的に高い電圧を切り替えて印加するステップと、

前記走査信号線、前記データ信号線および前記共通電極を駆動するときのタイミングを制御するステップとを備え、

前記データ信号線を駆動するステップは、前記共通電極の電圧が変化するタイミングに合わせて前記データ信号線をハイインピーダンス状態に設定することを特徴とする、液晶パネルの駆動方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、より特定的には、共通電極を交流駆動する液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置では、焼き付きを防止するために、液晶に対して正極性電圧と負極性電圧を切り替えて印加する交流駆動が行われる。また、データ信号線の電圧振幅を小さくするために、液晶印加電圧の極性に応じて、共通電極に対して相対的に低い電圧と相対的に高い電圧を切り替えて印加する駆動（共通電極の交流駆動）が行われることがある。

10

【0003】

なお、本願発明に関連して、特許文献1には、2枚の液晶パネルを備えた液晶表示装置において、各液晶パネルの共通電極電圧を同時に互いに逆極性に反転させることが記載されている。

【特許文献1】特開2006-72211号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

共通電極を交流駆動する液晶表示装置では、表示画面の画質を向上させるために、共通電極の電圧振幅を大きくすることがある。ところが、共通電極の電圧振幅を大きくすると、共通電極電圧が変化したときに、データ信号線の電圧波形に大きなパルス状のノイズが発生し、データ信号線駆動回路が破壊されることがある。

20

【0005】

図11は、液晶パネルとデータ信号線駆動回路の一部を示す図である。図11において、破線より上の回路は液晶パネル上に形成されており、破線より下の回路はデータ信号線駆動回路に内蔵されている。データ信号線 S_j は、データ信号線駆動回路に内蔵されたPチャネル型のトランジスタ91とNチャネル型のトランジスタ92とによって駆動される。また、液晶パネルでは、データ信号線 S_j と共通電極93の間に寄生容量 C_s が発生する。

30

【0006】

共通電極93の電圧は、図12に示すように、所定の周期で相対的に低いレベル V_{comL} と相対的に高いレベル V_{comH} に切り替えられる。共通電極93とデータ信号線 S_j の間には寄生容量 C_s が介在しているので、共通電極電圧が V_{comL} から V_{comH} に上昇すると、データ信号線 S_j の電圧はその影響を受けて一時的に上昇する（以下、この現象を「突き上げ」という）。また、共通電極電圧が V_{comH} から V_{comL} に低下すると、データ信号線 S_j の電圧は一時的に低下する（以下、この現象を「突き下げ」という）。

【0007】

共通電極の電圧振幅が小さいときには、突き上げや突き下げが発生しても、データ信号線 S_j の電圧はデータ信号線駆動回路の耐圧電圧を超えないので、データ信号線駆動回路が破壊されることはない。しかしながら、共通電極の電圧振幅を大きくすると、突き上げや突き下げによってデータ信号線 S_j の電圧が一時的にデータ信号線駆動回路の耐圧電圧を超え、データ信号線駆動回路が破壊されることがある。

40

【0008】

このようなデータ信号線駆動回路の破壊を防止する方法として、データ信号線駆動回路の出力段トランジスタ（図11ではトランジスタ91、92）のオン抵抗を小さくする方法が考えられる。この方法によれば、共通電極電圧が変化したときの突き上げエネルギーや突き下げエネルギーを電源やグランドに逃がし、突き上げや突き下げの影響を小さくすることができる。

50

【 0 0 0 9 】

しかしながら、出力段トランジスタのオン抵抗を小さくするにも限界があり、この方法では、共通電極の電圧振幅が大きいときに、突き上げや突き下げによるデータ信号線駆動回路の破壊を防止できないことがある。

【 0 0 1 0 】

それ故に、本発明は、共通電極電圧の変化に起因するデータ信号線駆動回路の破壊をより効果的に防止できる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

第 1 の発明は、共通電極を交流駆動する液晶表示装置であって、

10

複数の走査信号線と、複数のデータ信号線と、前記走査信号線および前記データ信号線の交点近傍に設けられた複数のスイッチング素子と、前記スイッチング素子に対応して設けられた複数の画素電極と、前記画素電極に対向する共通電極とを含む液晶パネルと、

前記走査信号線を駆動する走査信号線駆動回路と、

前記データ信号線を駆動するデータ信号線駆動回路と、

前記共通電極に対して、相対的に低い電圧と相対的に高い電圧を切り替えて印加する共通電極駆動回路と、

前記走査信号線駆動回路、前記データ信号線駆動回路および前記共通電極駆動回路に対する制御信号を出力するタイミング制御回路とを備え、

前記データ信号線駆動回路は、前記共通電極の電圧が変化するタイミングに合わせて前記データ信号線をハイインピーダンス状態に設定することを特徴とする。

20

【 0 0 1 2 】

第 2 の発明は、第 1 の発明において、

前記データ信号線駆動回路は、前記タイミング制御回路から出力された出力制御信号に従い、前記データ信号線をハイインピーダンス状態に設定することを特徴とする。

【 0 0 1 3 】

第 3 の発明は、第 2 の発明において、

前記共通電極駆動回路は、前記タイミング制御回路から出力された極性制御信号に従い、前記共通電極に印加する電圧を変化させ、

前記タイミング制御回路は、前記極性制御信号が変化するタイミングに応じたタイミングで前記出力制御信号を変化させることを特徴とする。

30

【 0 0 1 4 】

第 4 の発明は、第 3 の発明において、

前記タイミング制御回路は、外部から値を設定可能なレジスタを含み、前記レジスタに設定された値に応じて、前記極性制御信号と前記出力制御信号が変化するタイミングを切り替えることを特徴とする。

【 0 0 1 5 】

第 5 の発明は、第 1 の発明において、

前記データ信号線駆動回路は、外部から値を設定可能なレジスタを含み、前記レジスタに設定された値に応じて、前記データ信号線をハイインピーダンス状態に設定するタイミングを切り替えることを特徴とする。

40

【 0 0 1 6 】

第 6 の発明は、第 5 の発明において、

前記共通電極駆動回路は、前記タイミング制御回路から出力された極性制御信号に従い、前記共通電極に印加する電圧を変化させ、

前記タイミング制御回路は、前記極性制御信号が変化するタイミングに応じて、前記レジスタに設定する値を切り替えることを特徴とする。

【 0 0 1 7 】

第 7 の発明は、複数の走査信号線と、複数のデータ信号線と、前記走査信号線および前記データ信号線の交点近傍に設けられた複数のスイッチング素子と、前記スイッチング素

50

子に対応して設けられた複数の画素電極と、前記画素電極に対向する共通電極とを含む液晶パネルの駆動方法であって、

前記走査信号線を駆動するステップと、

前記データ信号線を駆動するステップと、

前記共通電極に対して、相対的に低い電圧と相対的に高い電圧を切り替えて印加するステップと、

前記走査信号線、前記データ信号線および前記共通電極を駆動するときのタイミングを制御するステップとを備え、

前記データ信号線を駆動するステップは、前記共通電極の電圧が変化するタイミングに合わせて前記データ信号線をハイインピーダンス状態に設定することを特徴とする。

10

【発明の効果】

【0018】

上記第1または第7の発明によれば、共通電極電圧の変化タイミングに合わせてデータ信号線をハイインピーダンス状態に設定することにより、共通電極電圧が変化したときに、その影響を受けてデータ信号線電圧が変化することを防止することができる。したがって、共通電極電圧が変化したときの突き上げや突き下げによるデータ信号線電圧の変化を抑え、データ信号線駆動回路の破壊を効果的に防止することができる。

【0019】

上記第2の発明によれば、タイミング制御回路から出力された出力制御信号を用いて、データ信号線をハイインピーダンス状態に設定するか否かを切り替えることができる。したがって、データ信号線をハイインピーダンス状態に設定するタイミングをタイミング制御回路で調整して、共通電極電圧の変化に起因するデータ信号線駆動回路の破壊を防止することができる。

20

【0020】

上記第3の発明によれば、共通電極電圧の変化タイミングが極性制御信号によって定まる場合に、極性制御信号の変化タイミングに応じたタイミングで出力制御信号を変化させることにより、共通電極電圧の変化タイミングに合わせてデータ信号線をハイインピーダンス状態に設定することができる。これにより、共通電極電圧の変化に起因するデータ信号線駆動回路の破壊を防止することができる。

【0021】

上記第4の発明によれば、タイミング制御回路のレジスタに値を設定することにより、極性制御信号と出力制御信号の変化タイミングを切り替えることができる。したがって、共通電極電圧の変化タイミングとデータ信号線のハイインピーダンス期間を好適に調整し、共通電極電圧の変化に起因するデータ信号線駆動回路の破壊を防止することができる。

30

【0022】

上記第5の発明によれば、タイミング制御回路からデータ信号線駆動回路のレジスタに値を設定することにより、データ信号線をハイインピーダンス状態に設定するタイミングを切り換えることができる。したがって、データ信号線をハイインピーダンス状態に設定するタイミングをタイミング制御回路で調整して、共通電極電圧の変化に起因するデータ信号線駆動回路の破壊を防止することができる。

40

【0023】

上記第6の発明によれば、共通電極電圧の変化タイミングが極性制御信号によって定まる場合に、極性制御信号の変化タイミングに対応した値をデータ信号線駆動回路のレジスタに設定することにより、共通電極電圧の変化タイミングに合わせてデータ信号線をハイインピーダンス状態に設定することができる。これにより、共通電極電圧の変化に起因するデータ信号線駆動回路の破壊を防止することができる。

【発明を実施するための最良の形態】

【0024】

図1は、本発明の実施形態に係る液晶表示装置の構成を示すブロック図である。図1に示す液晶表示装置は、液晶パネル11、走査信号線駆動回路12、データ信号線駆動回路

50

１３、タイミング制御回路２１、基準電圧生成回路２２、共通電極駆動回路２３、および、ＥＥＰＲＯＭ（Electronically Erasable Programmable Read Only Memory）２４を備えている。なお、走査信号線駆動回路１２はゲートドライバ回路、データ信号線駆動回路１３はソースドライバ回路とも呼ばれる。

【００２５】

液晶パネル１１、走査信号線駆動回路１２およびデータ信号線駆動回路１３は、パネル基板１０に搭載されている。タイミング制御回路２１、基準電圧生成回路２２、共通電極駆動回路２３およびＥＥＰＲＯＭ２４は、制御基板（図示せず）に搭載されている。パネル基板１０にはフレキシブル回路基板１４が設けられており、フレキシブル回路基板１４の一端は制御基板に設けられたコネクタ２５に挿入可能に構成されている。制御基板上の回路から出力された信号は、コネクタ２５経由でパネル基板１０上の回路に供給される。

10

【００２６】

図２は、液晶パネル１１の構造を示す図である。図２に示すように、液晶パネル１１は、２枚のガラス基板３１、３２の間に液晶（図示せず）を挟み込んだ構造を有する。一方のガラス基板３１には、互いに平行に配置された複数の走査信号線 $G_1 \sim G_m$ と、走査信号線 $G_1 \sim G_m$ と直交するように互いに平行に配置された複数のデータ信号線 $S_1 \sim S_n$ と、走査信号線 $G_1 \sim G_m$ とデータ信号線 $S_1 \sim S_n$ の交点近傍に配置された複数のＴＦＴ（Thin Film Transistor：薄膜トランジスタ）３３と、ＴＦＴ３３に対応して設けられた複数の画素電極３４とが形成される。ＴＦＴ３３はスイッチング素子として機能し、ＴＦＴ３３のゲート端子、ソース端子およびドレイン端子は、それぞれ、１本の走査信号線、１本のデータ信号線および１個の画素電極３４に接続される。他方のガラス基板３２には、すべての画素電極３４と対向するように共通電極３５が形成される。

20

【００２７】

走査信号線駆動回路１２は、走査信号線 $G_1 \sim G_m$ を駆動する。より詳細には、走査信号線駆動回路１２は、走査信号線 $G_1 \sim G_m$ の中から１本の走査信号線を順に選択し、選択した走査信号線には選択電圧（例えば、ハイレベル電圧）を印加し、それ以外の走査信号線には非選択電圧（例えば、ローレベル電圧）を印加する。これにより、選択された走査信号線に接続された n 個のＴＦＴ３３が導通状態となり、導通状態のＴＦＴ３３に接続された n 個の画素電極３４が電圧書き込み可能な状態となる。

【００２８】

30

データ信号線駆動回路１３は、データ信号線 $S_1 \sim S_n$ をライン反転駆動する。より詳細には、データ信号線駆動回路１３は、データ信号線 $S_1 \sim S_n$ に対して、１ラインごとに表示データに応じた正極性電圧と表示データに応じた負極性電圧を切り替えて印加する。これにより、電圧書き込み可能な状態にある n 個の画素電極３４に、表示データに応じた正極性電圧または負極性電圧が書き込まれる。

【００２９】

画素電極３４に正極性電圧を書き込むときには、共通電極３５には相対的に低い電圧 V_{comL} が印加され、画素電極３４に負極性電圧を書き込むときには、共通電極３５には相対的に高い電圧 V_{comH} （ $V_{comL} < V_{comH}$ ）が印加される。画素電極３４は１個の画素に対応し、画素の輝度は画素電極３４と共通電極３５の電位差によって定まる。したがって、共通電極３５に電圧 V_{comL} または V_{comH} を印加し、画素電極３４に表示データに応じた正極性電圧または負極性電圧を書き込むことにより、液晶パネル１１に所望の画像を表示することができる。

40

【００３０】

タイミング制御回路２１、基準電圧生成回路２２および共通電極駆動回路２３は、パネル基板１０に対して映像信号と制御信号を出力する。タイミング制御回路２１には、水平同期信号 HSY 、垂直同期信号 VSY 、水平表示開始位置を指定するデータイネーブル信号 $DENAB$ 、データクロック $DCLK$ 、表示データ $InData$ などが入力される。タイミング制御回路２１は、これらの入力信号に基づき、サンプリングクロック CLD 、表示データ $OutData$ 、データ側スタートパルス $SPOI$ 、ラッチパルス LP 、出力制

50

御信号 Z C T R L、シフトクロック C L S、走査側スタートパルス S P S、第 1 の極性制御信号 R E V V、および、第 2 の極性制御信号 R E V C を出力する。

【 0 0 3 1 】

シフトクロック C L S と走査側スタートパルス S P S は走査信号線駆動回路 1 2 に供給され、サンプリングクロック C L D、表示データ O u t D a t a、データ側スタートパルス S P O I、ラッチパルス L P および出力制御信号 Z C T R L は、データ信号線駆動回路 1 3 に供給される。第 1 の極性制御信号 R E V V は基準電圧生成回路 2 2 に供給され、第 2 の極性制御信号 R E V C は共通電極駆動回路 2 3 に供給される。なお、表示データ I n D a t a、O u t D a t a は例えば R G B 各 6 ビットの映像信号であり、出力制御信号 Z C T R L、第 1 の極性制御信号 R E V V および第 2 の極性制御信号 R E V C はハイレベルとローレベルに変化する 2 値の信号である。

10

【 0 0 3 2 】

基準電圧生成回路 2 2 は、データ信号線駆動回路 1 3 で必要とされる電源電圧を生成する。より詳細には、基準電圧生成回路 2 2 は、データ信号線 S 1 ~ S n に印加される電圧の基準となる複数の基準電圧 V 0 ~ V k (k は 1 以上の整数) を生成し、データ信号線駆動回路 1 3 に供給する。データ信号線駆動回路 1 3 は、供給された基準電圧 V 0 ~ V k に基づき、データ信号線 S 1 ~ S n に印加する電圧を生成する。上述したように、データ信号線駆動回路 1 3 は、データ信号線 S 1 ~ S n に対して、正極性電圧と負極性電圧を切り替えて印加する。これに対応して、基準電圧生成回路 2 2 は、基準電圧 V 0 ~ V k として正極性の基準電圧と負極性の基準電圧を切り替えて生成する。

20

【 0 0 3 3 】

基準電圧生成回路 2 2 には、第 1 の極性制御信号 R E V V と電源電圧 V D D 2 (例えば、 5 . 3 V) が入力される。基準電圧生成回路 2 2 は、第 1 の極性制御信号 R E V V がローレベルのときには、電源電圧 V D D 2 に基づき正極性の基準電圧を生成し、第 1 の極性制御信号 R E V V がハイレベルのときには、電源電圧 V D D 2 に基づき負極性の基準電圧を生成する。第 1 の極性制御信号 R E V V が変化した後、指定された極性の基準電圧 V 0 ~ V k が基準電圧生成回路 2 2 から出力されるまでには、数 μ s 程度の時間がかかる。

【 0 0 3 4 】

共通電極駆動回路 2 3 は、共通電極 3 5 に対して、相対的に低い電圧 V c o m L と相対的に高い電圧 V c o m H を切り替えて印加する。より詳細には、共通電極駆動回路 2 3 には、第 2 の極性制御信号 R E V C、電圧 V c o m H、および、電圧 V c o m L が入力される。共通電極駆動回路 2 3 は、第 2 の極性制御信号 R E V C がローレベルのときには共通電極電圧 C O M として電圧 V c o m L を出力し、第 2 の極性制御信号 R E V C がハイレベルのときには共通電極電圧 C O M として電圧 V c o m H を出力する。第 2 の極性制御信号 R E V C が変化した後、指定された極性の共通電極電圧 C O M が共通電極駆動回路 2 3 から出力されるまでには、数 μ s 程度の時間がかかる。

30

【 0 0 3 5 】

タイミング制御回路 2 1 は、外部から値を設定可能なレジスタを含み、レジスタに設定された値に応じて、出力制御信号 Z C T R L および第 2 の極性制御信号 R E V C が変化するタイミングを切り替える。タイミング制御回路 2 1 は、レジスタに設定された値に応じて、ラッチパルス L P や第 1 の極性制御信号 R E V V などが変化するタイミングを切り替えてもよい。タイミング制御回路 2 1 は、ホストとの間でシリアル通信を行うために 2 個の端子 S E R C K、S E R D I O を有する。これらの端子にクロックとデータを与えることにより、タイミング制御回路 2 1 内のレジスタに値を設定することができる。

40

【 0 0 3 6 】

E E P R O M 2 4 は、タイミング制御回路 2 1 内のレジスタに設定すべき初期値を記憶している。タイミング制御回路 2 1 は、E E P R O M 2 4 との間でシリアル通信を行うために 2 個の端子 R O M C K、R O M D I O を有する。電源投入時に、タイミング制御回路 2 1 は、これらの端子を用いて E E P R O M 2 4 に記憶された初期値を読み出し、読み出した初期値を内部のレジスタに設定する。E E P R O M 2 4 に記憶された初期値は、端子

50

S E R C K、S E R D I Oにクロックとデータを与えることにより書き換え可能である。

【 0 0 3 7 】

図 3 は、図 1 に示す液晶表示装置のタイミングチャートである。ここでは、液晶パネル 1 1 はノーマリーホワイト型であるとし、1 フレーム時間は奇数個のライン時間に等しいとする。図 3 において、文字 B は 1 ライン時間に亘って表示データ I n D a t a が黒レベルであることを表し、文字 W は 1 ライン時間に亘って表示データ I n D a t a が白レベルであることを表す。なお、1 フレーム時間が偶数個のライン時間に等しい場合のタイミングチャートは、図 4 に示すようになる。

【 0 0 3 8 】

図 3 に示すように、垂直同期信号 V S Y は、1 フレーム時間のうち 2 ライン時間だけハイレベルになる。水平同期信号 H S Y は、1 ライン時間の一部でハイレベルになる。データイネーブル信号 D E N A B は、1 ライン時間のうち水平同期信号 H S Y がローレベルである期間の一部でハイレベルになる。データイネーブル信号 D E N A B がハイレベルである間に、有効な表示データ I n D a t a が入力される。

【 0 0 3 9 】

タイミング制御回路 2 1 は、データイネーブル信号 D E N A B が立ち上がると、ハイレベルのデータ側スタートパルス S P O I を出力する。その後、タイミング制御回路 2 1 は、サンプリングクロック C L D に同期して 1 ライン分の表示データ O u t D a t a を順に出力する。データ信号線駆動回路 1 3 は、タイミング制御回路 2 1 から出力された 1 ライン分の表示データを内部メモリ（詳細は後述）に蓄積する。

【 0 0 4 0 】

タイミング制御回路 2 1 は、1 ライン分の表示データ O u t D a t a を出力するたびに、第 1 および第 2 の極性制御信号 R E V V、R E V C を逆のレベルに（ハイレベルならばローレベルに、ローレベルならばハイレベルに）切り替える。第 1 の極性制御信号 R E V V が変化してから数 μs 後に、第 1 の極性制御信号 R E V V で指定された極性の基準電圧 $V_0 \sim V_k$ が基準電圧生成回路 2 2 から出力される。また、第 2 の極性制御信号 R E V C が変化してから数 μs 後に、第 2 の極性制御信号 R E V C で指定された極性の共通電極電圧 C O M が共通電極駆動回路 2 3 から出力される。

【 0 0 4 1 】

タイミング制御回路 2 1 は、第 1 および第 2 の極性制御信号 R E V V、R E V C を逆のレベルに切り替えた後に、ハイレベルのラッチパルス L P を出力する。データ信号線駆動回路 1 3 は、ハイレベルのラッチパルス L P を受け取ると、基準電圧生成回路 2 2 から供給された基準電圧 $V_0 \sim V_k$ に基づき、内部メモリに蓄積された表示データに応じた電圧を生成し、データ出力端子 S D O U T 1 $\sim$ S D O U T n から出力する。出力された電圧は、データ信号線 S 1 $\sim$ S n に印加される。このようにデータ信号線駆動回路 1 3 は、タイミング制御回路 2 1 から出力されたラッチパルス L P に従い、データ信号線 S 1 $\sim$ S n に印加する電圧を変化させる。

【 0 0 4 2 】

タイミング制御回路 2 1 は、ハイレベルのラッチパルス L P を出力した後、所定時間だけハイレベルとなるシフトクロック C L S を出力する。走査信号線駆動回路 1 2 は、シフトクロック C L S の立ち上がりで走査信号線 G 1 $\sim$ G m の選択を切り替え、シフトクロック C L S がハイレベルである間、選択した走査信号線に選択電圧を印加する。これにより、選択電圧が印加された走査信号線に接続された n 個の T F T 3 3 が導通状態になり、導通状態の T F T 3 3 を介して n 個の画素電極 3 4 にデータ信号線 S 1 $\sim$ S n の電圧が書き込まれる。

【 0 0 4 3 】

図 5 は、データ信号線駆動回路 1 3 の詳細を示すブロック図である。データ信号線駆動回路 1 3 は、図 3 に示すように、シフトレジスタ 4 1、データラッチ 4 2、サンプリングメモリ 4 3、ホールドメモリ 4 4、レベルシフタ 4 5、階調電圧生成回路 4 6、D / A 変換器 4 7、および、出力回路 4 8 を含んでいる。

10

20

30

40

50

【 0 0 4 4 】

データ信号線駆動回路 1 3 には、タイミング制御回路 2 1 から出力されたサンプリングクロック C L D、表示データ O u t D a t a、データ側スタートパルス S P O I、ラッチパルス L P および出力制御信号 Z C T R L、並びに、基準電圧生成回路 2 2 から出力された基準電圧 $V_0 \sim V_k$ が入力される。以下、データ信号線駆動回路 1 3 に入力される表示データ O u t D a t a を D i n といい、表示データ D i n の幅を s ビットとする。

【 0 0 4 5 】

シフトレジスタ 4 1 は、n 段のシフトレジスタであり、サンプリングクロック C L D に従いデータ側スタートパルス S P O I を順にシフトする。シフトレジスタ 4 1 の出力信号は、表示データ D i n のサンプリング位置を定める。データラッチ 4 2 は、サンプリングクロック C L D に従い表示データ D i n を一時的にラッチし、ラッチしたデータをサンプリングメモリ 4 3 に対して出力する。

10

【 0 0 4 6 】

サンプリングメモリ 4 3 とホールドメモリ 4 4 は、s ビットのデータを n 個記憶する。サンプリングメモリ 4 3 は、データラッチ 4 2 にラッチされたデータを、シフトレジスタ 4 1 の出力信号によって指定された位置にサンプリングする。ホールドメモリ 4 4 は、ラッチパルス L P の立ち上がりで、サンプリングメモリ 4 3 に記憶された n 個のデータを一括してラッチする。

【 0 0 4 7 】

レベルシフタ 4 5 は、ホールドメモリ 4 4 に記憶された n 個のデータについて電圧レベル変換を行う。階調電圧生成回路 4 6 は、抵抗分割回路を含み、これを用いて基準電圧 $V_0 \sim V_k$ に基づき、 y 補正された 2^s レベルの階調電圧を生成する。D / A 変換器 4 7 は、レベルシフタ 4 5 から出力された n 個のデータ（幅は s ビット）のそれぞれについて、階調電圧生成回路 4 6 で生成された 2^s レベルの階調電圧のうちから 1 つの階調電圧を選択する。これにより、レベルシフタ 4 5 の出力信号はアナログ信号に変換される。

20

【 0 0 4 8 】

出力回路 4 8 は、オペアンプ（図示せず）と出力バッファ 4 9 で構成されたボルテージフォロワを n 個含んでいる。出力バッファ 4 9 の入力端子はオペアンプの出力端子に接続され、出力バッファ 4 9 の制御端子には出力制御信号 Z C T R L が与えられる。出力バッファ 4 9 の出力端子は、データ信号線駆動回路 1 3 の出力端子 S D O U T 1 ~ S D O U T n に接続される。

30

【 0 0 4 9 】

出力制御信号 Z C T R L がローレベルのときには、出力バッファ 4 9 は入力信号をそのまま出力する。この場合、出力端子 S D O U T 1 ~ S D O U T n から表示データ D i n に応じた電圧（D / A 変換器 4 7 の出力電圧）が出力され、出力された電圧はデータ信号線 S 1 ~ S n に印加される。これに対して、出力制御信号 Z C T R L がハイレベルのときには、出力バッファ 4 9 の出力端子とデータ信号線 S 1 ~ S n はハイインピーダンス状態になる。

【 0 0 5 0 】

このようにデータ信号線駆動回路 1 3 は、タイミング制御回路 2 1 から出力された出力制御信号 Z C T R L に従い、データ信号線 S 1 ~ S n に対して表示データに応じた電圧を印加するか、データ信号線 S 1 ~ S n をハイインピーダンス状態に設定するかを切り替える。したがって、タイミング制御回路 2 1 が好適なタイミングで出力制御信号 Z C T R L をハイレベルにすれば、データ信号線駆動回路 1 3 は共通電極電圧 C O M が変化するタイミングに合わせてデータ信号線 S 1 ~ S n をハイインピーダンス状態に設定することができる。

40

【 0 0 5 1 】

図 6 は、タイミング制御回路 2 1 の詳細を示すブロック図である。タイミング制御回路 2 1 は、レジスタ部 5 0、水平カウンタ 5 5、水平表示開始カウンタ 5 6、垂直カウンタ 5 7、各種の信号生成回路 6 1 ~ 6 8、ラッチ回路 7 1、および、R O M 通信用回路 7 2

50

を含んでいる。

【 0 0 5 2 】

レジスタ部 5 0 は、液晶パネル 1 1 の駆動に必要な値を記憶する複数のレジスタ（一部を図示）を含んでいる。特に、レジスタ部 5 0 は、出力制御信号 Z C T R L および第 2 の極性制御信号 R E V C が変化するタイミングを調整するために、Z C T R L タイミング調整用レジスタ 5 1、および、R E V C タイミング調整用レジスタ 5 2 を含んでいる。これ以外にも、レジスタ部 5 0 は、ラッチパルス L P や第 1 の極性制御信号 R E V V などに変化するタイミングを調整するためのレジスタを含んでいてもよい。

【 0 0 5 3 】

水平カウンタ 5 5 は、水平同期信号 H S Y の立ち下がりでカウント値をリセットし、データクロック D C L K の立ち下がりでカウント値を更新するカウンタである。水平表示開始カウンタ 5 6 は、データイネーブル信号 D E N A B の立ち上がりでカウント値をリセットし、データクロック D C L K の立ち下がりでカウント値を更新するカウンタである。水平表示開始カウンタ 5 6 は、水平カウンタ 5 5 のカウント値がレジスタ部 5 0 内のあるレジスタ（図示せず）に設定された値に等しくなったときに、カウント値をリセットしてもよい。

10

【 0 0 5 4 】

垂直カウンタ 5 7 は、垂直同期信号 V S Y の立ち下がりでカウント値をリセットし、1 ライン時間ごとにカウント値を更新するカウンタである。垂直カウンタ 5 7 のカウント値は、水平表示開始カウンタ 5 6 のカウント値がレジスタ部 5 0 内のあるレジスタ（図示せず）に設定された値に等しくなったときに更新される。

20

【 0 0 5 5 】

C L D 信号生成回路 6 1 は、外部から供給されたデータクロック D C L K をバッファリングし、データ信号線駆動回路 1 3 に対してサンプリングクロック C L D として出力する。液晶パネル 1 1 の駆動に用いられる制御信号は、すべて、サンプリングクロック C L D の立ち下がりに同期して出力される。S P O I 信号生成回路 6 2 は、水平表示開始カウンタ 5 6 のカウント値が所定値になったときに、ハイレベルのデータ側スタートパルス S P O I を出力する。同様に、L P 信号生成回路 6 3 は、水平表示開始カウンタ 5 6 のカウント値に基づき、ラッチパルス L P を生成する。

【 0 0 5 6 】

30

Z C T R L 信号生成回路 6 4 は、水平表示開始カウンタ 5 6 のカウント値と垂直カウンタ 5 7 のカウント値が所定の条件を満たしているときには、出力制御信号 Z C T R L をハイレベルにし、それ以外ときには出力制御信号 Z C T R L をローレベルにする。同様に、R E V V 信号生成回路 6 5、R E V C 信号生成回路 6 6、C L S 信号生成回路 6 7 および S P S 信号生成回路 6 8 は、水平表示開始カウンタ 5 6 と垂直カウンタ 5 7 のカウント値に基づき、それぞれ、第 1 の極性制御信号 R E V V、第 2 の極性制御信号 R E V C、シフトクロック C L S および走査側スタートパルス S P S を生成する。

【 0 0 5 7 】

ラッチ回路 7 1 は、外部から供給された表示データ I n D a t a をラッチし、データ信号線駆動回路 1 3 に対して表示データ O u t D a t a として出力する。この際、ラッチ回路 7 1 は、表示データ I n D a t a を内部メモリ（図示せず）に一旦蓄積し、所定時間だけ遅延させてから出力してもよい。ラッチ回路 7 1 は、表示データ I n D a t a が有効でない期間では表示データ O u t D a t a を白データや黒データなどに固定する処理（出力マスク処理）を行う。R O M 通信用回路 7 2 は、E E P R O M 2 4 との間でシリアル通信を行うための回路である。

40

【 0 0 5 8 】

なお、タイミング制御回路 2 1 の入出力信号の極性は、図 3 に示した以外でもよい。例えば、水平同期信号 H S Y と垂直同期信号 V S Y がハイアクティブ（ハイレベル時に有効）である場合には、水平カウンタ 5 5 は水平同期信号 H S Y の立ち上がりでカウント値をリセットし、垂直カウンタ 5 7 は垂直同期信号 V S Y の立ち上がりでカウント値をリセッ

50

トする。

【0059】

信号生成回路61～68の中には、レジスタ部50内のレジスタに設定された値に応じて、出力信号が変化するタイミングを切り替える機能を有するものがある。具体的には、ZCTRL信号生成回路64は、ZCTRLタイミング調整用レジスタ51に設定された値に応じて、出力制御信号ZCTRLが変化するタイミングを切り替える。REVC信号生成回路66は、REVCタイミング調整用レジスタ52に設定された値に応じて、第2の極性制御信号REVCが変化するタイミングを切り替える。

【0060】

例えば、REVCタイミング調整用レジスタ52に設定された値が+3のときには、REVC信号生成回路66は、標準的なタイミングよりもサンプリングクロックCLDの3周期分だけ遅いタイミングで第2の極性制御信号REVCを変化させる。また、REVCタイミング調整用レジスタ52に設定された値が-2のときには、REVC信号生成回路66は、標準的なタイミングよりもサンプリングクロックCLDの2周期分だけ早いタイミングで第2の極性制御信号REVCを変化させる。

【0061】

このようにタイミング制御回路21は、外部から値を設定可能なレジスタを含み、レジスタに設定された値に応じて、出力制御信号ZCTRLおよび第2の極性制御信号REVCが変化するタイミングを切り替える。したがて、データ信号線駆動回路13は、共通電極35の電圧が変化するタイミングに合わせてデータ信号線S1～Snをハイインピーダンス状態に設定することができる。

【0062】

図7は、図1に示す液晶表示装置の1ライン時間分のタイミングチャートである。図7に示すように、タイミング制御回路21は、1ライン分の表示データOutDataを出力した後に、ハイレベルのラッチパルスLPを出力する。タイミング制御回路21は、ラッチパルスLPを出力するより前に、第1および第2の極性制御信号REV、REVCを逆のレベルに切り替える。共通電極電圧COMは、第2の極性制御信号REVCが変化してから数μs後に変化する。

【0063】

タイミング制御回路21は、通常時は出力制御信号ZCTRLをローレベルにし、共通電極電圧COMが変化するときを含む所定の期間T2では出力制御信号ZCTRLをハイレベルにする。出力制御信号ZCTRLがハイレベルである間、データ信号線駆動回路13の出力端子SDOUT1～SDOUTnはハイインピーダンス状態になり、データ信号線S1～Snもハイインピーダンス状態になる。

【0064】

共通電極電圧COMが変化するタイミングに合わせて出力制御信号ZCTRLをハイレベルにするためには、ZCTRLタイミング調整用レジスタ51とREVCタイミング調整用レジスタ52に好適な値を設定すればよい。例えば、ZCTRLタイミング調整用レジスタ51には、データ側スタートパルスSPOIの立ち上がりから出力制御信号ZCTRLの立ち上がりまでの期間T1の長さと、出力制御信号ZCTRLがハイレベルである期間T2の長さとが設定される。期間T1、T2の長さを好適に設定することにより、共通電極電圧COMが変化するタイミングに合わせて出力制御信号ZCTRLをハイレベルにすることができる。

【0065】

共通電極を交流駆動する従来の液晶表示装置では、共通電極電圧が変化したときの突き上げや突き下げによってデータ信号線電圧が一時的にデータ信号線駆動回路の耐圧電圧を超え、データ信号線駆動回路が破壊されることがある。例えば、図3のP1～P4付近や図4のQ1～Q4付近では、データ信号線駆動回路が破壊される可能性がある。これに対して、本実施形態に係る液晶表示装置では、共通電極電圧COMが変化するタイミングに合わせてデータ信号線Sjをハイインピーダンス状態に設定することにより、共通電極電

10

20

30

40

50

圧COMが変化したときの突き上げや突き下げによるデータ信号線S1～Snの電圧の変化を防止し、データ信号線駆動回路13の破壊を防止することができる。

【0066】

図8は、従来の液晶表示装置の共通電極とデータ信号線の電圧波形を示す図であり、図9は、本実施形態に係る液晶表示装置の共通電極35とデータ信号線Sjの電圧波形を示す図である。図8と図9では、共通電極とデータ信号線の電圧が変化するタイミングは同じである。以下、データ信号線駆動回路の耐圧電圧の最大値をVmax、最小値をVminとする。

【0067】

従来の液晶表示装置（図8を参照）では、データ信号線の電圧が高い間に共通電極の電圧が上昇すると、データ信号線の電圧は突き上げによって一時的に高くなる。この際、データ信号線の電圧が最大耐圧電圧Vmaxより高くなると、データ信号線駆動回路は破壊される。また、データ信号線の電圧が低い間に共通電極の電圧が下降すると、データ信号線の電圧は突き下げによって一時的に低くなる。この際、データ信号線の電圧が最小耐圧電圧Vminより低くなると、データ信号線駆動回路は破壊される。なお、共通電極の電圧振幅が大きく、データ信号線駆動回路の出力段トランジスタのオン抵抗が高いほど、突き上げや突き下げによるデータ信号線の電圧の変化量は大きくなる。

【0068】

これに対して、本実施形態に係る液晶表示装置（図9を参照）では、共通電極電圧COMが変化するときを含む期間T2では、データ信号線Sjはハイインピーダンス状態に設定される。このため、共通電極電圧COMが変化しても、その影響を受けてデータ信号線Sjの電圧が変化することはない。したがって、共通電極電圧COMが変化したときの突き上げや突き下げによるデータ信号線Sjの電圧の変化を抑え、データ信号線駆動回路13の破壊を効果的に防止することができる。

【0069】

また、データ信号線駆動回路13は、タイミング制御回路21から出力された出力制御信号ZCTLに従い、データ信号線S1～Snをハイインピーダンス状態に設定する。したがって、データ信号線S1～Snをハイインピーダンス状態に設定するタイミングをタイミング制御回路21で調整して、共通電極電圧COMの変化に起因するデータ信号線駆動回路13の破壊を防止することができる。

【0070】

また、共通電極駆動回路23は、タイミング制御回路21から出力された第2の極性制御信号REVCに従い共通電極電圧COMを変化させ、タイミング制御回路21は、第2の極性制御信号REVCが変化するタイミングに応じたタイミングで出力制御信号ZCTLを変化させる。したがって、共通電極電圧COMの変化タイミングに合わせてデータ信号線S1～Sjをハイインピーダンス状態に設定し、共通電極電圧COMの変化に起因するデータ信号線駆動回路13の破壊を防止することができる。

【0071】

また、タイミング制御回路21は、外部から値を設定可能なZCTLタイミング調整用レジスタ51とREVCタイミング調整用レジスタ52を含み、これらのレジスタに設定された値に応じて、第2の極性制御信号REVCと出力制御信号ZCTLが変化するタイミングを切り替える。したがって、共通電極電圧COMの変化タイミングとデータ信号線S1～Snのハイインピーダンス期間を好適に調整し、共通電極電圧COMの変化に起因するデータ信号線駆動回路13の破壊を防止することができる。

【0072】

なお、本実施形態に係る液晶表示装置については、図10に示す変形例を構成することができる。図10は、本発明の実施形態の変形例に係る液晶表示装置の主要部を示す図である。図10に示すデータ信号線駆動回路82は、レジスタ83とZCTL信号生成回路84を含んでいる。タイミング制御回路81は、データ信号線駆動回路82との間でシリアル通信を行い、第2の極性制御信号REVVが変化するタイミングに応じた値をレジ

10

20

30

40

50

スタ 8 3 に設定する。Z C T R L 信号生成回路 8 5 は、レジスタ 8 3 に設定された値に応じたタイミングで出力制御信号 Z C T R L を変化させる。出力制御信号 Z C T R L は、データ信号線 S 1 ~ S n に表示データに応じた電圧を印加するか、データ信号線 S 1 ~ S n をハイインピーダンス状態に設定するかを切り替えるために使用される。

【 0 0 7 3 】

このようにデータ信号線駆動回路 8 2 は、外部から値を設定可能なレジスタ 8 3 を含み、レジスタ 8 3 に設定された値に応じて、データ信号線 S 1 ~ S n をハイインピーダンス状態に設定するタイミングを切り替える。図 1 0 に示す液晶表示装置でも、図 1 に示す液晶表示装置と同様に、データ信号線 S 1 ~ S n をハイインピーダンス状態に設定するタイミングをタイミング制御回路 8 1 で調整し、共通電極電圧 C O M の変化に起因するデータ信号線駆動回路 8 2 の破壊を防止することができる。

10

【 0 0 7 4 】

以上に示すように、本発明の液晶表示装置によれば、共通電極電圧の変化タイミングに合わせてデータ信号線をハイインピーダンス状態に設定することにより、共通電極電圧が変化したときの突き上げや突き下げによるデータ信号線電圧の変化を抑え、データ信号線駆動回路の破壊を効果的に防止することができる。

【 図面の簡単な説明 】

【 0 0 7 5 】

【 図 1 】 本発明の実施形態に係る液晶表示装置の構成を示すブロック図である。

【 図 2 】 図 1 に示す液晶表示装置の液晶パネルの構造を示す図である。

20

【 図 3 】 図 1 に示す液晶表示装置のタイミングチャートである。

【 図 4 】 図 1 に示す液晶表示装置の別のタイミングチャートである。

【 図 5 】 図 1 に示す液晶表示装置のデータ信号線駆動回路の詳細を示すブロック図である。

。

【 図 6 】 図 1 に示す液晶表示装置のタイミング制御回路の詳細を示すブロック図である。

【 図 7 】 図 1 に示す液晶表示装置の 1 ライン時間分のタイミングチャートである。

【 図 8 】 従来の液晶表示装置の共通電極とデータ信号線の電圧波形を示す図である。

【 図 9 】 図 1 に示す液晶表示装置の共通電極とデータ信号線の電圧波形を示す図である。

【 図 1 0 】 本発明の実施形態の変形例に係る液晶表示装置の主要部を示すブロック図である。

30

【 図 1 1 】 液晶パネルとデータ信号線駆動回路の一部を示す図である。

【 図 1 2 】 共通電極とデータ信号線の電圧波形（突き上げなどが発生する場合）を示す図である。

【 符号の説明 】

【 0 0 7 6 】

1 0 ... パネル基板

1 1 ... 液晶パネル

1 2 ... 走査信号線駆動回路

1 3 ... データ信号線駆動回路

1 4 ... フレキシブル回路基板

40

2 1 ... タイミング制御回路

2 2 ... 基準電圧生成回路

2 3 ... 共通電極駆動回路

2 4 ... E E P R O M

2 5 ... コネクタ

3 1、3 2 ... ガラス基板

3 3 ... T F T

3 4 ... 画素電極

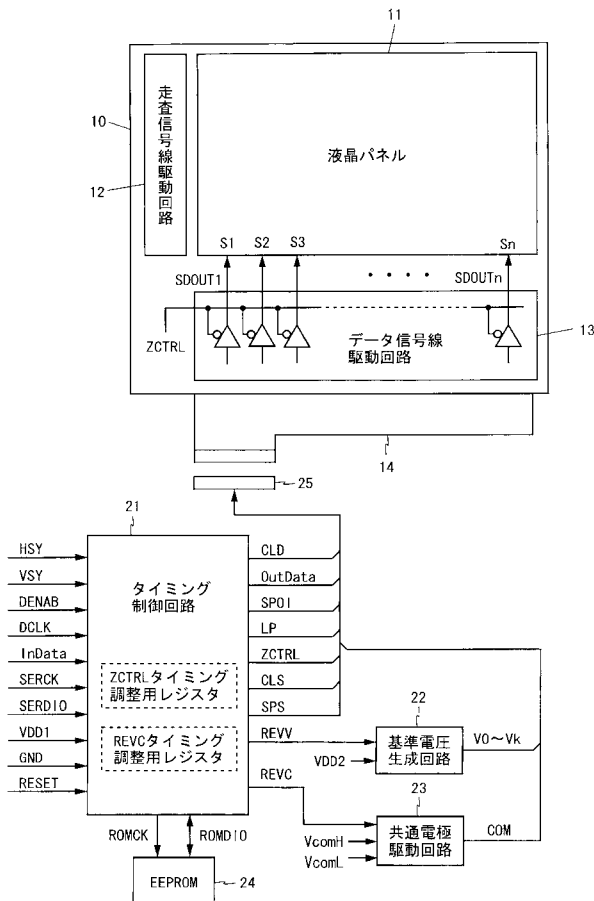
3 5 ... 共通電極

4 9 ... 出力バッファ

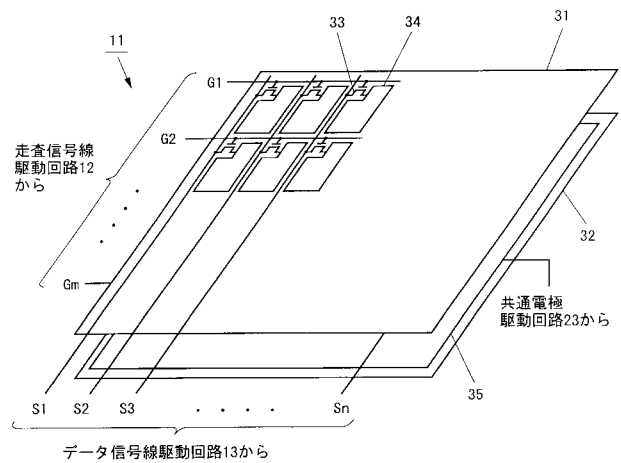
50

- 5 1 ... Z C T R L タイミング調整用レジスタ
 5 2 ... R E V C タイミング調整用レジスタ
 6 4、8 5 ... Z C T R L 信号生成回路
 6 6 ... R E V C 信号生成回路

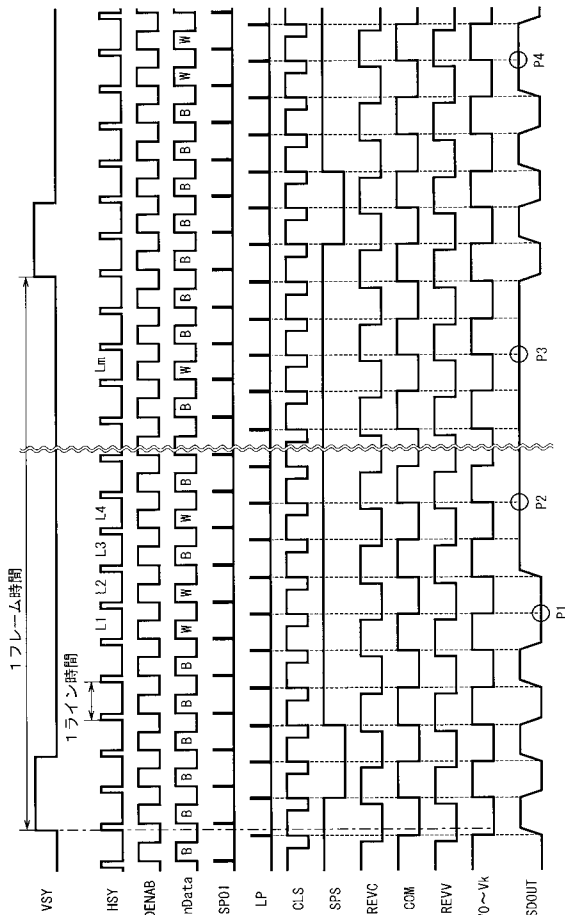
【図 1】



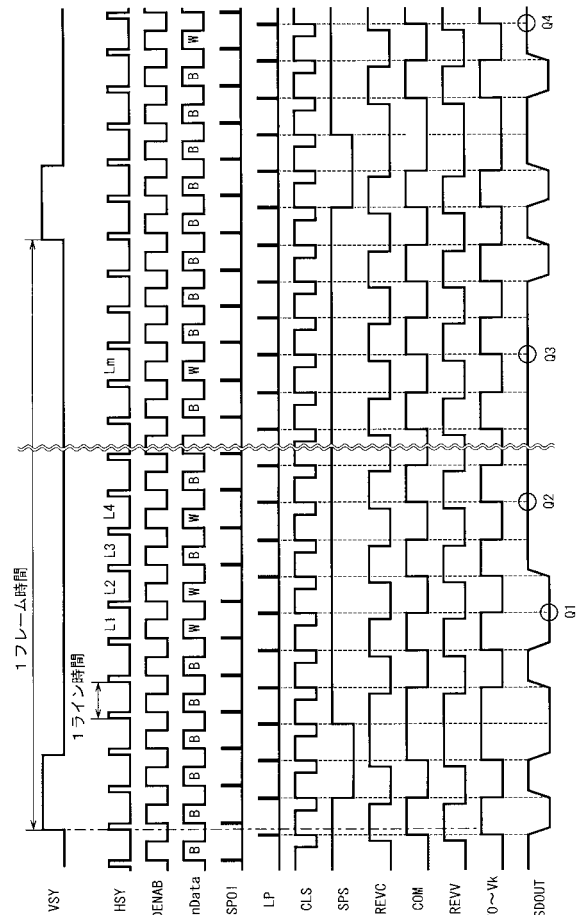
【図 2】



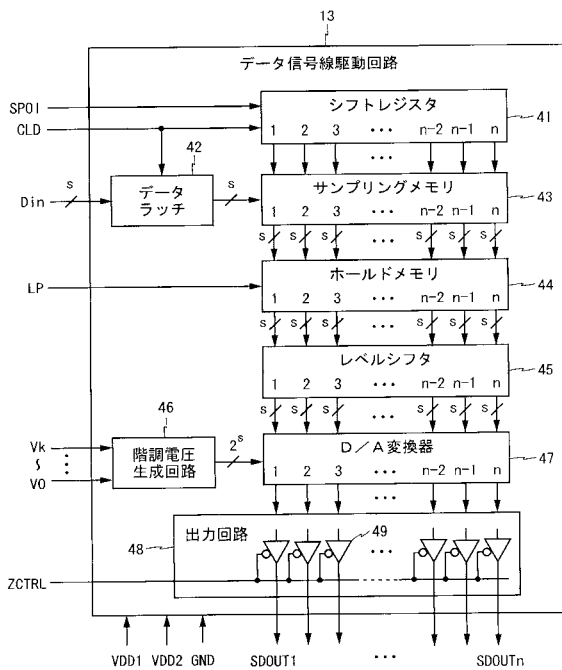
【図 3】



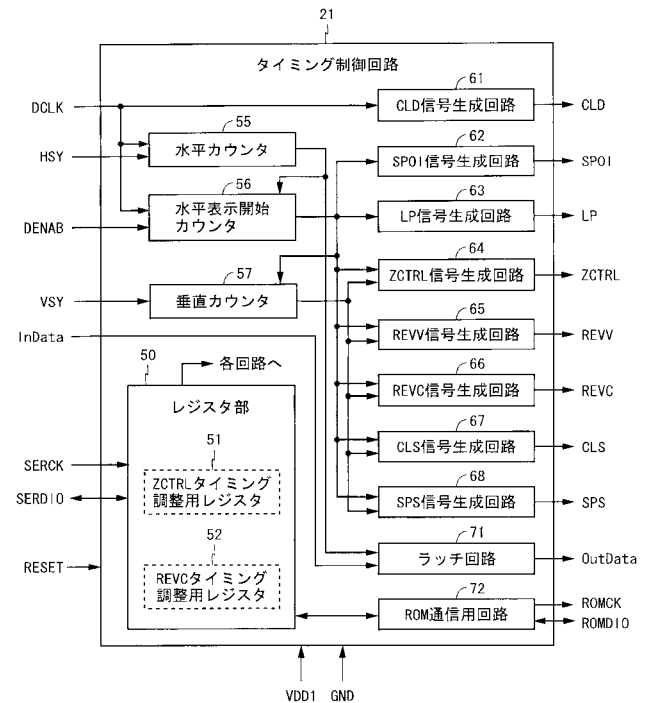
【図 4】



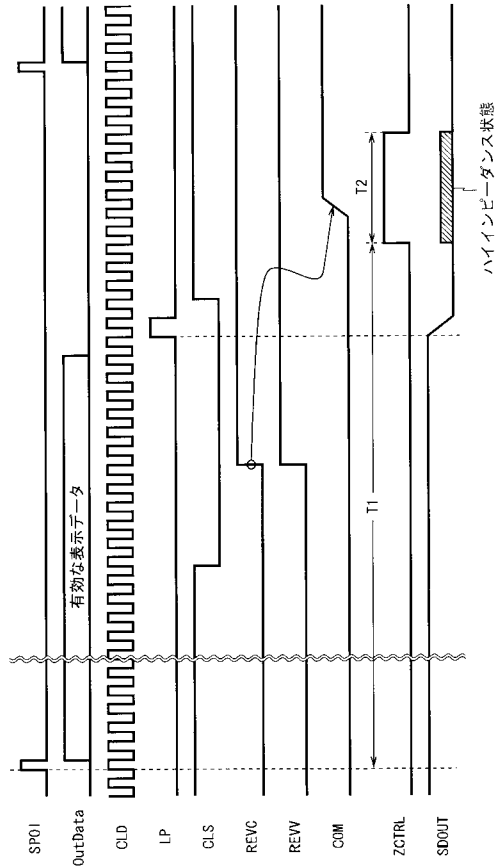
【図 5】



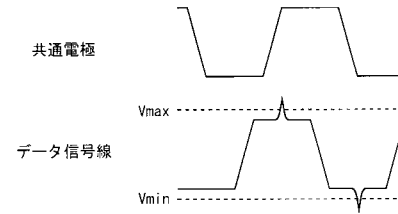
【図 6】



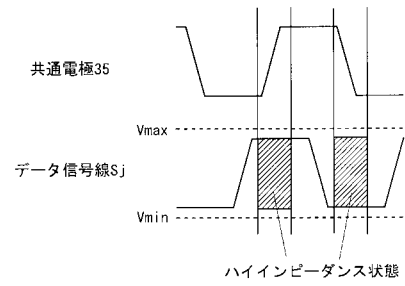
【図 7】



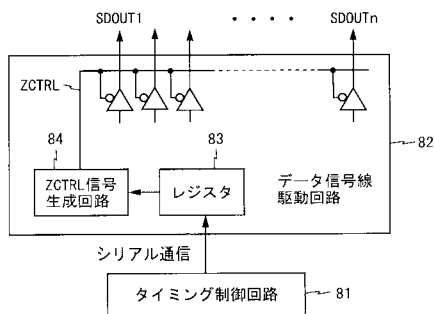
【図 8】



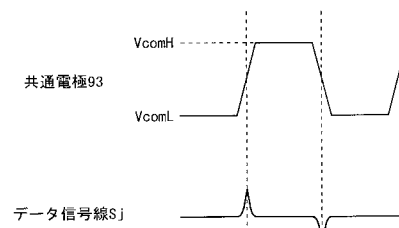
【図 9】



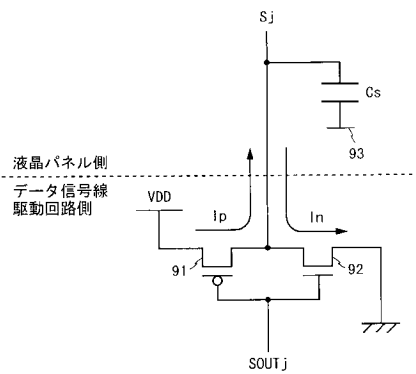
【図 10】



【図 12】



【図 11】



フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 4 D

G 0 9 G 3/20 6 7 0 Z

G 0 2 F 1/133 5 5 0

为了防止由公共电极电压的变化引起的数据信号线驱动电路的破坏。公共电极驱动电路根据极性控制信号REVC改变施加到液晶面板的公共电极的电压。定时控制电路21根据极性控制信号REVC改变的定时改变输出控制信号ZCTRL。数据信号线驱动电路13根据输出控制信号ZCTRL将数据信号线Sj设置为高阻抗状态。根据公共电极电压COM的变化时序将数据信号线Sj设置为高阻抗状态，以便抑制当公共电极电压变化时由于推进和推动引起的数据信号线电压的变化，13防止破坏。点域1

