

(19)日本国特許庁（J P）

(12) **公開特許公報** (A)

(11)特許出願公開番号

特開2001－308342

(P2001－308342A)

(43)公開日 平成13年11月2日(2001.11.2)

(51)Int.Cl ⁷	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			G 0 2 F 1/1368	
		21/336	H 0 1 L 21/316	U
G 0 2 F 1/1368			29/78	627 C
H 0 1 L 21/266			21/265	M
		21/316	29/78	616 L
審査請求 未請求 請求項の数 14 O L (全 8 数)				

(21)出願番号 特願2001－39039(P2001－39039)

(22)出願日 平成13年2月15日(2001.2.15)

(31)優先権主張番号 特願2000－36121(P2000－36121)

(32)優先日 平成12年2月15日(2000.2.15)

(33)優先権主張国 日本(JP)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 生田 茂雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100095555

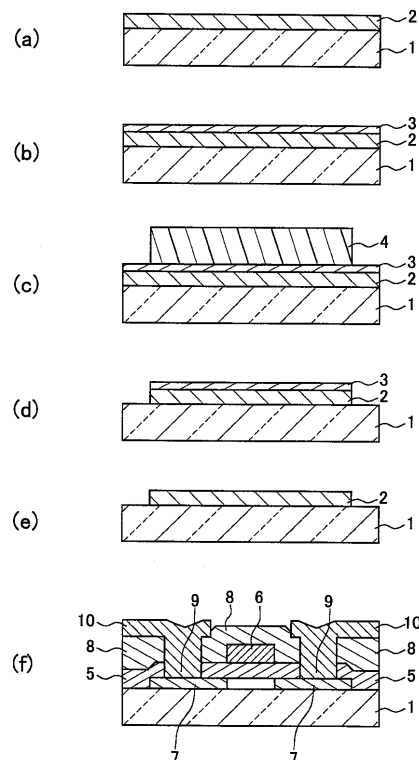
弁理士 池内 寛幸 (外5名)

(54)【発明の名称】 薄膜トランジスタの製造方法および液晶表示装置

(57)【要約】

【課題】 レジスト剥離工程において多結晶シリコン膜が剥離液に晒されてしまうと、この膜を用いて形成する薄膜トランジスタの特性が劣化する。

【解決手段】 多結晶シリコン膜2の表面にオゾン含有水を接触させてこの表面に表面酸化層3を形成し、多結晶シリコン膜2上に、直接または他の膜を介して、所定パターンのマスク4を形成し、このマスク4を用いてエッチングまたは不純物イオンの注入を行い、少なくとも露出した多結晶シリコン膜2の表面に表面酸化層3が形成されている状態でマスク4を除去する。こうして、特性および信頼性に優れた薄膜トランジスタを得る。



【特許請求の範囲】

【請求項1】 基板上に形成された半導体膜の表面にオゾン含有水を接触させて前記表面に表面酸化層を形成する工程と、前記半導体膜上に所定パターンのマスクを形成する工程と、前記マスクを用いてエッチングおよび不純物イオンの注入から選ばれるいずれかの処理を行う工程と、少なくとも露出した前記半導体膜の表面に前記表面酸化層が形成されている状態で前記マスクを除去する工程と、を含むことを特徴とする薄膜トランジスタの製造方法。

【請求項2】 マスクを除去した後に、表面酸化層を除去する工程をさらに含む請求項1に記載の薄膜トランジスタの製造方法。

【請求項3】 表面酸化層を形成する前に、半導体膜の表面層を除去する工程をさらに含む請求項1または2に記載の薄膜トランジスタの製造方法。

【請求項4】 表面酸化層の厚みが0.5nm～5nmである請求項1～3のいずれかに記載の薄膜トランジスタの製造方法。

【請求項5】 パターンマスクがフォトリソグレイである請求項1～4のいずれかに記載の薄膜トランジスタの製造方法。

【請求項6】 フォトリソグレイをアルカリ性の剥離液を用いて除去する請求項5に記載の薄膜トランジスタの製造方法。

【請求項7】 半導体膜が多結晶シリコン膜および非晶質シリコン膜から選ばれる少なくとも一方である請求項1～6のいずれかに記載の薄膜トランジスタの製造方法。

【請求項8】 半導体膜が多結晶シリコン膜である請求項7に記載の薄膜トランジスタの製造方法。

【請求項9】 基板がガラス板である請求項1～8のいずれかに記載の薄膜トランジスタの製造方法。

【請求項10】 マスクを用いて半導体膜をエッチングする請求項1～9のいずれかに記載の薄膜トランジスタの製造方法。

【請求項11】 マスクを用いて半導体膜に不純物イオンを注入する請求項1～9のいずれかに記載の薄膜トランジスタの製造方法。

【請求項12】 半導体膜上に少なくとも1層の絶縁膜を介して所定パターンのマスクを形成し、前記マスクを用いて前記絶縁膜をエッチングする請求項1～9のいずれかに記載の薄膜トランジスタの製造方法。

【請求項13】 絶縁膜をエッチングした後、露出した半導体膜の表面に表面酸化層を形成する請求項12に記載の薄膜トランジスタの製造方法。

【請求項14】 請求項1～13のいずれかに記載の方法を用いて得た薄膜トランジスタを備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタの製造方法および液晶表示素子に関する。

【0002】

【従来の技術】 液晶表示素子に供せられる薄膜トランジスタ(TFT)は、ガラスなどの絶縁基板上に形成されたシリコン膜などから構成されており、液晶表示素子の画素に設けられるスイッチング素子や周辺回路部分に形成されるドライバ素子として用いられる。TFTを構成するシリコン膜としては、非晶質シリコン膜が多く用いられているが、近年ではさらに高い特性を有する多結晶シリコン(以下、単に「ポリシリコン」とも称す)膜が用いられてきており、現在も盛んに開発が行なわれている。

【0003】 以下、薄膜トランジスタの製造方法の一従来例として、トップゲート型のポリシリコンTFTの製造方法を、図6を参照しながらゲート絶縁膜堆積工程まで説明する。

【0004】 まず、基板31上に非晶質シリコン膜を全面に堆積し、これを結晶化させてポリシリコン膜32を得る(図6(a))。次いで、ポリシリコン膜32をトランジスタの半導体層とするために所定の島状パターンに加工する。このパターニングは、通常、以下のように行われる。最初に、ポリシリコン膜32上にフォトリソグレイを塗布し、乾燥させた後に、露光および現像をおこなって所定のレジストパターン34を形成する(図6(b))。次に、レジストパターン34をマスクとしてポリシリコン膜32を部分的にエッチングして除去する(図6(c))。その後、剥離液に浸漬するなどしてレジストパターン34を除去する(図6(d))。こうして得られた所定パターンのポリシリコン膜32を覆うようにゲート絶縁膜としてSiO₂膜35を堆積する(図6(e))。

【0005】 また、ポリシリコンTFTの製造方法において、ポリシリコン膜に直接不純物を注入するプロセスを用いることがある。このプロセスの一従来例を、図7を参照しながら説明する。

【0006】 上述の従来例と同様にして、基板31上に島状にポリシリコン膜32を形成する(図7(a))。このポリシリコン膜の所定の領域にのみ選択的にリン(P)などの不純物注入をおこなう。まず、ポリシリコン膜32の上にフォトリソグレイを塗布乾燥した後に、露光および現像をおこなって、不純物を注入しない領域(チャンネルとなる領域)上にレジストパターン34を形成する(図7(b))。次に、レジストパターン34をマスクとして、ポリシリコン膜32中に、例えばPイオンなどの不純物イオン38を注入し、不純物注入領域(ソース、ドレインとなる領域)37を形成する(図7(c))。その後、剥離液に浸漬するなどしてレジストパターン34を除去する(図7(d))。こうして得ら

れた不純物を注入したポリシリコン膜32を覆うようにゲート絶縁膜としてSiO₂膜35を堆積する(図7(e))。

【0007】

【発明が解決しようとする課題】上記の図6、図7に示す方法でポリシリコンTFTを作製すると、レジスト剥離工程においてポリシリコンが剥離液に晒されてしまうため、ポリシリコンの表面が、化学的に変質したり、剥離液中のアルカリ成分によってわずかにエッチングされたりする。また、ポリシリコンの表面に剥離液やレジストの成分が残留したまま次工程に進んでしまうこともある。これらの結果、オン電流の不足、しきい値電圧の変動といったTFT特性の劣化を引き起こすという問題が生じていた。特に液晶表示装置に用いる薄膜トランジスタの場合は、大型基板の全領域においてTFTの上記劣化を抑制して製品の信頼性を確保することが望まれている。

【0008】そこで、本発明は、特性および信頼性に優れた薄膜トランジスタを実現するための製造方法を提供することを目的とし、また、この方法を用いた液晶表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の薄膜トランジスタの製造方法は、基板上に形成された半導体膜の表面にオゾン含有水を接触させて前記表面に表面酸化層を形成する工程と、前記半導体膜上に、直接または他の膜を介して、所定パターンのマスクを形成する工程と、前記マスクを用いてエッチングおよび不純物イオンの注入から選ばれるいずれかの処理を行う工程と、少なくとも露出した前記半導体膜の表面に前記表面酸化層が形成されている状態で前記マスクを除去する工程と、を含むことを特徴とする。

【0010】本発明の製造方法によれば、表面酸化層の存在により、半導体膜が剥離液に直接晒されることがない。よって、半導体膜の変質や浸食を抑制できる。また、マスクや剥離液の成分が半導体膜に残留することも抑制できる。さらに、本発明の製造方法では、オゾン含有水を用いているため、半導体膜の表面を速やかにかつ均一に酸化できる。したがって、オゾン含有水を用いる本発明の製造方法は、大型基板を用いる液晶表示装置の製造に特に適している。

【0011】上記製造方法では、表面酸化層をそのまま残留させてもよいが、マスクを除去した後に、表面酸化層を除去する工程をさらに含むことが好ましい。表面酸化層に上記成分などの汚染物が残留したとしても、この汚染物を表面酸化層とともに除去できるからである。

【0012】上記製造方法では、表面酸化層を形成する前に、半導体膜の表面層を除去する工程をさらに実施してもよい。予め、汚染物を除去しておけば、半導体膜の表面をさらに清浄に保つことができる。

【0013】表面酸化層の厚みは0.5nm~5nm、特に1nm~5nmが好適である。この厚みが薄すぎると、表面保護の効果が十分に得られにくくなる。一方、表面酸化層の膜厚が厚すぎると、半導体膜の表面を保護する効果は変わりなく得られるものの、表面酸化層を除去する工程において、ガラス面など他の露出面がエッチングされて支障をきたすことがある。

【0014】パターンマスクとしては、フォトリソグが多用される。この場合、フォトリソグの除去には、アルカリ性の剥離液を用いればよい。

【0015】半導体膜としては、通常、ポリシリコン膜および非晶質シリコン膜から選ばれる少なくとも一方が用いられる。しかし、本発明は、特にポリシリコン膜に適用すると大きな効果が得られる。ポリシリコン膜は、非晶質シリコン膜よりも、電気的特性には優れているが表面汚染の影響を受けやすいからである。

【0016】本発明の適用が好ましい代表的な工程は、マスクを用いた半導体膜の処理(エッチング、不純物イオンの注入)である。しかし、本発明は、これに限らず、半導体膜の表面が露出した状態でマスクを除去する必要がある工程であれば、同様に適用できる。例えば、半導体膜上に少なくとも1層の絶縁膜を介して所定パターンのマスクを形成し、このマスクを用いて絶縁膜をエッチングする工程では、絶縁膜のエッチングにより半導体膜の表面が露出する。したがって、この工程においても、エッチング後に行うマスク除去の際には、少なくとも露出した半導体層の表面に、オゾン含有水との接触により表面酸化層を形成しておくといよい。

【0017】このように、本発明の製造方法では、半導体膜上に直接マスクを形成してもよいが、これに限ることなく、半導体膜とマスクとの間に、1または2以上の層を介在させてもよい。また、表面酸化層は、マスクの除去までに形成すればよく、実施形態によっては、必ずしもマスクよりも前に形成する必要はない。

【0018】本発明で開示する液晶表示装置は、本発明の製造方法を用いて作製した薄膜トランジスタを備えたことを特徴とする。この液晶表示装置は、通常、ガラス基板上に配置した薄膜トランジスタアレイを備えており、本発明の製造方法により得た薄膜トランジスタの優れた特性と信頼性を反映したものとなる。

【0019】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を詳細に説明する。

(第1の実施形態)

[シリコン薄膜のエッチング加工] 第1の実施形態として、ポリシリコンTFTの製造工程におけるポリシリコン膜のエッチング工程に本発明を適用した例を説明する。

【0020】まず、ガラス基板1上にポリシリコン膜2を以下のようにして形成する(図1(a))。図示は省

略するが、ガラス基板（例えば、コーニング社製品#1737）上には、不純物の拡散を防ぐために、必要に応じて SiO_2 膜を被着してもよい。このガラス基板1上に、例えば減圧CVD法により膜厚30～150nmの非晶質シリコン膜を形成し、次いで例えばXeClエキシマレーザを用いたレーザアニールにより非晶質シリコンを結晶化してポリシリコン膜2を得る。

【0021】次に、ポリシリコン膜2の表面を酸化させて、厚みが1～5nm程度の表面酸化層3を形成する

（図1（b））。表面酸化層の形成には、オゾン溶解させた水（オゾン水）を用いる。オゾン水を用いれば、ポリシリコン膜2に損傷を与えることなく、基板全面にわたって厚さの均一性に優れた表面酸化層3を形成できる。しかも、オゾン水による酸化は、低コストで実施できる。また、オゾン水は、洗浄作用も有するため、洗浄工程を兼ねて、基板表面の微粒子などの汚れを除去することもできる。オゾン水は、例えば、基板を回転させながらポリシリコン膜の表面に滴下させるとよい。

【0022】オゾン水におけるオゾン濃度は5mg/L以上が好ましい。オゾン濃度が低すぎると表面酸化層の厚さが不足することがある。オゾン濃度の上限は、特に制限されない。しかし、オゾン濃度が高すぎると、装置の耐久性を確保するために特殊な素材やコーティングを用いる必要が生じるため、オゾン濃度は、25mg/L以下が好適である。オゾン濃度が5～25mg/Lの場合の処理時間は、数秒程度でもよいが、例えば10秒～3分の処理を行うと十分な厚さの酸化層を得ることができる。

【0023】なお、表面酸化層の形成に先立って、ポリシリコン膜の表面を、希フッ酸やバッファードフッ酸などに接触させ、同膜の表面層を除去しておいてもよい。ポリシリコン膜表面の清浄度をさらに高めることができるからである。

【0024】次に、フォトリソグラフィとエッチングとによりTFETが形成される領域にのみポリシリコン膜2を残すための工程を実施する。フォトリソグラフィ工程では、はじめにフォトレジストをスピンコートなどの方法で塗布し、露光・現像によって所定のレジストパターン4を得る（図1（c））。レジストパターンとしては、例えばポジ型フォトレジスト（東京応化工業（株）製品：OFPR-800など）を用い、膜厚は例えば2μm程度、プリベーク温度は例えば90℃程度とすればよい。露光後の現像には、例えば有機アルカリ現像液（東京応化工業（株）製品：NMD-Wなど）を用いることができる。

【0025】エッチング工程では、ポリシリコン膜2のエッチングをおこない、レジストパターン4に覆われた領域にのみポリシリコン膜2を残す。エッチング手段としては、例えばCF₄などのガスによるドライエッチング（RIE、ICP、CDE（Chemical Dry Etching）な

ど）が用いられればよい。引き続き、レジストパターン4を剥離する（図1（d））。この剥離は、例えば80℃に加温した剥離液（東京応化工業（株）製品：104剥離液など）を用いて行うことができる。具体的には、剥離液に基板ごと晒した後、イソプロパノールおよび水で洗浄し、さらに乾燥させるとよい。

【0026】次に、希フッ酸などに晒して表面酸化層3をエッチングして除去する（図1（e））。希フッ酸による処理中にガラス基板1から希フッ酸に溶出した不純物がポリシリコン表面に残留することを避けるため、希フッ酸は、基板を回転させながら滴下することが好ましい。こうすると、常に基板には清浄な希フッ酸が供給され、酸化層が溶け込んだ古い希フッ酸は振り切られる。希フッ酸におけるフッ酸濃度は0.2～1%程度が好適であり、処理時間は10～120秒程度とすればよい。

【0027】酸化層除去後、速やかにゲート絶縁膜5を全面に堆積する。ゲート絶縁膜としては、例えばテトラエトキシシラン（TEOS）を原料ガスとして、プラズマCVD法により SiO_2 膜を例えば100nmの厚みで全面に堆積すればよい。その後、例えばTaからなるゲート電極6を例えば400nmの厚みで形成する。そして、このゲート電極6をマスクとしてリンをイオンドーピングすることにより、ポリシリコン膜2に不純物注入領域（ソース、ドレイン領域）7を形成する。さらに、層間絶縁膜8として、例えばTEOSを原料ガスとしてプラズマCVD法により SiO_2 膜を全面に堆積し、さらにコンタクトホール9を形成し、ソース電極およびドレイン電極10として例えばアルミニウムをスパッタ法で堆積する。最後に、これら電極を、フォトリソグラフィ、エッチングによりパターンニングすることにより、ポリシリコンTFETが完成する（図1（f））。

【0028】（第2の実施形態）

〔シリコン薄膜への不純物イオンのドーピング〕第2の実施形態として、ポリシリコンTFETの製造工程におけるポリシリコン膜への不純物イオンのドーピング工程に本発明を適用した例を説明する。

【0029】まず、ガラス基板1上にTFETを形成する領域にのみポリシリコン膜2を島状に形成する（図2（a））。このパターンニングには、従来（図6（a）～図6（e））を適用してもよいが、図1（a）～図1（e）を参照して第1の実施形態で説明した方法を適用することが好ましい。

【0030】次に、オゾン水を用い、ポリシリコン膜2の表面を酸化して、厚みが1～5nm程度の表面酸化層3を形成する（図2（b））。この酸化は、上記で説明した条件により行えばよい。

【0031】さらに、フォトリソグラフィとイオンドーピングによりポリシリコン膜2に選択的に不純物注入領域7を形成する工程を行う（図2（c））。フォトリ

ソグラフィ工程では、ポリシリコン膜2における不純物を注入しない領域にレジストパターン4を形成する。そして、引き続き行うイオンドーピング工程で、レジストパターン4をマスクとして、例えば水素希釈ホスフィン(PH₃)のプラズマを用いた加速電圧20kV、ドーズ量 $8 \times 10^{14} / \text{cm}^2$ のイオンドーピングを行うことにより、ポリシリコン膜2に選択的にイオン12を注入して不純物注入領域(ソース領域およびドレイン領域)7を形成する。

【0032】なお、従来行われてきたように、ポリシリコン膜32に直接不純物イオンを注入すると(図7(c))、ポリシリコンの結晶性が低下する場合もある。これに対し、本実施形態では表面酸化層3を介してポリシリコン膜にイオンを注入しているため、ポリシリコンの結晶性低下を緩和することもできる。

【0033】引き続き、レジストパターン4を剥離し(図2(d))、さらに表面酸化層3を除去する(図2(e))。レジストパターンおよび表面酸化層3の除去は、第1の実施形態で説明した方法により行うとよい。

【0034】その後、ゲート絶縁膜5として、例えばSiO₂膜を100nmの厚みで全面に堆積し、ゲート電極6として、例えばTaを400nmの厚みで、レジストパターン4よりも細い幅となるように形成する。そして、このゲート電極6をマスクとして、例えば水素希釈ホスフィン(PH₃)のプラズマを用い、加速電圧70kV、ドーズ量 $2 \times 10^{13} / \text{cm}^2$ の条件で、イオンドーピングすることにより、ポリシリコン膜2に低不純物領域11(Lightly Doped Drain: LDD領域)を形成する。注入されたイオンのより確実な活性化を図るため、400℃以上でのアニールやRTA(Rapid Thermal Anneal)による局所的な加熱をさらに行ってもよい。引き続き、層間絶縁膜8として、SiO₂膜を全面に堆積し、次にコンタクトホール9を形成し、さらに、例えばアルミニウムからなるソース電極およびドレイン電極10を設けて、ポリシリコンTFTが完成する(図2(f))。

【0035】第1および第2の実施形態を適用して得たTFTのドレイン電流のゲート電圧依存性(I_d-V_g特性)を測定した。結果を図5に示す。比較のために、イオン注入の際に、ポリシリコン膜に表面酸化層を形成しない点を除いては同じプロセスで製造したTFTの特性を示す。本発明を適用して得たTFTは、On電流が高く、立ちあがり急峻で良好なトランジスタ特性を示していることがわかる。なお、ポリシリコン膜のパターニングの際に表面酸化層を形成しない点を除いて上記実施形態と同じプロセスで製造した別の比較例についても、図示した比較例とほぼ同様の特性となった。

【0036】(第3の実施形態)

[絶縁膜のエッチング加工] 第3の実施形態として、ポリシリコンTFTの製造工程におけるエッチングストッ

パ層のエッチング工程に本発明を適用した例を説明する。

【0037】まず、基板1上に、非晶質シリコン膜2、エッチングストッパとするための絶縁膜15、レジストパターン4をこの順に堆積する(図3(a))。非晶質シリコン膜22は、第1の実施形態と同様にして形成すればよく、同実施形態で説明したように、レーザアニールなどにより結晶化してもよいが、ここでは、非晶質の状態で使用することとした。絶縁膜15としては、例えば、減圧CVD法により形成したシリコン窒化膜、シリコン酸化膜、シリコン酸窒化膜などを用いればよく、膜厚は50~200nm程度とすればよい。レジストパターン4の形成についても、第1の実施形態と同様、フォトリソを用いて形成すればよい。

【0038】次に、所定のパターンに形成したレジストパターン4をマスクとして絶縁膜15をエッチングする(図3(b))。このエッチングは、例えば、バッファードフッ酸を用いて行うとよい。

【0039】さらに、非晶質シリコン膜22の表面にオゾン水を接触させて表面酸化層3を形成する(図3(c))。表面酸化層3の形成は、第1の実施形態と同様に行えばよい。

【0040】本実施形態では、エッチングの後に表面酸化層3を形成することとしている。第1および第2の実施形態では、半導体膜(ポリシリコン膜)上に直接レジストパターンを形成することとした。このため、レジストパターンの除去後にレジスト除去領域から半導体膜の表面が露出しないように、レジストパターンを形成する前に表面酸化層を形成した。これに対し、本実施形態では、レジストパターンを形成する領域には、予め絶縁膜15が介在している。したがって、レジストパターンを形成した後に(レジストパターンが形成されていない領域にのみ)表面酸化層を形成してもよい。むしろ、絶縁膜15のエッチング除去の際に表面酸化層3が同時に除去されないためには、上記で説明したように、絶縁膜15のエッチングの後に、露出した半導体膜の表面に表面酸化層3を形成することが好ましい。

【0041】引き続き、レジストパターンを剥離し(図3(d))、表面酸化層3をエッチング除去する(図3(e))。これらの工程も、第1の実施形態と同様に行えばよい。

【0042】こうして非晶質シリコン膜22上に形成した絶縁膜15は、例えば、図4に示したようなTFTを製造する工程において、ソース、ドレイン両電極10を分離するためのエッチングを行う際のエッチングストッパ層として利用される。なお、図4に示したTFTでは、非晶質シリコン膜22とガラス板20との間に、予め、ゲート電極6およびゲート絶縁膜8を形成しているが、図3ではこれら下部構造の詳細の図示を省略し、基板1としてまとめて表示している。図4の図番16は表

面保護膜、図番 23 は n^+ シリコン膜である。

【0043】第 1 および第 2 の実施形態では、半導体層の表面に表面酸化層を形成してからこの表面酸化層上にレジストパターンを形成し、このレジストパターンをマスクとして半導体層のエッチングまたはイオン注入を実施し、さらにレジストパターンを剥離液で除去した。これらの実施形態では、表面酸化層が、剥離液から半導体膜の表面を保護する。一方、第 3 の実施形態では、半導体層の表面に絶縁膜を形成してからこの絶縁膜上にレジストパターンを形成し、このレジストパターンをマスクとして絶縁膜のエッチングを実施し、さらにエッチングにより露出した半導体膜の表面に表面酸化層を形成した後、レジストパターンを剥離液で除去した。この実施形態では、表面酸化層およびパターニングされた絶縁膜が、剥離液から半導体膜の表面を保護する。

【0044】

【発明の効果】以上説明したように、本発明によれば、TFT 製造工程におけるシリコン膜表面のダメージを軽減できる。これにより、特性と信頼性に優れた薄膜トランジスタ、ひいては液晶表示装置を提供できる。

【0045】また、オゾン含有水を用いることにより、洗浄工程を省略することもできる。洗浄工程の省略は、希フッ酸などの酸を含む廃液の削減につながる。さらに、オゾン含有水を用いた酸化工程は、例えば自然酸化により酸化膜を形成する工程と比較すれば極めて短時間で実施できるため（20 時間程度の酸化時間が 1 分程度に短縮できる）、製造効率の向上、保管場所の削減なども可能となる。保管場所の削減（特に大型液晶パネルの保管場所の削減）は、工場の建設費の削減につながり、建設資材や建設に要するエネルギーを節約することにもなる。このように、本発明は、廃液の削減、工場建設に伴う環境への影響の低減などを実現する、環境にやさし*

*い製造方法を提供するものでもある。

【図面の簡単な説明】

【図 1】 本発明の製造方法の一形態を示す工程図である。

【図 2】 本発明の製造方法の別の形態を示す工程図である。

【図 3】 本発明の製造方法のまた別の形態を示す工程図である。

【図 4】 図 3 に示した実施形態を適用して製造した TFT の一例を示す断面図である。

【図 5】 本発明の一形態を適用して得た TFT および従来の TFT におけるドレイン電流のゲート電圧依存性を示す図である。

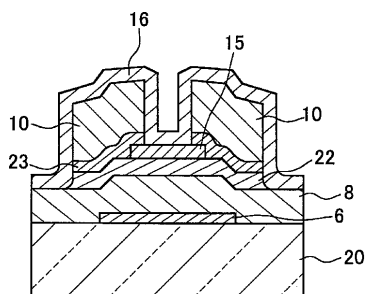
【図 6】 従来の TFT 製造工程の一例を示す工程図である。

【図 7】 従来の TFT 製造工程の別の一例を示す工程図である。

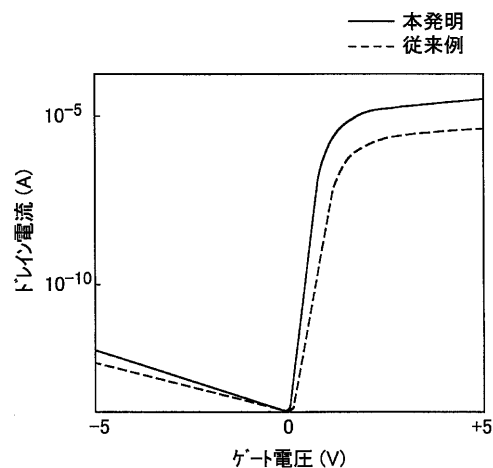
【符号の説明】

- 1 ガラス基板
- 2 ポリシリコン膜
- 3 表面酸化層
- 4 レジストパターン
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 不純物注入領域
- 8 層間絶縁膜
- 9 コンタクトホール
- 10 ソース（ドレイン）電極
- 11 低不純物領域
- 12 （注入する）イオン
- 15 絶縁膜

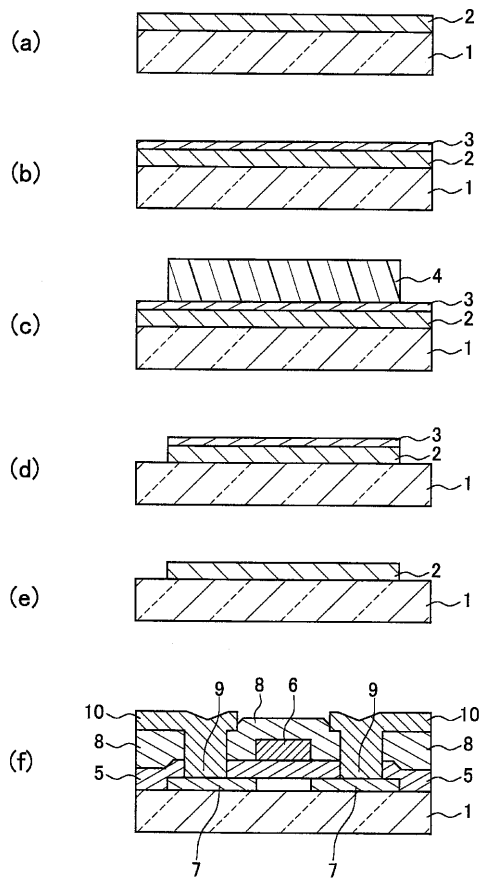
【図 4】



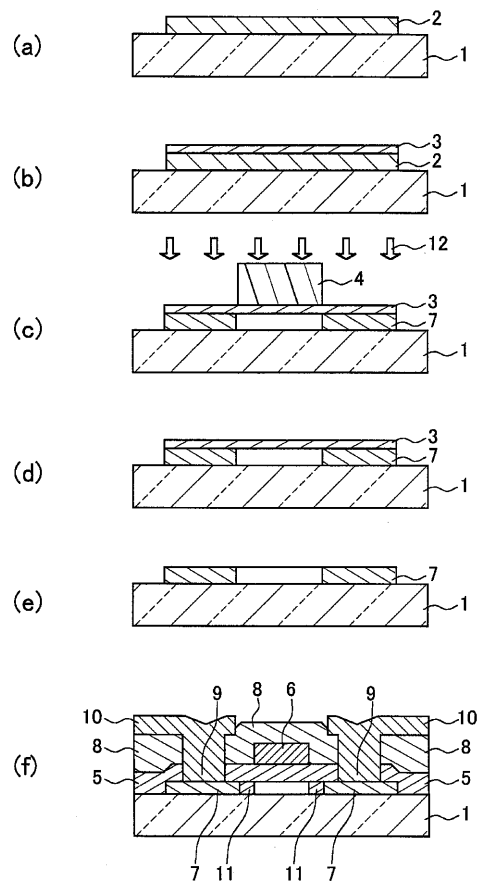
【図 5】



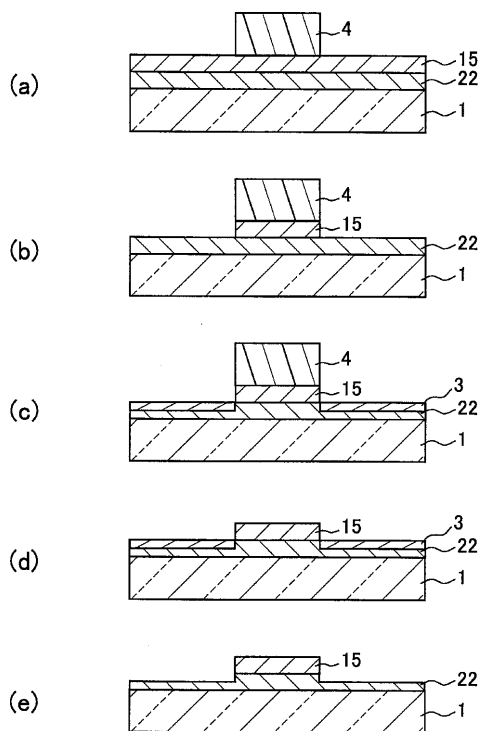
【図 1】



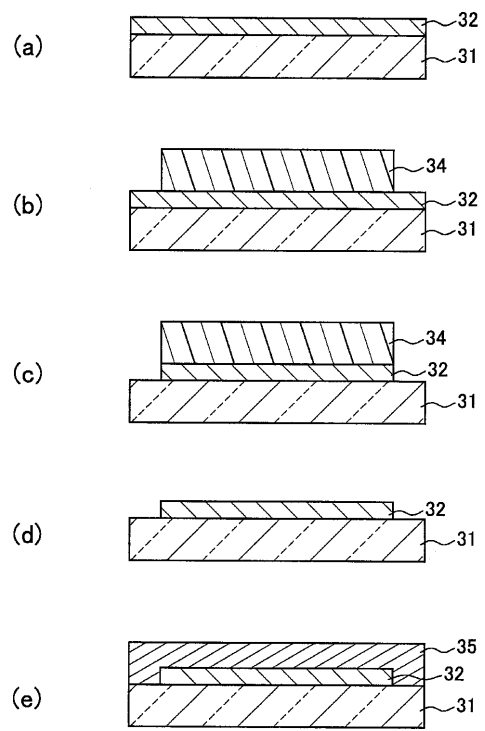
【図 2】



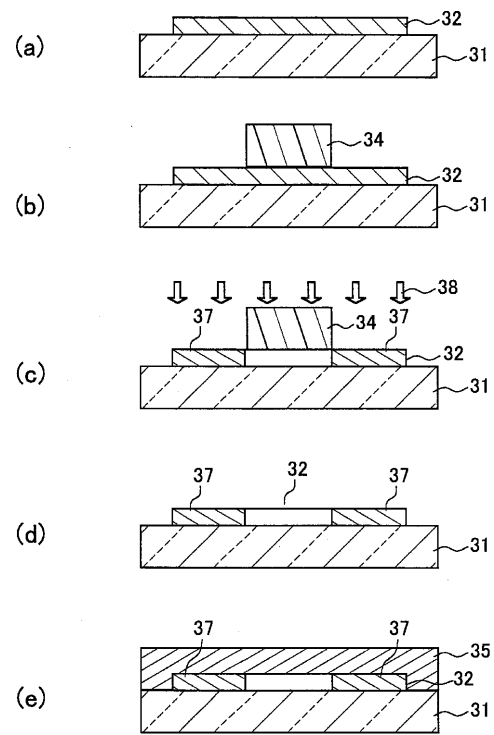
【図 3】



【図 6】



【図7】



专利名称(译)	制造薄膜晶体管的方法和液晶显示装置		
公开(公告)号	JP2001308342A	公开(公告)日	2001-11-02
申请号	JP2001039039	申请日	2001-02-15
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	生田茂雄		
发明人	生田 茂雄		
IPC分类号	G02F1/1368 H01L21/266 H01L21/316 H01L21/336 H01L29/786		
FI分类号	G02F1/1368 H01L21/316.U H01L29/78.627.C H01L21/265.M H01L29/78.616.L		
F-TERM分类号	2H092/JA25 2H092/JA26 2H092/MA15 2H092/MA23 2H092/MA37 2H092/NA13 2H092/NA17 2H092/NA27 2H192/AA24 2H192/CB02 2H192/CB71 2H192/HA53 2H192/HA84 5F058/BB04 5F058/BC02 5F058/BF69 5F058/BJ01 5F110/AA16 5F110/AA26 5F110/BB02 5F110/CC02 5F110/CC07 5F110/DD02 5F110/DD11 5F110/DD13 5F110/EE04 5F110/FF02 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG58 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HK09 5F110/HL03 5F110/HL23 5F110/HM15 5F110/NN23 5F110/NN35 5F110/PP03 5F110/QQ01 5F110/QQ30		
优先权	2000036121 2000-02-15 JP		
外部链接	Espacenet		

摘要(译)

如果在抗蚀剂剥离步骤中将多晶硅膜暴露于剥离溶液，则使用该膜形成的薄膜晶体管的特性劣化。 解决方案：多晶硅膜2的表面与含臭氧的水接触，以在表面上形成表面氧化物层3，并在多晶硅膜2上直接或通过另一膜形成预定的图案。 形成掩模4，并使用该掩模4进行杂质离子的蚀刻或注入，并且去除掩模4，至少在多晶硅膜2的暴露表面上形成表面氧化物层3。 因此，获得了具有优异的特性和可靠性的薄膜晶体管。

