

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-26532  
(P2008-26532A)

(43) 公開日 平成20年2月7日(2008.2.7)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 550	5C006
<b>G09G 3/20 (2006.01)</b>	G02F 1/133 580	5C080
	G09G 3/20 621F	
	G09G 3/20 623D	
審査請求 未請求 請求項の数 9 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2006-197953 (P2006-197953)  
(22) 出願日 平成18年7月20日 (2006.7.20)

(71) 出願人 502356528  
株式会社 日立ディスプレイズ  
千葉県茂原市早野3300番地  
(74) 代理人 100075959  
弁理士 小林 保  
(72) 発明者 今林 真紀子  
千葉県茂原市早野3300番地 株式会社  
日立ディスプレイズ内  
(72) 発明者 伊東 理  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内  
(72) 発明者 志村 正人  
千葉県茂原市早野3300番地 株式会社  
日立ディスプレイズ内

最終頁に続く

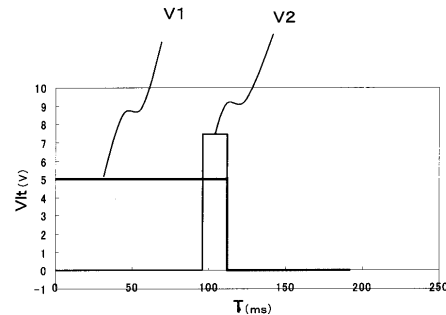
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】 画素に電界を印加せしめてたとえば白表示をした後に、電界の印加を解除してたとえば黒表示をする際に、その応答速度の向上を図った液晶表示装置の提供。

【解決手段】 第1画素電極に映像信号に対応する電位V1を印加することにより、基準電極との間に電界を発生させて液晶に第1の挙動を行わせ、第2画素電極に所定の電位V2を印加することにより、液晶に前記第1の挙動に対し元に戻させる方向に挙動させる第2の挙動を行わせる。第2画素電極への前記所定の電位V2の印加開始タイミングは、第1画素電極に印加された電位V1の印加終了タイミングよりも前に設定され、第2画素電極への所定の電位V2の印加終了タイミングは、第1画素電極に印加された電位V1の印加終了タイミングとほぼ同じに設定する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

第 1 の基板と、第 2 の基板と、前記第 1 の基板と第 2 の基板との間に配置された液晶とを有する液晶表示装置であって、

前記第 1 の基板は、画素領域に、基準電極と、第 1 画素電極と、第 2 画素電極とを備え

、前記基準電極は、基準電位が印加される電極であり、

前記第 1 画素電極は、前記第 1 画素電極に映像信号に対応する電位を印加することにより、前記基準電極との間に電界を発生させて前記液晶に第 1 の挙動を行わせる電極であり

、前記第 2 画素電極は、前記第 2 画素電極に所定の電位を印加することにより、前記液晶に前記第 1 の挙動に対し元に戻させる方向に挙動させる第 2 の挙動を行わせる電極であり

、前記第 2 画素電極に印加される前記所定の電位は、前記基準電位と前記所定の電位との間の電位差の絶対値が、前記基準電位と前記第 1 画素電極に印加された電位との間の電位差の絶対値よりも大きく設定され、

前記第 2 画素電極への前記所定の電位の印加開始タイミングは、前記第 1 画素電極に印加された電位の印加終了タイミングよりも前に設定され、

前記第 2 画素電極への前記所定の電位の印加終了タイミングは、前記第 1 画素電極に印加された電位の印加終了タイミングとほぼ同じに設定されていることを特徴とする液晶表示装置。

**【請求項 2】**

前記第 2 画素電極に印加される前記所定の電位は、前記基準電位と前記所定の電位との間の電位差の絶対値が、前記基準電位と前記第 1 画素電極に印加された電位との間の電位差の絶対値に対して、約 1.5 倍の大きさになっていることを特徴とする請求項 1 に記載の液晶表示装置。

**【請求項 3】**

平面的に観た場合、前記第 1 画素電極の長手方向と前記第 2 画素電極の長手方向との間の開き角度が 80°以上 100°以下の範囲になるように配置されていることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

**【請求項 4】**

前記第 1 画素電極の前記長手方向と前記第 2 画素電極の前記長手方向とが直交して配置されていることを特徴とする請求項 3 に記載の液晶表示装置。

**【請求項 5】**

前記第 1 の基板、第 1 の絶縁膜、前記基準電極、第 2 の絶縁膜、前記第 1 画素電極および前記第 2 画素電極のうち一方の電極、第 3 の絶縁膜、前記第 1 画素電極および前記第 2 画素電極のうち他方の電極の順に配置されており、

前記第 1 画素電極および前記第 2 画素電極は、線状部分を有する電極であり、

前記基準電極は、面状の電極であり、

前記基準電極は、前記第 1 画素電極および前記第 2 画素電極と重畳していることを特徴とする請求項 1 から 4 の何れかに記載の液晶表示装置。

**【請求項 6】**

前記第 1 画素電極は、第 1 ゲート信号線からのゲート信号によってオンされる第 1 スイッチング素子を介して第 1 ドレイン信号線から前記映像信号に対応する前記電位が供給され、

前記第 2 画素電極は、第 2 ゲート信号線からのゲート信号によってオンされる第 2 スイッチング素子を介して第 2 ドレイン信号線から前記所定の電位が供給されることを特徴とする請求項 1 から 5 の何れかに記載の液晶表示装置。

**【請求項 7】**

前記第 2 ドレイン信号線から第 1 の画素の前記第 2 画素電極への前記第 2 スイッチング

10

20

30

40

50

素子を介しての前記所定の電位の供給は、

前記第 1 の画素よりも少なくとも一つ手前に走査される第 2 の画素の前記第 1 スイッチング素子をオンさせる前記第 1 ゲート信号線への前記ゲート信号の供給に同期させて、

前記第 1 の画素の前記第 2 スイッチング素子をオンさせる前記第 2 ゲート信号線への前記ゲート信号の供給によってなされることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記第 1 画素電極は、第 1 ゲート信号線からのゲート信号によってオンされる第 1 スイッチング素子を介してドレイン信号線から前記映像信号に対応する前記電位が供給され、

前記第 2 画素電極は、第 2 ゲート信号線からのゲート信号によってオンされる第 2 スイッチング素子を介して前記第 1 画素電極と共通の前記ドレイン信号線から前記所定の電位が供給されることを特徴とする請求項 1 から 5 の何れかに記載の液晶表示装置。

10

【請求項 9】

前記ドレイン信号線から第 1 の画素の前記第 2 画素電極への前記第 2 スイッチング素子を介しての前記所定の電位の供給は、

前記第 1 の画素よりも一つ手前に走査される第 2 の画素の前記第 1 スイッチング素子をオンさせる前記第 1 ゲート信号線への前記ゲート信号の供給の後に、

前記第 1 の画素の前記第 2 スイッチング素子をオンさせる前記第 2 ゲート信号線への前記ゲート信号の供給によってなされることを特徴とする請求項 8 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は液晶表示装置に係り、特に、横電界方式の液晶表示装置に関する。

【背景技術】

【0002】

この種の液晶表示装置としては、たとえば、液晶を介在して配置される一对の基板のうち一方の基板の液晶側の面の画素領域に、少なくともそのほぼ全域にわたって形成される面状の電極（共通電極、基準電極、対向電極）と、共通電極よりも液晶側に絶縁膜を介して配置され、共通電極に重畳して形成される線状部分を有するたとえば櫛歯状の電極（画素電極）を備えたものが知られている。

【0003】

30

この場合、共通電極に対し電位差を有するように前記画素電極に電位を印加させることにより横電界が発生し、この電界によって液晶の分子を挙動させ、たとえば白表示させるようになっている。

【0004】

そして、その後、画素電極に印加する電位を前記共通電極に対する電位差をほぼ 0 とすることにより前記電界を消失させ、液晶の分子の挙動を元に戻させ黒表示させるようになっている。

【0005】

なお、上記の電極構造とは異なるが、横電界によって画素の駆動を行う液晶表示装置にあって、その画素の液晶に対して少なくとも 2 方向に電界を印加することによって、白表示、黒表示を示す液晶分子の配向状態を制御する技術が、たとえば下記特許文献 1 に開示されている。

40

【特許文献 1】特開平 7 - 134301 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、画素内に共通電極および画素電極を備え、これら電極に印加する電位で横電界によって画素の駆動を行う液晶表示装置は、それをたとえば -20 の極低温の環境下で用いた場合に、たとえば白表示から黒表示の切り替わりにおいて応答時間の遅れが大きく認識されるに至っており、その解決策が要望されている。

50

## 【 0 0 0 7 】

そこで、このような課題の解決策として、本発明者等は、上記特許文献1に記載された技術の適用を考察した。該特許文献1は、横電界による液晶の分子の挙動は、白表示させる場合においては、液晶に印加される電界強度、液晶の粘度、セルギャップ（液晶の層厚）に依存するので、電界強度を強くすれば応答速度を上げられるが、黒表示させる場合において、電界はかかっていないため、液晶の粘度、セルギャップにしか依存しないので、応答速度を上げるのは困難であることに鑑み、画素電極によって発生せしめる電界とは異なる方向の電界を別個に生じせしめ、この電界によって強制的に液晶の分子の挙動を制御せしめ黒表示時の応答速度を上げるようになっている。

## 【 0 0 0 8 】

しかし、該特許文献1は、画素電極によって発生する電界に対し該電界と異なる他の電界の発生タイミング等は開示されておらず、したがって、上記課題の解決にはさらなる考察を必要とするものであった。また、特許文献1とは異なる画素構造を有する場合に適用するためには、さらなる考察が必要である。

## 【 0 0 0 9 】

本発明は、画素に電界を印加せしめてたとえば白表示をした後に、該電界の印加を解除してたとえば黒表示をする際に、その応答速度の向上を図った液晶表示装置を提供することにある。

## 【課題を解決するための手段】

## 【 0 0 1 0 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

## 【 0 0 1 1 】

(1) 本発明による液晶表示装置は、たとえば、第1の基板と、第2の基板と、前記第1の基板と第2の基板との間に配置された液晶とを有する液晶表示装置であって、

前記第1の基板は、画素領域に、基準電極と、第1画素電極と、第2画素電極とを備え

、  
前記基準電極は、基準電位が印加される電極であり、

前記第1画素電極は、前記第1画素電極に映像信号に対応する電位を印加することにより、前記基準電極との間に電界を発生させて前記液晶に第1の挙動を行わせる電極であり

、  
前記第2画素電極は、前記第2画素電極に所定の電位を印加することにより、前記液晶に前記第1の挙動に対し元に戻させる方向に挙動させる第2の挙動を行わせる電極であり

、  
前記第2画素電極に印加される前記所定の電位は、前記基準電位と前記所定の電位との間の電位差の絶対値が、前記基準電位と前記第1画素電極に印加された電位との間の電位差の絶対値よりも大きく設定され、

前記第2画素電極への前記所定の電位の印加開始タイミングは、前記第1画素電極に印加された電位の印加終了タイミングよりも前に設定され、

前記第2画素電極への前記所定の電位の印加終了タイミングは、前記第1画素電極に印加された電位の印加終了タイミングとほぼ同じに設定されていることを特徴とする。

## 【 0 0 1 2 】

(2) 本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記第2画素電極に印加される前記所定の電位は、前記基準電位と前記所定の電位との間の電位差の絶対値が、前記基準電位と前記第1画素電極に印加された電位との間の電位差の絶対値に対して、約1.5倍の大きさになっていることを特徴とする。

## 【 0 0 1 3 】

(3) 本発明による液晶表示装置は、たとえば、(1)または(2)の構成を前提とし、平面的に観た場合、前記第1画素電極の長手方向と前記第2画素電極の長手方向との間の開き角度が80°以上100°以下の範囲になるように配置されていることを特徴とする

10

20

30

40

50

。

【0014】

(4) 本発明による液晶表示装置は、たとえば、(3)の構成を前提とし、前記第1画素電極の前記長手方向と前記第2画素電極の前記長手方向とが直交して配置されていることを特徴とする。

【0015】

(5) 本発明による液晶標示装置は、たとえば、(1)から(4)の何れかの構成を前提とし、前記第1の基板、第1の絶縁膜、前記基準電極、第2の絶縁膜、前記第1画素電極および前記第2画素電極のうちの一方向の電極、第3の絶縁膜、前記第1画素電極および前記第2画素電極のうち他方の電極の順に配置されており、

10

前記第1画素電極および前記第2画素電極は、線状部分を有する電極であり、

前記基準電極は、面状の電極であり、

前記基準電極は、前記第1画素電極および前記第2画素電極と重畳していることを特徴とする。

【0016】

(6) 本発明による液晶表示装置は、たとえば、(1)から(5)の何れかの構成を前提とし、前記第1画素電極は、第1ゲート信号線からのゲート信号によってオンされる第1スイッチング素子を介して第1ドレイン信号線から前記映像信号に対応する前記電位が供給され、

20

前記第2画素電極は、第2ゲート信号線からのゲート信号によってオンされる第2スイッチング素子を介して第2ドレイン信号線から前記所定の電位が供給されることを特徴とする。

【0017】

(7) 本発明による液晶表示装置は、たとえば、(6)の構成を前提とし、前記第2ドレイン信号線から第1の画素の前記第2画素電極への前記第2スイッチング素子を介しての前記所定の電位の供給は、

前記第1の画素よりも少なくとも一つ手前に走査される第2の画素の前記第1スイッチング素子をオンさせる前記第1ゲート信号線への前記ゲート信号の供給に同期させて、

前記第1の画素の前記第2スイッチング素子をオンさせる前記第2ゲート信号線への前記ゲート信号の供給によってなされることを特徴とする。

30

【0018】

(8) 本発明による液晶表示装置は、たとえば、(1)から(5)の何れかの構成を前提とし、前記第1画素電極は、第1ゲート信号線からのゲート信号によってオンされる第1スイッチング素子を介してドレイン信号線から前記映像信号に対応する前記電位が供給され、

前記第2画素電極は、第2ゲート信号線からのゲート信号によってオンされる第2スイッチング素子を介して前記第1画素電極と共通の前記ドレイン信号線から前記所定の電位が供給されることを特徴とする。

【0019】

(9) 本発明による液晶表示装置は、たとえば、(8)の構成を前提とし、前記ドレイン信号線から第1の画素の前記第2画素電極への前記第2スイッチング素子を介しての前記所定の電位の供給は、

40

前記第1の画素よりも一つ手前に走査される第2の画素の前記第1スイッチング素子をオンさせる前記第1ゲート信号線への前記ゲート信号の供給の後に、

前記第1の画素の前記第2スイッチング素子をオンさせる前記第2ゲート信号線への前記ゲート信号の供給によってなされることを特徴とする。

【0020】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【発明の効果】

50

## 【0021】

このように構成した液晶表示装置は、画素に電界を印加せしめてたとえば白表示をした後に、該電界の印加を解除してたとえば黒表示をする際に、その応答速度の向上を図ることができる。

## 【発明を実施するための最良の形態】

## 【0022】

以下、本発明による液晶表示装置の実施例について図面を用いて説明をする。

## 【0023】

図2は本発明による液晶表示装置の一実施例を示す図で、該液晶表示装置の互いに隣接するたとえば $2 \times 2$ 個の画素における等価回路を示している。また、図2は、実際の液晶表示装置の平面的に観た画素の構成と幾何学的に対応づけて描画している。

10

## 【0024】

図2において、まず、図中 $x$ 方向に延在し $y$ 方向に並設される第1ゲート信号線 $GL1$ と、この第1ゲート信号線 $GL1$ と絶縁されて $y$ 方向に延在し $x$ 方向に並設された第1ドレイン信号線 $DL1$ とが形成されている。

## 【0025】

また、各第1ゲート信号線 $GL1$ と絶縁され平面的に観て該第1ゲート信号線 $GL1$ とほぼ同位置に第2ゲート信号線 $GL2$ が、また各第1ドレイン信号線 $DL1$ と絶縁され平面的に観て該第1ドレイン信号線 $DL1$ とほぼ同位置に第2ドレイン信号線 $DL2$ が形成されている。また、第2ゲート信号線 $GL2$ は第2ドレイン信号線 $DL2$ と絶縁されて形成されている。

20

## 【0026】

そして、これら第1ゲート信号線 $GL1$ （あるいは第2ゲート信号線 $GL2$ ）と第1ドレイン信号線 $DL1$ （あるいは第2ドレイン信号線 $DL2$ ）とで囲まれた比較的広い領域がそれぞれ画素領域として構成され、これら画素領域においてそれぞれ一の画素が形成されるようになっている。

## 【0027】

これら各画素は、絶縁膜を介してそれぞれ層状に配置された共通電極 $CT$ 、第1画素電極 $PX1$ 、および第2画素電極 $PX2$ を有して構成されている。

## 【0028】

前記共通電極 $CT$ は、同図では図示されていないが、各画素または各行において共通（同じ電圧が印加される）となっており、たとえば該画素の画素領域のほぼ全域にわたって形成された面状をなす電極として形成されている。また、この共通電極 $CT$ は前記第1画素電極 $PX1$ および第2画素電極 $PX2$ に印加される電位に対し基準となる電位（たとえば $0V$ ）が印加されることから基準電極と称される場合がある。

30

## 【0029】

第1画素電極 $PX1$ は、前記共通電極 $CT$ と絶縁されて形成され、たとえば図中 $y$ 方向に延在され $x$ 方向に並設される複数の各電極をたとえば図中下側の端部で共通に接続させた櫛歯状の電極として形成されている。よって、線状部分を有する電極となっている。

## 【0030】

この第1画素電極 $PX1$ は前記共通電極 $CT$ の上方（共通電極 $CT$ に対して液晶側）に重畳されて形成されている。

40

## 【0031】

この第1画素電極 $PX1$ は、当該画素領域の一角に配置されて形成されている第1薄膜トランジスタ（第1スイッチング素子） $TFT1$ が前記第1ゲート信号線 $GL1$ からの第1ゲート信号によってオンされた場合に、第1ドレイン信号線 $DL1$ から該第1薄膜トランジスタ $TFT1$ を介して映像信号（画素信号）（映像信号に対応した電位）が供給されるようになっている。

## 【0032】

映像信号が供給された該第1画素電極 $PX1$ は前記共通電極 $CT$ との間に電界を発生さ

50

せ、この電界によって液晶の分子を駆動させ、当該画素領域においてそれまでたとえば黒表示されていた状態を切り換えて白表示するようになっている。この場合、液晶の該分子の挙動は、液晶の粘度あるいはセルギャップ（液晶の層厚）によっても影響するが、電界の強度によって大きく依存することになる。

【0033】

前記第2画素電極PX2は、前記共通電極CTおよび第1画素電極PX1とそれぞれ絶縁されて形成され、図中x方向に延在されy方向に並設される複数の各電極をたとえば図中左側の端部で共通に接続させた櫛歯状の電極として形成されている。よって、線状部分を有する電極となっている。

【0034】

この第2画素電極PX2も前記共通電極CTの上方（共通電極CTに対して液晶側）に重畳されて形成され、かつ、その各電極の走行方向（長手方向）は第1画素電極PX2の各電極の走行方向（長手方向）に対して直交するようになっている。

【0035】

この第2画素電極PX2は、当該画素領域の一角に配置されている第2薄膜トランジスタ（第2スイッチング素子）TF2が前記第2ゲート信号線GL2からの第2ゲート信号によってオンされた場合に、第2ドレイン信号線DL2から該第2薄膜トランジスタTF2を介して後の説明で明らかとなる立ち下がり信号が供給されるようになっている。

【0036】

この立ち下がり信号が供給された該第2画素電極PX2は前記共通電極CTとの間に電界を発生させ、この電界によって、これまでにおける液晶分子の挙動を元に戻させる方向に作用し、それまで前記第1画素電極PX1によって白表示されていた当該画素を黒表示に切り換える際に、その切り換え応答を速める機能を有するようになっている。したがって、仮に前記第2画素電極PX2が存在せず該第2画素電極PX2による電界を生じさせない場合には、画素の白表示から黒表示への液晶の分子の挙動は液晶の粘度あるいはセルギャップに依存し、その応答速度は遅いものとなる。

【0037】

なお、図2において、各画素において容量素子は描画されていないが、ある画素において、第1ゲート信号線GL1の駆動（第1ゲート信号の入力）によってオンされる第1薄膜トランジスタTF1を介して第1画素電極PX1に印加される電位は、その後の各行における第1ゲート信号線GL1の順次走査によって再び当該画素の第1ゲート信号線が駆動されるまで保持されるに十分な容量（寄生容量であってもよい）が備えられたものとなっている。本実施例では共通電極CTと第1画素電極PX1が重畳することによって十分な保持容量を得ることが可能となっている。

【0038】

また、上述した実施例では、第1画素電極PX1の各電極と第2画素電極PX2の各電極は互いに直交されて配置され、それらの開き角度は90°としたものである。しかし、これに限定されることはなく、第1画素電極の各電極と第2画素電極の各電極との開き角度はたとえば80°以上100°以下であってもよい。共通電極CTと第1画素電極PX1との間に生じる電界の方向と共通電極CTと第2画素電極PX2との間に生じる電界の方向とを上述した範囲で異ならしめることにより、前記第1画素電極に印加する電位（映像信号）による液晶分子の挙動に対し、前記第2画素電極に印加する電位（立ち下がり信号）によって該液晶分子を元に戻させる方向に挙動させることができるからである。

図3は本発明による液晶表示装置の一実施例を示す断面図で、液晶を介して対向配置される各基板のうち該液晶側の面において図2に示した信号線および電極等が形成された基板側の断面図を示している。

【0039】

まず、絶縁基板1があり、その液晶側の面において、第1ゲート信号線GL1および第2ゲート信号線GL2が形成されている。第1ゲート信号線GL1および第2ゲート信号線GL2はそれぞれ平行に若干離間されて形成されている。そして第1ゲート信号線GL

10

20

30

40

50

1の一部あるいは延在部において第1薄膜トランジスタTFT1の第1ゲート電極GT1を構成し、第2ゲート信号線GL2の一部あるいは延在部において第2薄膜トランジスタTFT2の第2ゲート電極GT2を構成するようになっている。

【0040】

そして、前記絶縁基板1の上には前記第1ゲート信号線GL1および第2ゲート信号線GL2をも被ってゲート絶縁膜GIが形成されている。

【0041】

前記ゲート絶縁膜GIの上には、前記第1ゲート電極GT1の上面をたとえば跨ぐようにして第1半導体層AS1が形成され、この第1半導体層AS1の上面に第1ドレイン電極DT1および第1ソース電極ST1がそれらの離間部を前記第1ゲート電極GT1と重畳するようにして形成されることによって前記第1薄膜トランジスタTFT1が形成されるようになっている。

10

【0042】

ここで、前記第1ドレイン電極DT1は図示しない第1ドレイン信号線DL1と一体となって形成されている。また、第1ソース電極ST1は後述する第1画素電極PX1と接続されるようになっており、その接続部は前記第1半導体層AS1の形成されていない絶縁基板1上の領域にまで延在される端部において比較的面積の広い第1パッド部PD1として形成されている。

【0043】

なお、第1薄膜トランジスタTFT1において第1ドレイン電極DT1および第1ソース電極ST1の名称は第1薄膜トランジスタTFT1のバイアス状態によって相互に入れ替えられるものであるが、この明細書では、便宜的に第1ドレイン信号線DL1と接続される側の電極を第1ドレイン電極DT1と称し第1画素電極PX1と接続される側の電極を第1ソース電極ST1と称する。このことは、後述の第2薄膜トランジスタTFT2においても同様である。

20

【0044】

また、前記ゲート絶縁膜GIの上には、前記第2ゲート電極GT2の上面をたとえば跨ぐようにして第2半導体層AS2が形成され、この第2半導体層AS2の上面に第2ドレイン電極DT2および第2ソース電極ST2がそれらの離間部を前記第2ゲート電極GT2と重畳するようにして形成されることによって前記第2薄膜トランジスタTFT2が形成されるようになっている。

30

【0045】

ここで、前記第2ドレイン電極DT2は図示しない第2ドレイン信号線DL2と一体となって形成されている。また、第2ソース電極ST2は後述する第2画素電極PX2と接続されるようになっており、その接続部は前記第2半導体層AS2の形成されていない絶縁基板1上の領域にまで延在される端部において比較的面積の広い第2パッド部PD2として形成されている。

【0046】

このようにして第1薄膜トランジスタTFT1および第2薄膜トランジスタTFT2が形成された絶縁基板1の表面には、これら第1薄膜トランジスタTFT1および第2薄膜トランジスタTFT2をも被って、第1絶縁膜2、第2絶縁膜3が順次形成されている。該第1絶縁膜2はたとえば前記第1薄膜トランジスタTFT1および第2薄膜トランジスタTFT2を液晶との直接の接触を回避する保護膜として機能し、第2絶縁膜3はたとえばいわゆる平坦化膜として機能するようになっている。

40

【0047】

第2絶縁膜3の上面の各画素領域には共通電極CTが形成され、この共通電極CTはたとえば該画素領域のほぼ全域にわたって形成された面状をなす電極として形成され、かつ隣接する他の画素領域の共通電極CTと電氣的に接続されて形成されている。この共通電極CTには、後述の第1画素電極PX1および第2画素電極PX2のそれぞれに印加する電圧に対して基準となる電圧(基準電圧)が印加されるようになっている。

50

## 【 0 0 4 8 】

この共通電極 C T が形成された絶縁基板 1 の表面には、これら共通電極 C T をも被って第 3 絶縁膜 4 が形成され、この第 3 絶縁膜 4 の上面には第 2 画素電極 P X 2 が形成されている。

## 【 0 0 4 9 】

この第 2 画素電極 P X 2 は、図 3 では明らかでないが、図中左側から右側にかけて延在する電極が紙面表から裏にかけて並設されるとともに、たとえば図中左側の端部において共通に接続された櫛歯状の電極として形成されている。

## 【 0 0 5 0 】

そして、この第 2 画素電極 P X 2 は、その一部において、第 3 絶縁膜 4、第 2 絶縁膜 3、および第 1 絶縁膜 2 を貫通して形成された第 2 スルーホール T H 2 を介して、第 2 薄膜トランジスタ T F T 2 の第 2 ソース電極 S T 2 の第 2 パッド部 P D 2 に接続されている。

10

## 【 0 0 5 1 】

これにより、第 2 画素電極 P X 2 には、第 2 ゲート信号線 G L 2 からの第 2 ゲート信号の入力によってオンする第 2 薄膜トランジスタ T F T 2 を介して、第 2 ドレイン信号線 D L 2 からの前記立ち下がり信号が印加されるようになっている。

## 【 0 0 5 2 】

この第 2 画素電極 P X 2 が形成された絶縁基板 1 の表面には、これら第 2 画素電極 P X 2 をも被って第 4 絶縁膜 5 が形成され、この第 4 絶縁膜 5 の上面には第 1 画素電極 P X 1 が形成されている。

20

## 【 0 0 5 3 】

この第 1 画素電極 P X 1 は、紙面表から紙面裏にかけて延在する電極が図中左側から右側にかけて並設されるとともに、たとえば紙面表側の端部において共通に接続された櫛歯状の電極として形成されている。

## 【 0 0 5 4 】

そして、この第 1 画素電極 P X 1 は、その一部において、第 4 絶縁膜 5、第 3 絶縁膜 4、第 2 絶縁膜 3、および第 1 絶縁膜 2 を貫通して形成された第 1 スルーホール T H 1 を介して、第 1 薄膜トランジスタ T F T 1 の第 1 ソース電極 S T 1 の第 1 パッド部 P D 1 に接続されている。

## 【 0 0 5 5 】

これにより、第 1 画素電極 P X 1 には、第 1 ゲート信号線 G L 1 からの第 1 ゲート信号の入力によってオンする第 1 薄膜トランジスタ T F T 1 を介して、第 1 ドレイン信号線 D L 1 からの前記映像信号が印加されるようになっている。

30

## 【 0 0 5 6 】

なお、上述のように形成された共通電極 C T、第 2 画素電極 P X 2、および第 1 画素電極 P X 1 の液晶側から見た図（平面図）を図 9（a）に示している。第 1 画素電極 P X 1 の各電極に対し、第 2 画素電極 P X 2 の各電極は直交する配置関係にあることがわかる。

## 【 0 0 5 7 】

また、図 3 に示していないが、第 1 画素電極 P X 1 が形成された絶縁基板 1 の表面には該第 1 画素電極 P X 1 をも被って配向膜が形成され、この配向膜はこれに接触して配置される液晶の分子の配向を行うようになっている。

40

## 【 0 0 5 8 】

なお、図 3 に示した断面図において、第 1 画素電極 P X 1 を第 2 画素電極 P X 2 よりも液晶側に近接して配置させている。液晶の挙動を映像信号によって即応し易くしているためである。しかし、これに限定されることはなく、第 2 画素電極 P X 2 を第 1 画素電極 P X 1 よりも液晶側に近接して配置させてもよい。

## 【 0 0 5 9 】

図 1 は、図 2 に示す各画素において、第 1 ゲート信号線 G L 1 からの第 1 ゲート信号によってオンされた薄膜トランジスタ T F T 1 を介して第 1 ドレイン信号線 D L 1 からの映像信号が第 1 画素電極 P X 1 へ印加され、その時点から電位 V 1 が保持されてたとえば白

50

表示されているまでを示し、黒表示に切り換えられる手前の時点で、第2ゲート信号線GL2からの第2ゲート信号によってオンされた薄膜トランジスタTFT2を介して第2ドレイン信号線DL2からの立ち下がり信号が電位V2として第2画素電極PX2へ印加されていることを示している。そして、図1において、横軸は時刻T(ms)を示し、縦軸は電位(Vlt)を示している。また、共通電極CTに印加される電位はたとえば0Vとしている。

【0060】

このような電圧印加の経過を図4を用いてさらに詳述する。たとえばi行目に配置されたある画素を考慮した場合、該画素はi行目に配置される第1ゲート信号線GL1に第1ゲート信号が供給され、それによってオンされる薄膜トランジスタTFT1を介して第1ドレイン信号線DL1からの映像信号(V1)が当該画素の第1画素電極PX1に印加される。図4(a)はi行目の前記第1ゲート信号を示したものである。なお、前記第1ゲート信号線GL1への第1ゲート信号線の供給は、それに合わせて第1ドレイン信号線DL1からの映像信号を受け入れる画素行を選択する機能を有することから、この明細書において、画素行選択と称する場合がある。

10

【0061】

次に、第1ゲート信号は、図4(b)に示すように、(i+1)行目に配置された第1ゲート信号線GL1に供給され、(i+1)行目に配置された各画素において上述したように映像信号が供給されるようになっている。この時点ではi行目に配置された前記画素には映像信号の供給はなくなるが、当該画素に備えられる容量(容量素子)によって該映像信号の電圧V1は保持され白表示されたままとなる。

20

【0062】

このようにして、第1ゲート信号は、最下行目の第1ゲート信号線GL1および最上行目の第1ゲート信号線GL1への順次供給を経た後、(i-1)行目に配置された第1ゲート信号線GL1に供給されるようになる。図4(c)は(i-1)行目に配置された第1ゲート信号線GL1に供給される第1ゲート信号を示している。

【0063】

ここで、たとえば(i-1)行目に配置された第1ゲート信号線GL1に供給される第1ゲート信号の供給のタイミングに合わせて、i行目に配置された第2ゲート信号線GL2に第2ゲート信号を供給してオンされた第2薄膜トランジスタTFT2を介して当該画素に隣接する第2ドレイン信号線DL2から前記立ち下がり信号(電圧V2)を第2画素電極PX2に供給する。この立ち下がり信号は、図4(e)に示すように当該画素においていままで白表示された状態から黒表示に切り換えられる手前において供給される。このことから、所定画素の立ち下がり信号の供給は、換言すれば、前記第2ドレイン信号線DL2から第1の画素の前記第2画素電極PX2への前記第2薄膜トランジスタTFT2を介しての前記所定の電位の供給は、前記第1の画素よりも少なくとも一つ手前に走査される第2の画素の前記第1薄膜トランジスタTFT1をオンさせる前記第1ゲート信号線GL1への前記ゲート信号の供給に同期させて、前記第1の画素の前記第2薄膜トランジスタTFT2をオンさせる前記第2ゲート信号線GL2への前記ゲート信号の供給によってなされるようになっている。そして、この立ち下がり信号は、第1画素電極PX1に印加されている電圧V1による液晶分子の挙動に対し、第2画素電極PX2に電圧V2を印加させ、該液晶分子を元に戻させる方向に挙動させるように作用させる。

30

40

【0064】

そして、前記第1ゲート信号がi行目に配置されている第1ゲート信号線GL1に供給される際は、第1薄膜トランジスタTFT1を介して第1ドレイン信号線DL1から黒表示の映像信号(0V)を第1画素電極PX1へ供給するとともに、第2ゲート信号線GL2に第2ゲート信号を供給し、第2薄膜トランジスタTFT2を介して第2ドレイン信号線DL2から第2画素電極PX2へいままで電圧V2であった前記立ち下がり信号を終了するために0Vを供給する。

【0065】

50

なお、上記の説明では、立ち下がり信号の印加を (  $i - 1$  ) 行目の第 1 ゲート信号線  $G L 1$  における第 1 ゲート信号の供給のタイミングに合わせて行ったものである。しかし、該立ち上がり信号のパルス幅を大きくしたい場合に、たとえば (  $i - 3$  )、(  $i - 2$  )、(  $i - 1$  ) 行目の各第 1 ゲート信号線  $G L 1$  における第 1 ゲート信号線のそれぞれの供給のタイミングに合わせて立ち下がり信号を供給するようにしてもよい。

【 0 0 6 6 】

図 1 において、その横軸には時刻  $T ( m s )$  を、縦軸には電位  $V 1 t ( V )$  を示している。なお、第 1 画素電極  $P X 1$  に印加される電位は図中  $V 1$  で、第 2 画素電極  $P X 2$  に印加される電位は図中  $V 2$  で示され、共通電極  $C T$  の電位が 0 なのでいずれも共通電極  $C T$  に対しての電位差として示されている。なお、図 1 では、交流駆動における正極性の場合を図示しているものであるが、負極性の場合であっても同様である。この場合、上述した立ち上がりおよび立ち下がりがそれぞれ逆となる。

10

【 0 0 6 7 】

第 1 画素電極  $P X 1$  に印加される電位  $V 1$  は、たとえば  $0 m s$  で  $5 V$  が印加される立ち上がり時点を有し、それが持続された後、たとえば  $1 1 3 m s$  の時点で立ち下がり時点を有するようになっている。

【 0 0 6 8 】

一方、第 2 画素電極  $P X 2$  に印加される電圧  $V 2$  は、たとえば  $9 5 m s$  で  $7 . 5 V$  が印加される立ち上がり時点を有し、それが持続された後、 $1 1 3 m s$  の時点で立ち下がり時点を有するようになっている。

20

【 0 0 6 9 】

なお、第 2 画素電極  $P X 2$  に印加される電位は、前記共通電極  $C T$  に印加される基準電位と前記第 2 画素電極  $P X 2$  に印加される電位との間の電位差の絶対値 (たとえば  $7 . 5 V$ ) が、前記基準電位と前記第 1 画素電極  $P X 1$  に印加される電位との間の電位差の絶対値 (たとえば  $5 V$ ) に対して、約 1 . 5 倍の大きさになっていることが本発明の効果を奏するに相当であることが確かめられている。

【 0 0 7 0 】

ここで、第 1 画素電極  $P X 1$  に印加される電位  $V 1$  に対して、第 2 画素電極  $P X 2$  に印加される電位  $V 2$  の特徴は次に示される。まず、前記第 2 画素電極に印加される前記電位  $V 2$  は、前記基準電位と前記電位  $V 2$  との間の電位差の絶対値が、前記基準電位と前記第 1 画素電極  $P X 1$  に印加された電位  $V 1$  との間の電位差の絶対値よりも大きくなるように設定されている。そして、前記第 2 画素電極  $P X 2$  への前記電位  $V 2$  の印加開始タイミングは、前記第 1 画素電極  $P X 1$  に印加された電位  $V 1$  の印加終了タイミングよりも前になるように設定されている。また、前記第 2 画素電極  $P X 2$  への前記電位  $V 2$  の印加終了タイミングは、前記第 1 画素電極  $P X 1$  に印加された電位  $V 1$  の印加終了タイミングとほぼ同じになるように設定されている。

30

【 0 0 7 1 】

図 5 ( a ) は、上述した構成からなる液晶表示装置において第 1 画素電極  $P X 1$  および第 2 画素電極  $P X 2$  にそれぞれ印加する電位のタイミングと、それらの電位の印加の際における液晶の光透過率変化を示したグラフである。横軸には時刻 (  $m s$  ) を、縦軸には液晶の光透過率 ( % ) を示している。

40

【 0 0 7 2 】

第 1 画素電極  $P X 1$  および第 2 画素電極  $P X 2$  に印加する電位は図 1 に示したタイミングと同様となっており、グラフ中、それぞれ符号  $V 1$ 、 $V 2$  で示している。

【 0 0 7 3 】

そして、このようなタイミングで第 1 画素電極  $P X 1$  および第 2 画素電極  $P X 2$  に電位を印加した場合、液晶の透過率変化は図中菱形マークのプロットで示され該各マークは滑らかな曲線 ( 特性曲線 A ) で連結されて示されている。

【 0 0 7 4 】

該特性曲線 A は第 1 画素電極  $P X 1$  への印加電圧  $V 1$  の立ち上がり時点から時間の経過

50

とともに上昇し液晶の光透過率が約100%にまで至るようになっている。そして、該特性曲線Aは第2画素電極PX2への印加電圧V2の立ち上がり時点から時間の経過とともに下降し、この下降は第2画素電極PX2への印加電圧の立ち下がり時点(第1画素電極への印加電圧の立ち下がり時点)を経ても継続され、ついには液晶の光透過率が約0%に至るようになっている。

【0075】

この場合、第2画素電極PX2への印加電圧V2の立ち上がり時点からの該特性曲線Aの下降過程において、液晶の光透過率が90%から10%にまで下降するに要した時間を立ち下がり時間と定義づけられ、本実施の液晶表示装置の場合、該立ち下がり時間は27msであることがシミュレーションによる計算によって算出された。

10

【0076】

また、図5(a)には、前記第2画素電極PX2を備えず、第1画素電極PX1に印加する電圧V1のみで液晶を駆動させた場合の特性曲線Bをも合わせ示している。特性曲線Bに対する特性曲線Aの比較を行うためである。該特性曲線Bは図中矩形マークのプロットを滑らかな曲線で連結させて示されている。

【0077】

なお、第2画素電極PX2を備えない場合において、特性曲線Bは、通常、第1画素電極PX1に印加する電圧V1の立ち下がり時点から下降することになる。すなわち、図5(b)は図5(a)に対応するグラフを示し、第1画素電極PX1に印加する電圧を該グラフ中符号V1で示しているとともに、特性曲線B'は第1画素電極PX1への印加電圧の立ち下がり時点を境として透過率が約100%から時間経過とともに下降している。

20

【0078】

このため、図5(a)では、図5(b)に示す特性曲線B'を時間的にずらして表示し、特性曲線Bとして示している。ここで、ずらした量は第2画素電極PX2に印加する電圧V2の印加期間分である。これによって、特性曲線Bの下降開始が第2画素電極PX2に印加する電圧V2の立ち上がり時点に一致させている。これによって、特性曲線Aと特性曲線Bを比較すれば、第2画素電極PX2の有無による効果の違い(白から黒表示への切り替えの速度)が比較できる。特性曲線Aと特性曲線Bを比較すると、立ち上がり部分では特性曲線Aの方が特性曲線Bよりも左下に位置していることがわかる。すなわち、第2画素電極PX2を設けたことにより、白から黒表示への切り替えの応答が速くなっていることがわかる。また、この場合において、前記特性曲線B(特性曲線B')の下降過程における立ち下がり時間(液晶の透過率が90%から10%にまで下降するに要した時間)は30msであった。特性曲線Aは27msなので約10%高速化されている。

30

【0079】

このことから、本実施例の液晶表示装置のように、第2画素電極PX2を備え、それに印加する電圧V2を上述したように設定することにより、たとえば白表示から黒表示への応答時間を大幅に短くできるようになる。

【0080】

なお、図5(a)に示した実験結果によるグラフは、たとえば25℃の常温における環境下でのシミュレーションに基づくものである。しかし、液晶表示装置を低温の環境内で使用する場合を考えると、第2画素電極PX2を備えたものは、その立ち下がり時間は図5(a)に示した特性曲線Aの場合と比較して遅くはなるものの、第2画素電極PX2を備えないものよりは大幅に遅くはならないと推測される。逆に、特性曲線Bは低温では大幅に遅くなると推測できる。低温下において液晶の挙動は鈍くなっているとしても、電界の印加によってその挙動を高速化させることができるからである。

40

【0081】

また、第1画素電極PX1に印加される電圧V1に対する第2画素電極PX2に印加される電圧V2の特徴は図1における説明で示したが、ここで、たとえば図6(a)、および図6(b)に示すように、第1画素電極PX1と第2画素電極PX2への電圧印加のタイミング等を異ならしめた際のそれぞれの特性をシミュレーションで考察してみる。

50

## 【 0 0 8 2 】

図 6 ( a ) は、第 1 画素電極 P X 1 に印加された電位 V 1 の立ち下がり時点において第 2 画素電極 P X 2 に印加する電圧 V 2 の立ち上がり時点を一致づけるようにして駆動させた場合を示している。すなわち、第 1 画素電極 P X 1 への印加電位 V 1 の印加期間と第 2 画素電極 P X 2 への印加電位 V 2 の印加期間とにおいて同時印加の期間が存在していないことを示している。

## 【 0 0 8 3 】

また、図 6 ( b ) は、第 1 画素電極 P X 1 に印加された電圧 V 1 の立ち下がり時点において既に第 2 画素電極 P X 2 に印加する電位 V 2 が立ち上がって駆動され、第 2 画素電極 P X 2 への電位 V 2 の印加期間内に、第 1 画素電極 P X 1 へ印加された電位 V 1 の印加期間が重なった部分と重なっていない部分がそれぞれ時間的に半分となっていることを示している。なお、図 6 ( b ) において、第 2 画素電極 P X 2 への電圧 V 2 の印加期間は、図 6 ( a ) において示す第 2 画素電極 P X 2 への電圧 V 2 の印加期間の約 2 倍としている。

10

## 【 0 0 8 4 】

図 6 ( c ) は、図 5 ( a ) と対応させたグラフであり、その横軸に時刻 ( m s ) を、縦軸に液晶の光透過率 ( % ) を示し、比較対象として前述した特性曲線 A をも併せて描いている。また、図 6 ( a ) 、 ( b ) にそれぞれ示した各電圧 V 1 、 V 2 の印加の時間的なタイミングは前記グラフの横軸に示す時間と一致させて示している。

## 【 0 0 8 5 】

図 6 ( a ) に示したタイミングで第 1 画素電極 P X 1 および第 2 画素電極 P X 2 にそれぞれ電位 V 1 、 V 2 を印加させた場合、液晶の光透過率変化は図 6 ( c ) において図中白ぬき矩形マークのプロットで示され該各マークは滑らかな曲線 ( 特性曲線 C ) で連結されて示されている。この特性曲線 C は、第 2 画素電極 P X 2 への電位 V 2 の立ち上がり時点から僅かの時間の間において特性曲線 A とほぼ同様の傾向を示すが、電位 V 2 の立ち上がり時点以降において該特性曲線 A よりも時間的に大きく遅れて下降をたどるようになっている。このため、第 2 画素電極 P X 2 への電圧 V 2 の立ち下がり時点の以降において、第 2 画素電極 P X 2 を備えない場合よりも、たとえば白表示から黒表示の応答時間が遅くなる現象が示される。

20

## 【 0 0 8 6 】

また、図 6 ( b ) に示したタイミングで第 1 画素電極 P X 1 および第 2 画素電極 P X 2 に電位 V 1 、 V 2 を印加させた場合、液晶の光透過率変化は図中米印マークのプロットで示され該マークは滑らかな曲線 ( 特性曲線 D ) で連結されて示されている。この特性曲線 D は、第 2 画素電極 P X 2 への電圧 V 2 の立ち上がり時点から僅かの時間の間において特性曲線 A とほぼ同様の傾向を示すが、第 1 画素電極 P X 1 への電圧 V 1 の立ち下がり時点から、やはり、該特性曲線 A よりも時間的に大きく遅れて下降をたどるようになっている。しかも、電位 V 1 の立ち下がりから電位 V 2 の立ち下がりまでの間にはかえって透過率が上昇してしまっている。このため、第 1 画素電極 P X 1 への電圧 V 1 の立ち下がり時点の以降において、第 2 画素電極 P X 2 を備えない場合よりも、たとえば白表示から黒表示の応答時間が遅くなる現象が示される。

30

## 【 0 0 8 7 】

このようなことから、第 1 画素電極 P X 1 に印加される電位 V 1 に対する第 2 画素電極 P X 2 に印加される電位 V 2 は、図 1 における説明で示した特徴で示されるものが効果的であることが明らかとなる。

40

## 【 0 0 8 8 】

次に、本発明の変形例を説明する。

## 【 0 0 8 9 】

上述した実施例では、たとえば図 2 に示したように、第 1 画素電極 P X 1 に映像信号を供給するドレイン信号線 ( 第 1 ドレイン信号線 D L 1 ) と第 2 画素電極 P X 2 に立ち下がり信号を供給するドレイン信号線 ( 第 2 ドレイン信号線 D L 2 ) をそれぞれ別個に形成するようにしたものである。

50

## 【 0 0 9 0 】

しかし、図 2 に対応して描いた図 7 に示すように、前記第 1 ドレイン信号線 DL 1 と第 2 ドレイン信号線 DL 2 を共通化したドレイン信号線 DL を形成して上述したと同様の動作をさせてもよい。このようにした場合、各列の画素群に対して一つのドレイン信号線 DL を担当させることで済むことからたとえば一画素における画素領域を大きく構成することができる等の効果を奏する。

## 【 0 0 9 1 】

この場合、図 7 に示した回路にあって、( i - 1 ) 行目の画素への映像信号の入力と、この映像信号の入力のタイミングに合わせて i 行目の画素への立ち下がり信号の入力を同時に行わなければならない不都合を、たとえば図 8 に示すように駆動させることにより解消している。

10

## 【 0 0 9 2 】

すなわち、図 8 ( a ) は ( i - 1 ) 行目の画素へ入力する映像信号 DS を示し、従前において映像信号を入力する間の時間 t、すなわち画素行選択として割り当てられる時間 t のうち前半分の時間のみ該映像信号 DS を供給するようにしている。この場合、該映像信号 DS は、( i - 1 ) 行目の第 1 ゲート信号線 GL 1 に供給されるゲート信号 GS 1 ( GS 1 ( i - 1 ) ) ( 図 8 ( c ) 参照) によってオンされる第 1 薄膜トランジスタ TFT 1 を介して当該画素の第 1 画素電極 PX 1 に供給されるようになっている。

## 【 0 0 9 3 】

また、図 8 ( b ) は i 行目の画素へ入力する立ち下がり信号 SS を示し、従前において前記時間 t ( 図 8 ( a ) 参照) のうち後半分の時間のみ立ち下がり信号 SS を供給するようになっている。この場合、該立ち下がり信号 SS は、i 行目の第 2 ゲート信号線 GL 2 に供給するゲート信号 GS 2 ( GS 2 ( i ) ) ( 図 8 ( d ) 参照) によってオンされる第 2 薄膜トランジスタ TFT 2 を介して当該画素の第 2 画素電極 PX 2 に供給されるようになっている。このことから、所定画素への立ち下がり信号 SS の供給は、換言すれば、前記所定画素よりも一つ手前に走査される画素の前記第 1 薄膜トランジスタ TFT 1 をオンさせる前記第 1 ゲート信号線 GL 1 への前記ゲート信号の供給の後に、前記所定画素の第 2 薄膜トランジスタ TFT 2 をオンさせる前記第 2 ゲート信号線 GL 2 への前記ゲート信号の供給によってなされるようになっている。

20

## 【 0 0 9 4 】

図 8 ( b ) に示すように、各画素において印加される立ち下がり信号 SS は、そのパルス幅が小さくなっているものの、図 1 に示した関係と同様となっており、たとえば白表示から黒表示への切換を高速化できる効果を有するようになる。

30

## 【 0 0 9 5 】

次に、画素の電極構造の変形例を説明する。

## 【 0 0 9 6 】

上述したそれぞれの実施例では、共通電極 CT は、図 9 ( a ) に示したように、画素領域の大部分に形成される面状の電極として形成したものである。しかし、図 9 ( b ) に示すように、該共通電極 CT を櫛歯状の第 1 画素電極 PX 1 と相互に噛合されて配置されるやはり櫛歯状の電極として構成するようにしてもよい。第 1 画素電極 PX 1 の各電極に隙間を有して共通電極 CT の各電極が隣接して配置され、これら隣接する電極の間で横電界を生じさせることができるからである。

40

## 【 0 0 9 7 】

さらに、上述した各実施例では、画素内に、基板面にほぼ平行に発生させた電界によって液晶の分子を挙動させて白表示させ、また、該電界を消失させることにより液晶の分子の挙動を元に戻させて黒表示させるように構成したものである(いわゆるノーマリブラックモード)。しかし、横電界によって黒表示させ、該電界を消失させることにより白表示させるように構成したもの(いわゆるノーマリホワイトモード)であっても適用することができる。

## 【 0 0 9 8 】

50

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【図面の簡単な説明】

【0099】

【図1】本発明による液晶表示装置において、各画素に備えられる第1画素電極と第2画素電極にそれぞれ印加される電位の関係の一実施例を示した図である。

【図2】本発明による液晶表示装置の各画素における等価回路の一実施例を示した図である。

【図3】本発明による液晶表示装置の液晶を介して対向配置される各絶縁基板のうち薄膜トランジスタが形成されている側の基板の一実施例を示す断面図である。

【図4】本発明による液晶表示装置においてその第2画素電極に電圧を印加するタイミングの一実施例を示した図である。

【図5】本発明による液晶表示装置の効果を従来の液晶表示装置の効果と比較して示したグラフである。

【図6】各画素の第1画素電極および第2画素電極に印加する電圧のタイミングを本実施例の場合と異ならしめた場合のタイミング例と、そのタイミング例で駆動させた場合のシミュレーション結果を示したグラフである。

【図7】本発明による液晶表示装置の各画素における等価回路の他の実施例を示した図である。

【図8】図7に示した液晶表示装置の駆動の一実施例を示したタイミング図である。

【図9】本発明による液晶表示装置の共通電極、第1画素電極、および第2画素電極の配置関係の実施例を平面的に示した図である。

【符号の説明】

【0100】

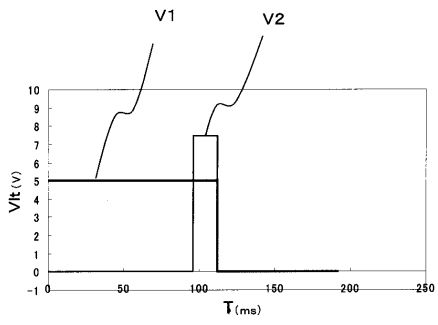
V 1 ... 第1画素電極に印加される電圧、V 2 ... 第2画素電極に印加される電圧、1 ... 絶縁基板、2 ... 第1絶縁膜、3 ... 第2絶縁膜、4 ... 第3絶縁膜、5 ... 第4絶縁膜、GL 1 ... 第1ゲート信号線、GL 2 ... 第2ゲート信号線、DL 1 ... 第1ドレイン信号線、DL 2 ... 第2ドレイン信号線、DL ... ドレイン信号線、PX 1 ... 第1画素電極、PX 2 ... 第2画素電極、TFT 1 ... 第1薄膜トランジスタ、TFT 2 ... 第2薄膜トランジスタ、AS 1 ... 第1半導体層、AS 2 ... 第2半導体層、GT 1 ... 第1ゲート電極、GT 2 ... 第2ゲート電極、TH 1 ... 第1スルーホール、TH 2 ... 第2スルーホール、PD 1 ... 第1パッド部、PD 2 ... 第2パッド部。

10

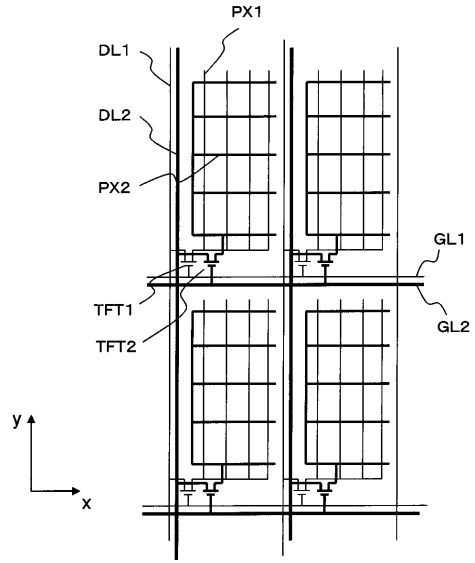
20

30

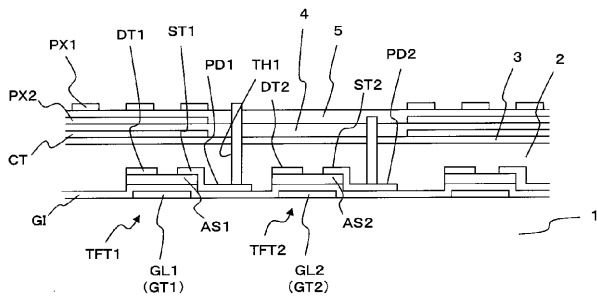
【 図 1 】



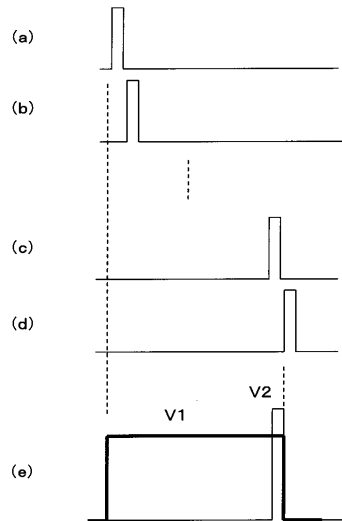
【 図 2 】



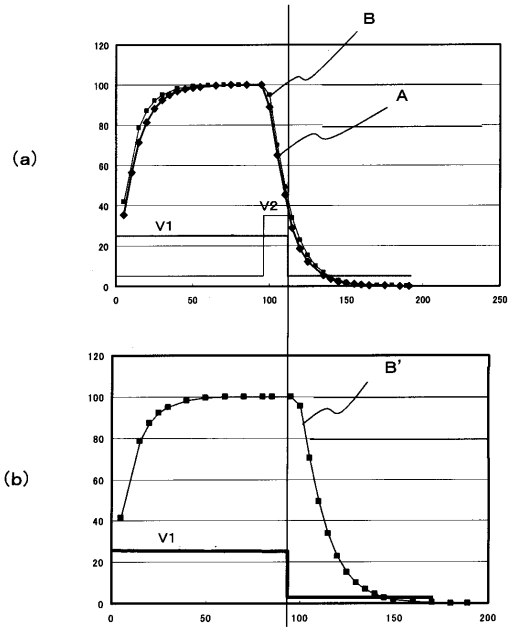
【 図 3 】



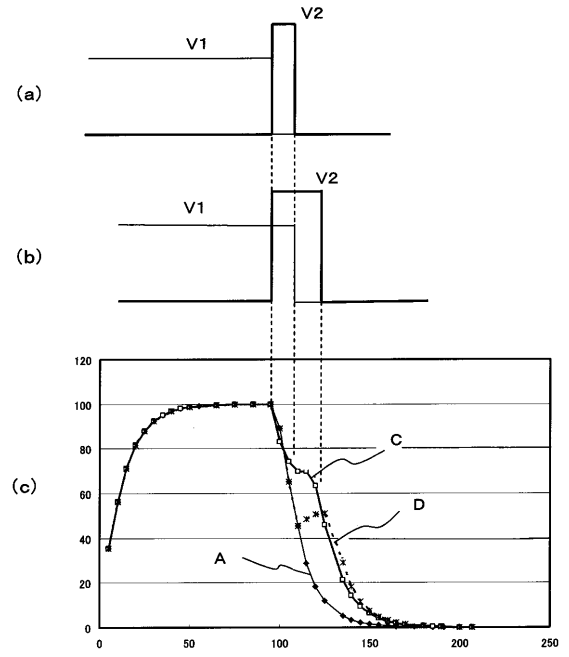
【 図 4 】



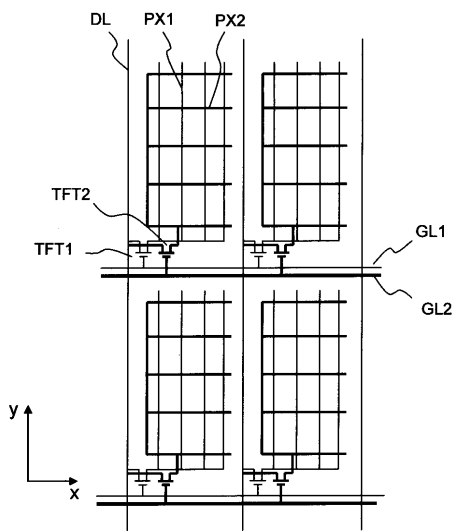
【 図 5 】



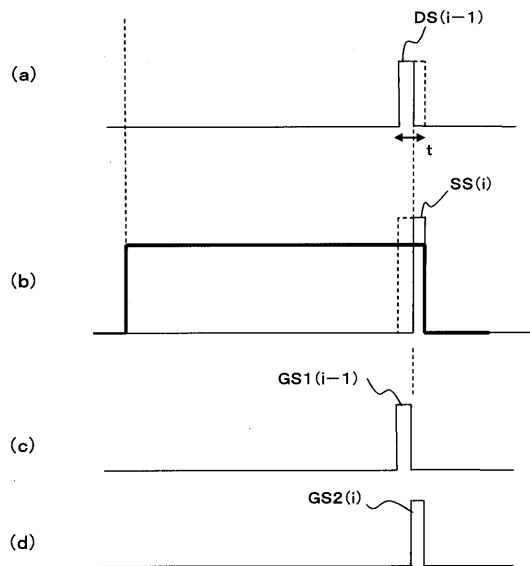
【 図 6 】



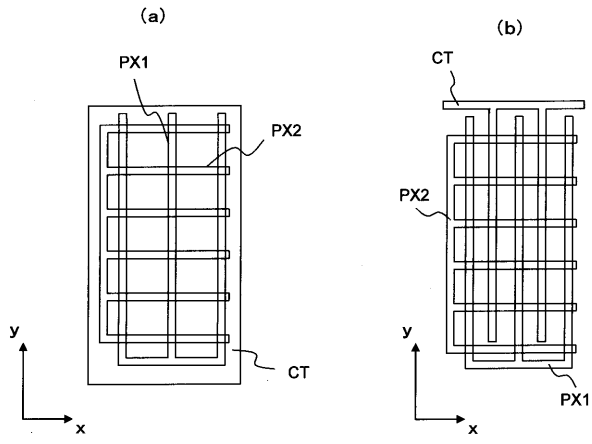
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 C

G 0 9 G 3/20 6 4 1 C

F ターム(参考) 2H093 NA16 NA42 NA53 NC10 NC12 NC13 NC16 NC34 NC63 NC65  
ND33 ND44 ND58 NE03  
5C006 AA16 AC21 BB16 FA12 GA03  
5C080 AA10 BB05 DD08 EE29 FF11 JJ02 JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2008026532A</a>	公开(公告)日	2008-02-07
申请号	JP2006197953	申请日	2006-07-20
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	今林真紀子 伊東理 志村正人		
发明人	今林 真紀子 伊東 理 志村 正人		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.580 G09G3/20.621.F G09G3/20.623.D G09G3/20.623.C G09G3/20.641.C		
F-TERM分类号	2H093/NA16 2H093/NA42 2H093/NA53 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC16 2H093/NC34 2H093/NC63 2H093/NC65 2H093/ND33 2H093/ND44 2H093/ND58 2H093/NE03 5C006/AA16 5C006/AC21 5C006/BB16 5C006/FA12 5C006/GA03 5C080/AA10 5C080/BB05 5C080/DD08 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZC22 2H193/ZD23 2H193/ZF22 2H193/ZF36 2H193/ZH33 2H193/ZH40 2H193/ZP03		
代理人(译)	小林 保		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种液晶显示装置，其中当将电场施加到像素以显示例如白色，然后释放电场施加以显示例如黑色时，响应速度提高。通过将视频信号对应的电势V1施加到第一像素电极，在第一像素电极和参考电极之间产生电场以使液晶执行第一行为，并且预定像素电极被施加到第二像素电极。通过施加电势V2，使液晶执行第二行为，该第二行为使液晶在液晶恢复到原始行为的方向上表现。在将施加到第一像素电极的电位V1的施加结束时刻之前，设定将预定电位V2施加到第二像素电极的开始时刻，并且将预定电位V2施加到第二像素电极。结束定时被设置为与施加到第一像素电极的电势V1的施加的结束定时基本相同。[选型图]图1

