

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-206416

(P2007-206416A)

(43) 公開日 平成19年8月16日(2007.8.16)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 622B	5C006
G02F 1/133 (2006.01)	G09G 3/20 611Z	5C080
	G09G 3/20 622D	
	G09G 3/20 612J	
審査請求 未請求 請求項の数 6 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2006-25697 (P2006-25697)
 (22) 出願日 平成18年2月2日(2006.2.2)

(71) 出願人 302020207
 東芝松下ディスプレイテクノロジー株式会社
 東京都港区港南4-1-8
 (74) 代理人 100092794
 弁理士 松田 正道
 (72) 発明者 中村 哲哉
 東京都港区港南四丁目1番8号 東芝松下
 ディスプレイテクノロジー株式会社内
 Fターム(参考) 2H093 NA16 NA45 NA47 NC10 NC16
 NC36 ND34 ND49
 5C006 AC22 AF41 AF67 AF71 BC22
 BF37 FA16
 5C080 AA10 BB05 DD18 DD26 FF11
 JJ02 JJ04 KK07

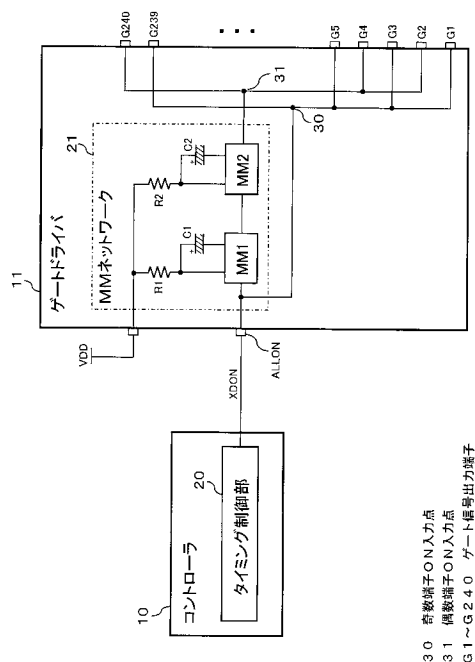
(54) 【発明の名称】 ゲートドライバ回路、液晶表示装置、およびゲートドライブ方法

(57) 【要約】

【課題】 他の回路への負担がなく、ゲートドライバの対応のみで、ゲートドライバの全出力ON時の瞬間的な大電流の発生を防止する。

【解決手段】 各走査線のそれぞれに接続された、複数のグループに分けられている複数のゲート信号出力端子G1~G240と、そのグループ毎に、ゲート信号出力端子G1~G240に共通して接続されている複数のグループ別ON入力点30、31と、複数のゲート信号出力端子G1~G240からの出力を全てONにさせるための出力全ON信号が入力される全ON信号入力端子と、全ON信号入力端子に直接的または間接的に接続された複数のモノマルチパイプレータで構成されるMMネットワーク21とを備え、MMネットワーク21に設けられた流れる信号のタイミングが互いに異なる引き出し点が、それぞれ、複数の各グループ別ON入力点30、31に接続されているゲートドライバ回路を用いる。

【選択図】 図1



30 各グループON入力点
 31 個別端子ON入力点
 G1~G240 ゲート信号出力端子

【特許請求の範囲】

【請求項 1】

マトリクス状に配置された信号線および走査線、および前記信号線および前記走査線の交点に設けられた液晶表示素子を有し、表示させるデータに対応する電圧が前記信号線に供給されるとともに、前記各走査線にゲート信号が順に供給されていくことにより、前記ゲート信号が供給されている走査線上の前記液晶表示素子に所望の表示データが書き込まれていく液晶表示パネルを備えた液晶表示装置の、前記各走査線に前記ゲート信号を順に供給していくゲートドライバ回路であって、

前記各走査線のそれぞれに接続された、複数のグループに分けられている複数のゲート信号出力端子と、

前記グループ毎に、前記ゲート信号出力端子に共通して接続されている複数のグループ別 ON 入力点と、

前記複数のゲート信号出力端子から前記各走査線への出力を全て ON にさせるための出力全 ON 信号が入力される全 ON 信号入力端子と、

前記全 ON 信号入力端子に直接的または間接的に、直列的または並列的に接続された複数のモノマルチパイプで構成される MM ネットワークと、

前記 MM ネットワークに設けられた、流れる信号のタイミングが互いに異なる箇所である、前記グループと同数の引き出し点と、

前記複数の各グループ別 ON 入力点と、前記複数の各引き出し点を、それぞれ結ぶ複数の中間線とを備えた、ゲートドライバ回路。

10

20

【請求項 2】

前記 MM ネットワークは、直列に接続された、第 1 のモノマルチパイプおよび第 2 のモノマルチパイプの 2 つのモノマルチパイプで構成されており、

前記第 1 のモノマルチパイプの入力点は、前記全 ON 信号入力端子と接続されており、

前記複数のグループは、2 つのグループであり、

前記 2 つのグループのうち一方のグループの前記グループ別 ON 入力点は、前記第 1 のモノマルチパイプの前記入力点に接続され、

前記 2 つのグループのうちもう一方のグループの前記グループ別 ON 入力点は、前記第 2 のモノマルチパイプの出力点に接続されている、請求項 1 に記載のゲートドライバ回路。

30

【請求項 3】

前記複数のゲート信号出力端子のうち半数のゲート信号出力端子が、前記一方のグループに属しており、

前記複数のゲート信号出力端子のうち他の半数のゲート信号出力端子が、前記もう一方のグループに属している、請求項 2 に記載のゲートドライバ回路。

【請求項 4】

前記第 1 のモノマルチパイプに接続されるコンデンサと、

前記コンデンサとの組み合わせで前記第 1 のモノマルチパイプのディレイ時間を決定する抵抗が接続される、外部抵抗接続端子とをさらに備えた、請求項 2 に記載のゲートドライバ回路。

40

【請求項 5】

マトリクス状に配置された信号線および走査線、および前記信号線および前記走査線の交点に設けられた液晶表示素子を有する液晶表示パネルと、

請求項 1 に記載のゲートドライバ回路を有し、前記走査線にゲート信号を供給するゲートドライバと、

前記信号線に電圧を供給するソースドライバとを備えた、液晶表示装置。

【請求項 6】

マトリクス状に配置された信号線および走査線、および前記信号線および前記走査線の交点に設けられた液晶表示素子を有し、表示させるデータに対応する電圧が前記信号線

50

に供給されるとともに、前記各走査線のそれぞれに接続されているゲートドライバの複数のゲート信号出力端子から前記各走査線にゲート信号が順に供給されていくことにより、前記ゲート信号が供給されている走査線上の前記液晶表示素子に所望の表示データが書き込まれていく液晶表示パネルを備えた液晶表示装置のゲートドライブ方法であって、

前記各走査線への出力を全てONにさせるための出力全ON信号を、前記ゲートドライバに内蔵される直列的または並列的に接続された複数のモノマルチバイプレータで構成されるMMネットワークに入力することにより、タイミングが互いに異なる複数のグループ別ON信号を生成するグループ別ON信号生成ステップと、

複数のグループに分けられている前記各走査線の、前記各グループに、前記各グループ別ON信号をそれぞれ供給するグループ別ON信号供給ステップとを備えた、ゲートドライブ方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲートを順に走査して表示させるゲートドライバ回路、液晶表示装置およびゲートドライブ方法に関する。

【背景技術】

【0002】

液晶表示装置は薄型、軽量であり、従来のブラウン管に代替するものとして、近年一層用途が拡大されてきた。例えば、デスクトップPC用のモニターやTV表示用途のもの以外

20

【0003】

図5は、従来の一般的な液晶表示装置の構成図を示している。

【0004】

この液晶表示装置は、液晶表示パネル110、ソースドライバ111、ゲートドライバ112、およびコントローラ113を備えている。

【0005】

液晶表示パネル110は、信号線と走査線がマトリックス状に配置され、それらの交点に液晶表示素子が設けられている液晶表示パネルである。この液晶表示パネル110は、N本の信号線とM本の走査線を有しており、それらの各交点にN×M個の液晶表示素子LC1-1~LCM-Nが配置されている。

30

【0006】

ゲートドライバ112は、各走査線にそれぞれ接続されているM個のゲート信号出力端子G1~GMを有しており、各走査線に順次にゲート信号を供給していく。

【0007】

ソースドライバ111は、各信号線にそれぞれ接続されるN個の表示データ出力端子S1~SNを有し、表示データに対応する電圧を、1水平期間分ずつ順次に各信号線に供給していく。

【0008】

コントローラ113は、タイミング制御部121および信号処理部122を備えている。

40

【0009】

次に、このような従来の液晶表示装置の動作を説明する。

【0010】

まず、液晶表示装置の電源が入れられると、各走査線上に溜まっている電荷を除去するために、コントローラ113のタイミング制御部121が出力全ON信号XDONをゲートドライバ112に入力する。ゲートドライバ112は、XDON信号が入力されると、ゲート信号出力端子G1~GMから全走査線に一齐にゲート信号を出力する。このようにして各走査線上に溜まっている電荷を除去した後に、液晶表示装置は表示動作を開始する。

50

【 0 0 1 1 】

図 6 は、図 5 に示した従来の液晶表示装置における表示動作時の、映像信号、ソースドライバ出力、およびゲート信号のタイミングチャートの一例を示している。ここでは、この液晶表示装置は、1フィールドで1フレームを表示するものとして説明する。

【 0 0 1 2 】

映像信号が信号処理部 1 2 2 に入力されると、信号処理部 1 2 2 は、入力された映像信号に対して階調補正やガンマ補正処理を行なうとともに、1 水平期間 (1 H) 分のデータずつ、ソースドライバ 1 1 1 に転送していく。図 6 に示す D 1 ~ D M、D ' 1 ~ D ' M は、それぞれ各 1 H 期間の表示用データを示している。

【 0 0 1 3 】

そして、コントローラ 1 1 3 のタイミング制御部 1 2 1 は、表示用データを液晶表示パネル 1 1 0 に表示させるタイミングに合わせて、ソースドライバ 1 1 1 にロードパルスを入力していく。ソースドライバ 1 1 1 は、ロードパルスが入力される毎に、1 H 期間分の表示用データに対応する電圧を、表示データ出力端子 S 1 ~ S N から各信号線に供給していく。

10

【 0 0 1 4 】

また、コントローラ 1 1 3 のタイミング制御部 1 2 1 は、表示用データを液晶表示パネル 1 1 0 に表示させるタイミングに合わせて、ゲートドライバ 1 1 2 に制御信号を入力していく。ゲートドライバ 1 1 2 は、タイミング制御部 1 2 1 からの制御信号が入力されると、図 6 に示すように、ゲート信号出力端子 G 1 ~ G M から各走査線に順次にゲートパルス

20

【 0 0 1 5 】

図 6 の、ゲート信号出力端子 G 1 ~ G M から出力されるゲートパルスの部分に記載されている符号は、それぞれ、そのゲートパルスが出力されているときにソースドライバ 1 1 1 から出力されている表示用データを示している。

【 0 0 1 6 】

各液晶表示素子 L C 1 - 1 ~ L C M - N には、ゲート信号が O N になっているときにソースドライバ 1 1 1 から供給されている電圧が書き込まれる。したがって、まず、ゲート信号出力端子 G 1 に接続される 1 ライン目の走査線上の各液晶表示素子 L C 1 - 1 ~ L C 1 - N に表示用データ D 1 が書き込まれ、続いて、ゲート信号出力端子 G 2 に接続される 2 ライン目の走査線上の各液晶表示素子 L C 2 - 1 ~ L C 2 - N に表示用データ D 2 が書き込まれていき、1 フィールド期間内に、順次に、M 番目の走査線上の各液晶表示素子 L C M - 1 ~ L C M - N まで表示用データが書き込まれていく。

30

【 0 0 1 7 】

このようにして、1 フィールド分ずつ液晶表示パネル 1 1 0 の全液晶表示素子 L C 1 - 1 ~ L C M - N のデータを書き換えていくことにより、ユーザの目に映像信号に対応する画像が映る。

【 0 0 1 8 】

以上に説明したように、表示動作を行っている際には、各走査線上のゲート信号は順次に O N されていくのに対し、電源投入の際には、各走査線上のゲート信号が一斉に O N される。

40

【 0 0 1 9 】

各走査線上のゲート信号が一斉に O N になると、その瞬間に大きな電流が流れるため、D C / D C コンバータがシャットダウンしてしまうなどの問題が発生する。

【 0 0 2 0 】

この問題に対応するために、ゲートドライバの出力全 O N 信号として、タイミングをずらした複数の信号を用い、各ゲート信号出力端子を、その複数の信号毎に対応させた複数のグループに分けて、グループ毎にずらしたタイミングでゲート信号を O N させていく方法が用いられている。

【 0 0 2 1 】

50

図7は、このゲートドライバの出力全ON信号を複数の信号に分けた液晶表示装置の、ゲートドライバ部分の構成図を示している。ここでは、一例として、ゲートドライバは、240個のゲート信号出力端子を備えているものとする。

【0022】

この液晶表示装置のコントローラ130のタイミング制御部123は、ゲートドライバの出力全ON信号として、タイミングをずらしたXDON1信号とXDON2信号の2つの信号を出力する。

【0023】

そして、ゲートドライバ131のゲート信号出力端子のうち、奇数番目のゲート信号出力端子G1、G3、...、G239は、XDON1信号がアクティブになるタイミングに応じてゲート信号がONにされ、偶数番目のゲート信号出力端子G2、G4、...、G240は、XDON2信号がアクティブになるタイミングに応じてゲート信号がONにされるように、それぞれ接続されている。

10

【0024】

図8は、ゲートドライバ131に入力されるXDON1信号およびXDON2信号と、各ゲート信号出力端子G1～G240のタイミングチャートを示している。

【0025】

XDON1信号およびXDON2信号は、Lowレベルがアクティブの状態である。

【0026】

XDON1信号がアクティブになるタイミングに応じて、奇数番目のゲート信号出力端子G1、G3、...、G239から、それぞれに接続される走査線にゲートパルスが出力される。図8に示すように、これらのゲート信号出力端子G1、G3、...、G239にゲートパルスが出力されているタイミングには、偶数番目のゲート信号出力端子G2、G4、...、G240からはゲートパルスは出力されない。

20

【0027】

そして、XDON2信号がアクティブになるタイミングに応じて、偶数番目のゲート信号出力端子G2、G4、...、G240から、それぞれに接続される走査線にゲートパルスが出力される。図8に示すように、これらのゲート信号出力端子G2、G4、...、G240にゲートパルスが出力されているタイミングには、奇数番目のゲート信号出力端子G1、G3、...、G239からはゲートパルスは出力されない。

30

【0028】

このようにタイミングをずらしたXDON1信号とXDON2信号を用いることにより、同じタイミングで電流が流れる走査線の数を減らし、瞬間的に大電流が流れる問題を解消している。

【0029】

図7および図8に示した例では、ゲート信号出力端子を2つのグループに分けたので、出力全ON信号を2本としたが、ゲート信号出力端子をさらに多くのグループに分けた場合には、そのグループと同数の出力全ON信号が必要となる。

【0030】

すなわち、コントローラ130からの出力全ON信号用の出力端子、およびゲートドライバ131の出力全ON信号用の入力端子として、グループの数と同数の端子をそれぞれ設けなければならず、また、コントローラ130とゲートドライバ131間の配線も、そのグループ数の分必要となる。

40

【0031】

このように、端子数や配線数を増やさずに、瞬間的に大電流が流れる問題を対応する方法として、ゲートドライバ内にフリップフロップを内蔵させて、入力されてくる出力全ON信号のタイミングをゲートドライバ内部でずらせる方法が知られている。

【0032】

図9は、ゲートドライバに入力される出力全ON信号をゲートドライバ内部でタイミングをずらした複数の信号に分ける液晶表示装置の、ゲートドライバ部分の構成図を示して

50

いる。ここでは、一例として、ゲートドライバは、240個のゲート信号出力端子を備えているものとする。

【0033】

この液晶表示装置のコントローラ132のタイミング制御部124は、ゲートドライバの出力全ON信号XDONと共に、ゲートドライバ133内部で出力全ON信号XDONのタイミングをずらすためのクロック信号CLKも出力する。

【0034】

ゲートドライバ133のゲート信号出力端子のうち、奇数番目のゲート信号出力端子G1、G3、...、G239は、XDON信号がアクティブになるタイミングに応じてゲート信号がONにされるように、接続されている。

10

【0035】

そして、ゲートドライバ133には、直列に接続された2つのフリップフロップFF1およびFF2が内蔵されており、偶数番目のゲート信号出力端子G2、G4、...、G240は、フリップフロップFF2の出力信号のタイミングに応じて、ゲート信号がONにされるように、接続されている。

【0036】

図10は、ゲートドライバ133に入力されるXDON信号、CLK信号、2つのフリップフロップFF1とFF2の出力信号、および各ゲート信号出力端子G1～G240のタイミングチャートを示している。

【0037】

XDON信号は、Lowレベルがアクティブの状態である。

20

【0038】

XDON信号がアクティブになるタイミングに応じて、奇数番目のゲート信号出力端子G1、G3、...、G239から、それぞれに接続される走査線にゲートパルスが出力される。図10に示すように、これらのゲート信号出力端子G1、G3、...、G239にゲートパルスが出力されているタイミングには、偶数番目のゲート信号出力端子G2、G4、...、G240からはゲートパルスは出力されない。

【0039】

コントローラ132から入力されてくるCLK信号の波長は、XDON信号のパルス幅に等しく、図9に示すように、XDON信号がフリップフロップFF1に入力され、フリップフロップFF1の出力がフリップフロップFF2に入力されるように接続されているので、フリップフロップFF1の出力およびフリップフロップFF2の出力は、XDON信号と同じパルス幅でタイミングのずれた信号が出力される。

30

【0040】

フリップフロップFF2の出力信号がアクティブになるタイミングに応じて、偶数番目のゲート信号出力端子G2、G4、...、G240から、それぞれに接続される走査線にゲートパルスが出力される。図10に示すように、これらのゲート信号出力端子G2、G4、...、G240にゲートパルスが出力されているタイミングには、奇数番目のゲート信号出力端子G1、G3、...、G239からはゲートパルスは出力されない。

【0041】

XDON信号とフリップフロップFF2から出力される信号とのタイミングのずれ時間は、ゲートドライバ133に内蔵するフリップフロップの数や、CLK信号の周波数を変えることにより調整できる。

40

【0042】

このようにXDON信号からタイミングをずらしたフリップフロップFF2の出力信号を用いることにより、同じタイミングに電流が流れる走査線の数減らし、瞬間的に大電流が流れる問題を解消している。

【0043】

図9に示すような構成としたことで、コントローラ132およびゲートドライバ133の端子数、コントローラ132とゲートドライバ133間の配線数は、CLK信号1本分

50

の追加だけで対応できる。

【発明の開示】

【発明が解決しようとする課題】

【0044】

しかしながら、図9に示すようなゲートドライバにフリップフロップを内蔵させる構成では、出力全ON信号とは別にクロック信号を供給する必要があるため、コントローラの負担が大きくなるという問題があった。

【0045】

図9に示す構成の場合、ゲートドライバ133内部でXDON信号からタイミングをずらした信号を生成させるために、コントローラ132から、出力全ON信号XDONとは別にCLK信号を供給しなければならない。

【0046】

コントローラ132に、この新たなCLK信号を出力する回路を追加しなければならない。また、コントローラ132に、このCLK信号を出力する端子も設けなければならない。

【0047】

本発明は、上述した従来の課題を解決するもので、他の回路への負担がなく、ゲートドライバの対応のみで、ゲートドライバの全出力ON時に瞬間的に発生する大電流を防止できる、ゲートドライバ回路、液晶表示装置およびゲートドライブ方法を提供することを目的とする。

【課題を解決するための手段】

【0048】

上述した課題を解決するために、第1の本発明は、

マトリクス状に配置された信号線および走査線、および前記信号線および前記走査線の交点に設けられた液晶表示素子を有し、表示させるデータに対応する電圧が前記信号線に供給されるとともに、前記各走査線にゲート信号が順に供給されていくことにより、前記ゲート信号が供給されている走査線上の前記液晶表示素子に所望の表示データが書き込まれていく液晶表示パネルを備えた液晶表示装置の、前記各走査線に前記ゲート信号を順に供給していくゲートドライバ回路であって、

前記各走査線のそれぞれに接続された、複数のグループに分けられている複数のゲート信号出力端子と、

前記グループ毎に、前記ゲート信号出力端子に共通して接続されている複数のグループ別ON入力点と、

前記複数のゲート信号出力端子から前記各走査線への出力を全てONにさせるための出力全ON信号が入力される全ON信号入力端子と、

前記全ON信号入力端子に直接的または間接的に、直列的または並列的に接続された複数のモノマルチバイプレータで構成されるMMネットワークと、

前記MMネットワークに設けられた、流れる信号のタイミングが互いに異なる箇所である、前記グループと同数の引き出し点と、

前記複数の各グループ別ON入力点と、前記複数の各引き出し点を、それぞれ結ぶ複数の中間線とを備えた、ゲートドライバ回路である。

【0049】

また、第2の本発明は、

前記MMネットワークは、直列に接続された、第1のモノマルチバイプレータおよび第2のモノマルチバイプレータの2つのモノマルチバイプレータで構成されており、

前記第1のモノマルチバイプレータの入力点は、前記全ON信号入力端子と接続されており、

前記複数のグループは、2つのグループであり、

前記2つのグループのうち一方のグループの前記グループ別ON入力点は、前記第1のモノマルチバイプレータの前記入力点に接続され、

10

20

30

40

50

前記 2 つのグループのうちのもう一方のグループの前記グループ別 ON 入力点は、前記第 2 のモノマルチバイプレータの出力点に接続されている、請求項 1 に記載のゲートドライバ回路である。

【0050】

また、第 3 の本発明は、

前記複数のゲート信号出力端子のうち半数のゲート信号出力端子が、前記一方のグループに属しており、

前記複数のゲート信号出力端子のうち他の半数のゲート信号出力端子が、前記もう一方のグループに属している、請求項 2 に記載のゲートドライバ回路である。

【0051】

また、第 4 の本発明は、

前記第 1 のモノマルチバイプレータに接続されるコンデンサと、

前記コンデンサとの組み合わせで前記第 1 のモノマルチバイプレータのディレイ時間を決定する抵抗が接続される、外部抵抗接続端子とをさらに備えた、請求項 2 に記載のゲートドライバ回路である。

【0052】

また、第 5 の本発明は、

マトリクス状に配置された信号線および走査線、および前記信号線および前記走査線の交点に設けられた液晶表示素子を有する液晶表示パネルと、

請求項 1 に記載のゲートドライバ回路を有し、前記走査線にゲート信号を供給するゲートドライバと、

前記信号線に電圧を供給するソースドライバとを備えた、液晶表示装置である。

【0053】

また、第 6 の本発明は、

マトリクス状に配置された信号線および走査線、および前記信号線および前記走査線の交点に設けられた液晶表示素子を有し、表示させるデータに対応する電圧が前記信号線に供給されるとともに、前記各走査線のそれぞれに接続されているゲートドライバの複数のゲート信号出力端子から前記各走査線にゲート信号が順に供給されていくことにより、前記ゲート信号が供給されている走査線上の前記液晶表示素子に所望の表示データが書き込まれていく液晶表示パネルを備えた液晶表示装置のゲートドライブ方法であって、

前記各走査線への出力を全て ON にさせるための出力全 ON 信号を、前記ゲートドライバに内蔵される直列的または並列的に接続された複数のモノマルチバイプレータで構成される MM ネットワークに入力することにより、タイミングが互いに異なる複数のグループ別 ON 信号を生成するグループ別 ON 信号生成ステップと、

複数のグループに分けられている前記各走査線の、前記各グループに、前記各グループ別 ON 信号をそれぞれ供給するグループ別 ON 信号供給ステップとを備えた、ゲートドライブ方法である。

【発明の効果】

【0054】

本発明により、他の回路への負担がなく、ゲートドライバの対応のみで、ゲートドライバの全出力 ON 時に瞬間的に発生する大電流を防止できる、ゲートドライバ回路、液晶表示装置およびゲートドライブ方法を提供できる。

【発明を実施するための最良の形態】

【0055】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0056】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 の液晶表示装置の、ゲートドライバ部分の構成図を示している。

【0057】

10

20

30

40

50

本実施の形態 1 の液晶表示装置の構成は、図 5 に示した従来の液晶表示装置の構成と同じ構成である。本実施の形態 1 の液晶表示装置は、ゲートドライバ 1 1 の構成が従来の液晶表示装置のゲートドライバ 1 1 2 の構成とは異なる。ここでは、一例として、本実施の形態 1 のゲートドライバ 1 1 は、240 個のゲート信号出力端子を備えているものとして説明する。

【0058】

コントローラ 1 0 およびタイミング制御部 2 0 は、図 5 に示した従来の液晶表示装置のコントローラ 1 1 3 およびタイミング制御部 1 2 1 と同じ構成である。

【0059】

本実施の形態 1 のゲートドライバ 1 1 は、コントローラ 1 0 のタイミング制御部 2 0 から出力されてくる、各走査線の出力を一斉に ON にするための出力全 ON 信号 X D O N が入力される外部入力端子 A L L O N を備えている。

10

【0060】

そして、ゲートドライバ 1 1 の 240 個のゲート信号出力端子のうち、奇数番目のゲート信号出力端子 G 1、G 3、...、G 239 は、コントローラ 1 0 から入力される X D O N 信号がアクティブになるタイミングに応じてゲート信号が ON にされるように、接続されている。すなわち、奇数番目のゲート信号出力端子 G 1、G 3、...、G 239 に共通に接続された、これらの端子 G 1、G 3、...、G 239 からの出力を同時に ON にさせる奇数端子 ON 入力点 3 0 が、外部入力端子 A L L O N に接続されている。

【0061】

ゲートドライバ 1 1 には、2つのモノマルチパイプリータ M M 1 および M M 2 が内蔵されており、モノマルチパイプリータ M M 1 には X D O N 信号が入力され、モノマルチパイプリータ M M 1 の出力がモノマルチパイプリータ M M 2 に入力されるように接続されている。

20

【0062】

また、モノマルチパイプリータ M M 1 のディレイ時間を決定するコンデンサ C 1 と抵抗 R 1、および、モノマルチパイプリータ M M 2 のディレイ時間を決定するコンデンサ C 2 と抵抗 R 2 も、ゲートドライバ 1 1 に内蔵されている。

【0063】

これらの 2つのモノマルチパイプリータ M M 1 および M M 2、コンデンサ C 1 および C 2、抵抗 R 1 および R 2 で、M M ネットワーク 2 1 を構成している。

30

【0064】

そして、偶数番目のゲート信号出力端子 G 2、G 4、...、G 240 は、モノマルチパイプリータ M M 2 の出力信号のタイミングに応じて、ゲート信号が ON にされるように、接続されている。すなわち、偶数番目のゲート信号出力端子 G 2、G 4、...、G 240 に共通に接続された、これらの端子 G 2、G 4、...、G 240 からの出力を同時に ON にさせる偶数端子 ON 入力点 3 1 に、モノマルチパイプリータ M M 2 からの出力信号が入力されるように接続されている。

【0065】

なお、モノマルチパイプリータ M M 1 および M M 2 が、それぞれ、本発明の第 1 のモノマルチパイプリータおよび第 2 のモノマルチパイプリータの一例にあたる。また、外部入力端子 A L L O N が、本発明の全 ON 信号入力端子の一例にあたる。また、奇数番目のゲート信号出力端子 G 1、G 3、...、G 239 が、本発明の一方のグループの半数のゲート信号出力端子の一例にあたり、偶数番目のゲート信号出力端子 G 2、G 4、...、G 240 が、本発明のもう一方のグループの他の半数のゲート信号出力端子の一例にあたる。また、奇数端子 ON 入力点 3 0 および偶数端子 ON 入力点 3 1 が、本発明の複数のグループ別 ON 入力点の一例にあたる。また、モノマルチパイプリータ M M 1 の入力部およびモノマルチパイプリータ M M 2 の出力部が、本発明の、流れる信号のタイミングが互いに異なる引き出し点の一例にあたる。

40

【0066】

50

次に、本実施の形態 1 の液晶表示装置で、ゲートドライバ 1 1 の全ゲート信号出力端子 G 1 ~ G 2 4 0 の出力を ON にさせる動作について説明する。なお、本実施の形態 1 の液晶表示装置の表示動作については、前述した従来の液晶表示装置の表示動作と同様なので、説明を省略する。

【 0 0 6 7 】

電源投入時等に、ゲートドライバ 1 1 の全ゲート信号出力端子 G 1 ~ G 2 4 0 の出力を ON にさせる際、タイミング制御部 2 0 は、図 5 に示すタイミング制御部 1 2 1 と同様に、出力全 ON 信号 X D O N をゲートドライバ 1 1 の外部入力端子 A L L O N に入力する。

【 0 0 6 8 】

図 2 は、外部入力端子 A L L O N に入力される X D O N 信号、2 つのモノマルチバイブレータ M M 1 と M M 2 の出力信号、および各ゲート信号出力端子 G 1 ~ G 2 4 0 の出力信号のタイミングチャートを示している。 10

【 0 0 6 9 】

X D O N 信号は、L o w レベルがアクティブの状態である。

【 0 0 7 0 】

X D O N 信号がアクティブになるタイミングに応じて、奇数番目のゲート信号出力端子 G 1、G 3、...、G 2 3 9 から、それぞれに接続される走査線にゲートパルスが出力される。図 2 に示すように、これらのゲート信号出力端子 G 1、G 3、...、G 2 3 9 にゲートパルスが出力されているタイミングには、偶数番目のゲート信号出力端子 G 2、G 4、...、G 2 4 0 からはゲートパルスは出力されない。 20

【 0 0 7 1 】

モノマルチバイブレータ M M 1 は、図 2 に示すように、入力される X D O N 信号に対して、接続されているコンデンサ C 1 の容量値と抵抗 R 1 の抵抗値から決まるディレイ時間 T 1 の幅を持つ信号を出力する。

【 0 0 7 2 】

このモノマルチバイブレータ M M 1 の出力信号が入力されたモノマルチバイブレータ M M 2 は、接続されているコンデンサ C 2 の容量値と抵抗 R 2 の抵抗値から決まるディレイ時間 T 2 の幅を持つ信号を出力する。ここで、コンデンサ C 2 の容量値と抵抗 R 2 の抵抗値は、ディレイ時間 T 2 が X D O N 信号のパルス幅と同じ長さになるように設定されている。 30

【 0 0 7 3 】

したがって、図 2 に示すように、モノマルチバイブレータ M M 2 からは、X D O N 信号と同じパルス幅でタイミングがずれた信号が出力される。この M M ネットワーク 2 1 の構成によって、X D O N 信号と異なるタイミングの信号をモノマルチバイブレータ M M 2 から出力させる処理が、本発明のグループ別 ON 信号生成ステップの一例にあたる。

【 0 0 7 4 】

そして、モノマルチバイブレータ M M 2 の出力信号がアクティブになるタイミングに応じて、偶数番目のゲート信号出力端子 G 2、G 4、...、G 2 4 0 から、それぞれに接続される走査線にゲートパルスが出力される。図 2 に示すように、これらのゲート信号出力端子 G 2、G 4、...、G 2 4 0 にゲートパルスが出力されているタイミングには、奇数番目のゲート信号出力端子 G 1、G 3、...、G 2 3 9 からはゲートパルスは出力されない。 40

【 0 0 7 5 】

このように、ゲート信号出力端子 G 1、G 3、...、G 2 3 9 が共通に接続される奇数端子 ON 入力点 3 0 に X D O N 信号を供給し、ゲート信号出力端子 G 2、G 4、...、G 2 4 0 が共通に接続される偶数端子 ON 入力点 3 1 に X D O N 信号とは異なるタイミングのモノマルチバイブレータ M M 2 の出力信号を供給する処理が、本発明のグループ別 ON 信号供給ステップの一例にあたる。

【 0 0 7 6 】

X D O N 信号とモノマルチバイブレータ M M 2 から出力される信号とのタイミングのずれ時間は、モノマルチバイブレータ M M 1 に接続しているコンデンサ C 1 の容量値と抵抗 50

R 1 の抵抗値の一方または両方を変更して、ディレイ時間 T 1 を変化させることにより調整できる。

【 0 0 7 7 】

このように X D O N 信号からタイミングをずらしたモノマルチバイブレータ M M 2 の出力信号を用いることにより、同じタイミングで電流が流れる走査線の数減らし、瞬間的に大電流が流れる問題を解消できる。

【 0 0 7 8 】

本実施の形態 1 の液晶表示装置では、瞬間的に大電流が流れる問題を、ゲートドライバ 1 1 のみで対応しているため、コントローラ 1 0 等の他の回路等を変更する必要がなく、また、コントローラ 1 0 等とゲートドライバ 1 1 とを接続する配線等も変更する必要が無い。つまり、コントローラ 1 0 等の他の回路に負担をかけずに、ゲートドライバ 1 1 の対応のみで、瞬間的に大電流が流れる問題を防止できる。

10

【 0 0 7 9 】

図 3 (a) および図 3 (b) は、本実施の形態 1 のゲートドライバの他の構成を示している。なお、図 3 (a) および図 3 (b) では、各モノマルチバイブレータに接続され、それらのディレイ時間を決定するコンデンサおよび抵抗の記載は省略している。

【 0 0 8 0 】

図 1 に示した構成のゲートドライバ 1 1 では、全ゲート信号出力端子を 2 つのグループに分けて、グループ毎に出力全 O N 信号のタイミングをずらした信号を用いるようにしたが、図 3 (a) および図 3 (b) は、全ゲート信号出力端子を 4 つのグループに分け、その 4 つのグループ毎に出力全 O N 信号のタイミングをずらした信号を用いるようにした構成としている。

20

【 0 0 8 1 】

図 3 (a) は、ゲートドライバに、直列に接続された 6 つのモノマルチバイブレータ M M 1 ~ M M 6 が内蔵されている。そして、ゲートドライバに設けられている複数のゲート信号出力端子が 4 つのグループ (グループ 1 ~ グループ 4) に分けられている。グループ 1 ~ グループ 4 は、それぞれ、出力全 O N 信号として、X D O N 信号、モノマルチバイブレータ M M 2 の出力である X D O N 2 信号、モノマルチバイブレータ M M 4 の出力である X D O N 4 信号、モノマルチバイブレータ M M 6 の出力である X D O N 6 信号が用いられるようになっている。これらの 4 つの出力全 O N 信号として用いられる信号は、互いにタイミングのずれた信号なので、グループ毎にゲート信号出力端子が O N にされるタイミングもずれる。

30

【 0 0 8 2 】

ゲート信号出力端子に流れる電流は、4 回のタイミングに分かれて流れるので、図 1 の 2 グループに分けた場合よりも、さらに瞬時に流れる電流値を小さくできる。

【 0 0 8 3 】

図 3 (b) は、ゲートドライバに、直列に接続された 2 つのモノマルチバイブレータの組み合わせが、3 組並列に配置されて内蔵されている。そして、ゲートドライバに設けられている複数のゲート信号出力端子が 4 つのグループ (グループ 1 ~ グループ 4) に分けられている。グループ 1 ~ グループ 4 は、それぞれ、出力全 O N 信号として、X D O N 信号、モノマルチバイブレータ M M 2 の出力である X D O N 2 信号、モノマルチバイブレータ M M 4 の出力である X D O N 4 信号、モノマルチバイブレータ M M 6 の出力である X D O N 6 信号が用いられるようになっている。

40

【 0 0 8 4 】

ここで、モノマルチバイブレータ M M 2 、 M M 4 、 M M 6 のディレイ時間は、互いに同じで、X D O N 信号のパルス幅と同じ長さになるように設定されている。そして、モノマルチバイブレータ M M 1 、 M M 3 、 M M 5 のディレイ時間は、この順に長くなるような異なるディレイ時間に設定されている。

【 0 0 8 5 】

その結果、X D O N 信号、X D O N 2 信号、X D O N 4 信号、X D O N 6 信号は、互い

50

に同じパルス幅で、この順番でタイミングがずれて出力されていく。これらの4つの出力全ON信号として用いられる信号は、互いにタイミングのずれた信号となるので、グループ毎にゲート信号出力端子がONにされるタイミングもずれる。

【0086】

図3(a)の場合と同様に、ゲート信号出力端子に流れる電流は、4回のタイミングに分かれて流れるので、図1の2グループに分けた場合よりも、さらに瞬時に流れる電流値を小さくできる。

【0087】

なお、図3(a)および図3(b)では、ゲート信号出力端子を4つのグループに分けることとしたが、3グループや5グループ以上など、これら以外のグループ数に分けるようにしてもよい。ゲートドライバに内蔵させるモノマルチバイプレータの個数を変更することにより、所望のグループ数に対応した、出力全ON信号として用いるタイミングのずれた複数の信号を生成できる。

10

【0088】

また、図3(a)や図3(b)の構成に限らず、これらの構成を組み合わせたような構成にしてもよい。分けたグループ毎に、出力全ON信号として用いる信号を異なるタイミングで供給できるようにすれば、各モノマルチバイプレータをゲートドライバ内にどのように構成させてもよい。

【0089】

(実施の形態2)

20

図4は、本発明の実施の形態2の液晶表示装置の、ゲートドライバ部分の構成図を示している。

【0090】

図1に示した実施の形態1のゲートドライバ11と異なる部分について説明する。なお、図1と同じ構成部分には、同じ符号を用いている。

【0091】

本実施の形態2のゲートドライバ12は、実施の形態1のゲートドライバ11に加えて外部端子EXTRを備えている。外部端子EXTRは、ゲートドライバ11内部で、モノマルチバイプレータMM1のディレイ時間を決める抵抗が接続される、モノマルチバイプレータMM1の端子に接続されている。なお、外部端子EXTRが、本発明の外部抵抗接続端子の一例にあたる。

30

【0092】

モノマルチバイプレータMM1のディレイ時間を決める抵抗をゲートドライバ11の外部に接続する構成としたことにより、本実施の形態2のMMネットワーク22は、実施の形態1のMMネットワーク21からモノマルチバイプレータMM1のディレイ時間を決める抵抗R1を除いた構成となっている。

【0093】

外部端子EXTRに抵抗R1'を接続することにより、図2に示すモノマルチバイプレータMM1のディレイ時間T1は、抵抗R1'の抵抗値とゲートドライバ12に内蔵されているコンデンサC1の容量値とで決まる。したがって、外部端子EXTRに接続する抵抗R1'の抵抗値を変えることにより、モノマルチバイプレータMM1のディレイ時間T1を所望の時間に設定できる。

40

【0094】

ゲートドライバ12が組み込まれる液晶表示装置が異なると、その液晶表示装置の他の部分の回路構成などにより、瞬間的に流れる電流を分散させる際のタイミングの好ましいずらせ方が異なってくる。外部端子EXTRを設けて、外部に接続する抵抗R1'の抵抗値によりディレイ時間T1を調整できるようにしたことにより、さまざまな構成の液晶表示装置に本実施の形態2のゲートドライバ12を組み込むことができる。

【0095】

なお、図4に示した本実施の形態2のゲートドライバ12では、2つのグループに分け

50

る場合の構成について説明したが、図3(a)や図3(b)のような構成にしてもよいし、その他の構成であってもよい。ゲートドライバに外部端子を設け、その外部端子に接続する抵抗の抵抗値に応じて、グループ毎の出力全ON信号として用いる信号のタイミングを調整できるようにすればよい。

【0096】

以上に説明したように、本発明のゲートドライバ回路を用いることにより、ゲートドライバ以外の回路への負担無しに、ゲートドライバの全出力ON時に瞬間的に発生する大電流の問題を回避できる。

【産業上の利用可能性】

【0097】

本発明にかかるゲートドライバ回路、液晶表示装置およびゲートドライブ方法は、他の回路への負担がなく、ゲートドライバの対応のみで、ゲートドライバの全出力ON時に瞬間的に発生する大電流を防止できる効果を有するので、ゲートを順に走査して表示させるゲートドライバ回路、液晶表示装置およびゲートドライブ方法等に有用である。

【図面の簡単な説明】

【0098】

【図1】本発明の実施の形態1の液晶表示装置のゲートドライバ部分の構成図

【図2】本発明の実施の形態1の、ゲートドライバに入力されるXDON信号、2つのモノマルチプレータの出力信号、および各ゲート信号出力端子の出力信号のタイミングチャートを示す図

【図3】(a)本発明の実施の形態1の液晶表示装置の、他の構成のゲートドライバ部分の構成図、(b)本発明の実施の形態1の液晶表示装置の、他の構成のゲートドライバ部分の構成図

【図4】本発明の実施の形態2の液晶表示装置のゲートドライバ部分の構成図

【図5】従来一般的な液晶表示装置の構成図

【図6】従来液晶表示装置における表示動作時の、映像信号、ソースドライバ出力、およびゲート信号のタイミングチャートを示す図

【図7】従来、ゲートドライバの出力全ON信号を複数の信号に分けた液晶表示装置の、ゲートドライバ部分の構成図

【図8】従来、ゲートドライバの出力全ON信号を複数の信号に分けた液晶表示装置の、ゲートドライバに入力されるXDON1信号およびXDON2信号と各ゲート信号出力端子の出力信号のタイミングチャートを示す図

【図9】従来、ゲートドライバに入力される出力全ON信号をゲートドライバ内部でタイミングをずらした複数の信号に分ける液晶表示装置の、ゲートドライバ部分の構成図

【図10】従来、ゲートドライバに入力される出力全ON信号をゲートドライバ内部でタイミングをずらした複数の信号に分ける液晶表示装置の、ゲートドライバに入力されるXDON信号、CLK信号、2つのフリップフロップの出力信号、および各ゲート信号出力端子の出力信号のタイミングチャートを示す図

【符号の説明】

【0099】

- 10 コントローラ
- 11、12 ゲートドライバ
- 20 タイミング制御部
- 21、22 MMネットワーク
- 30 奇数端子ON入力点
- 31 偶数端子ON入力点

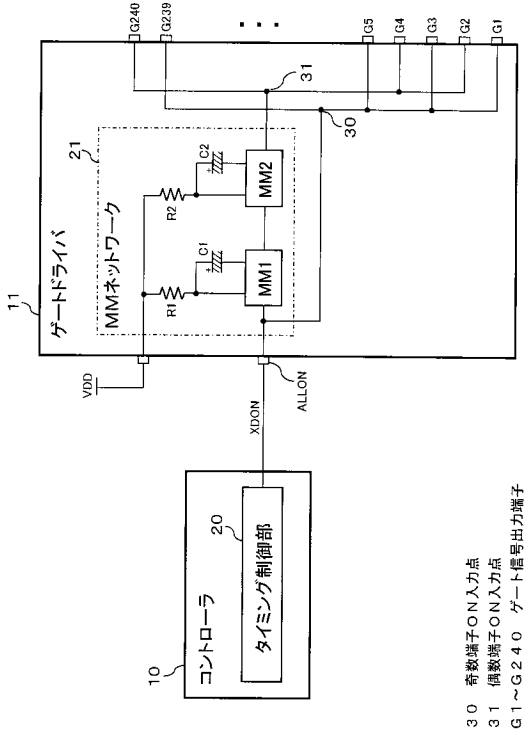
10

20

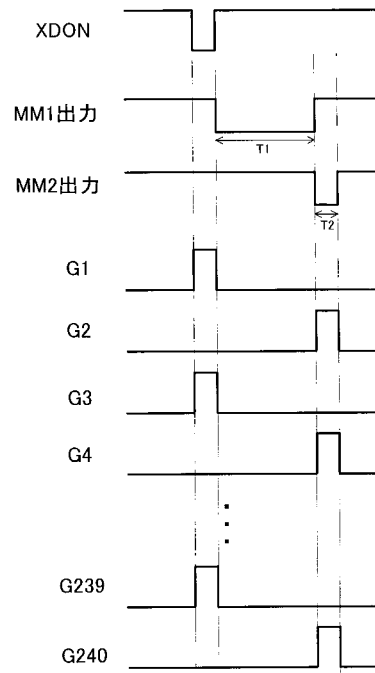
30

40

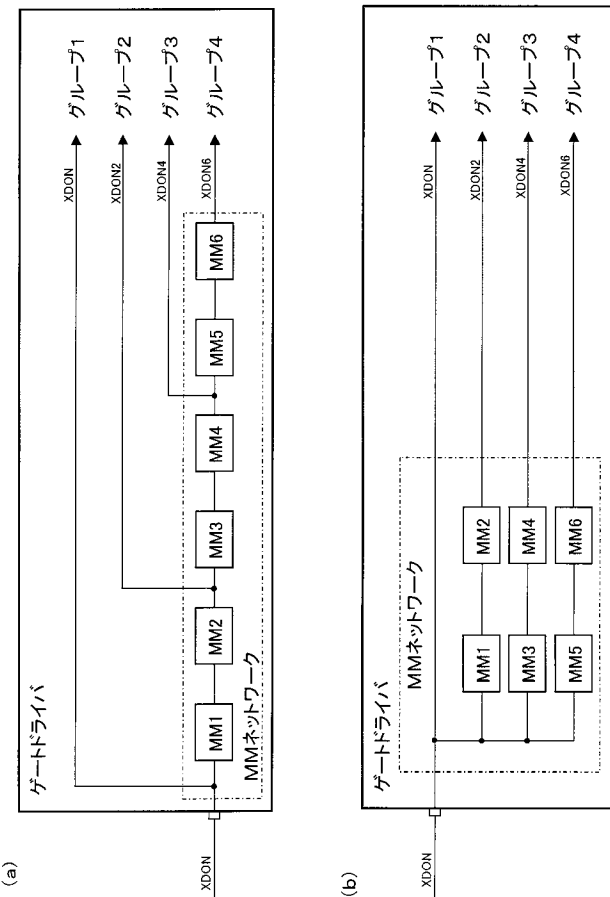
【図1】



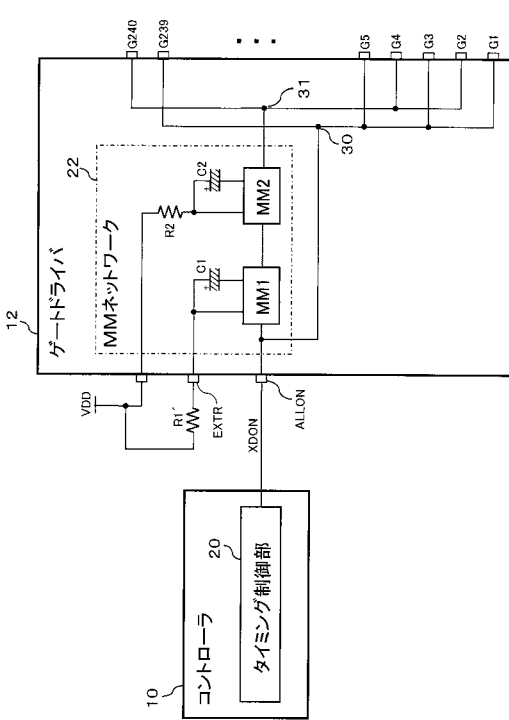
【図2】



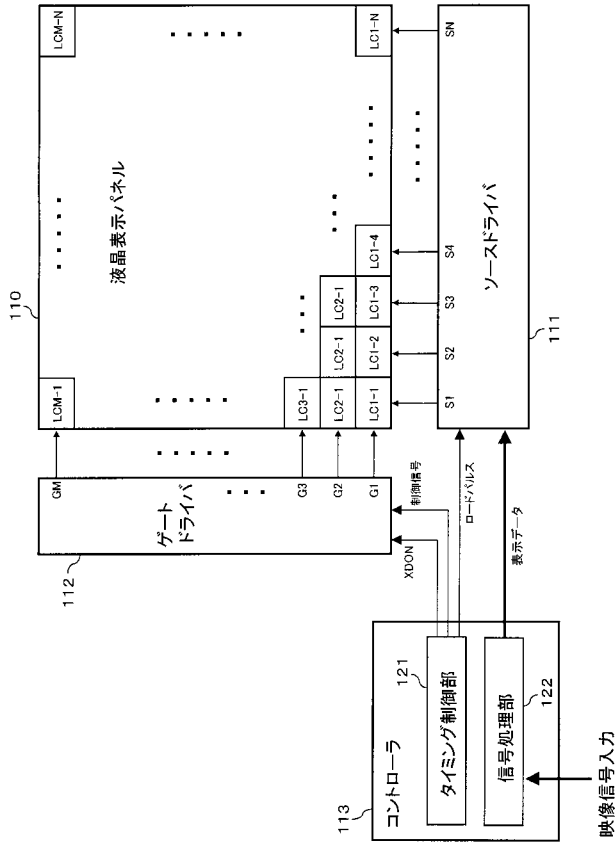
【図3】



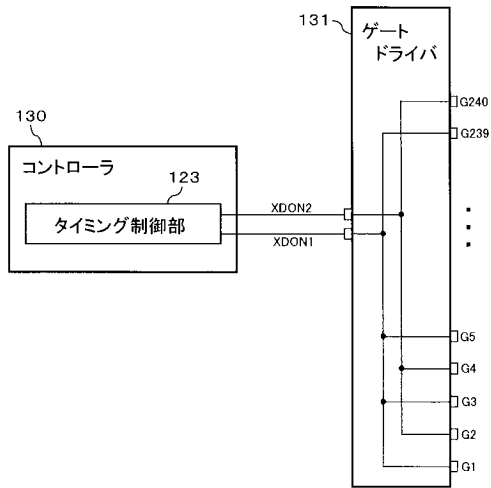
【図4】



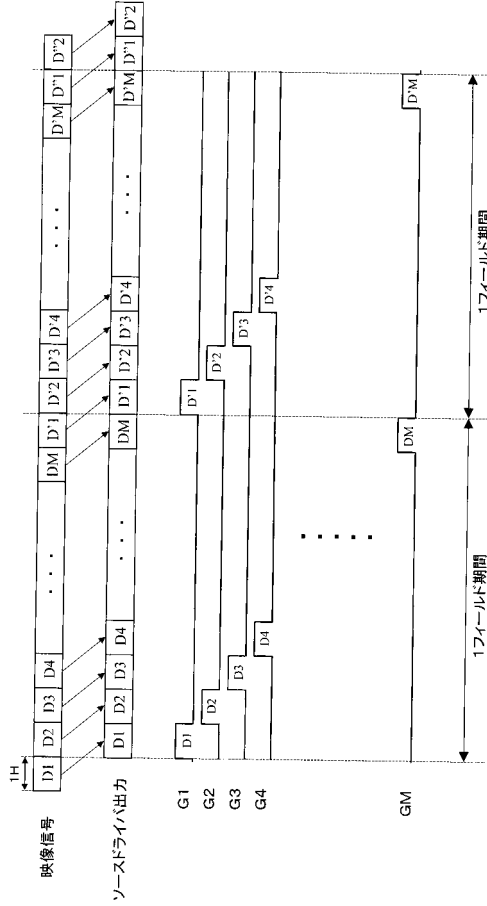
【図5】



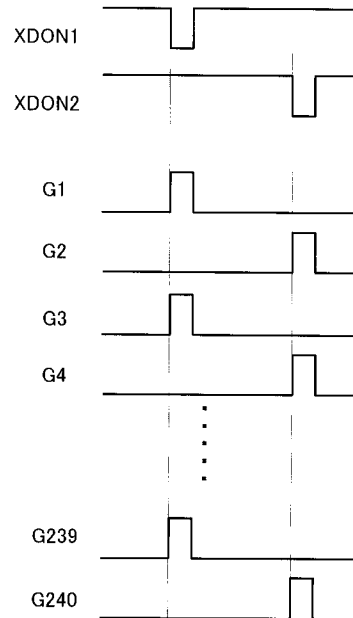
【図7】



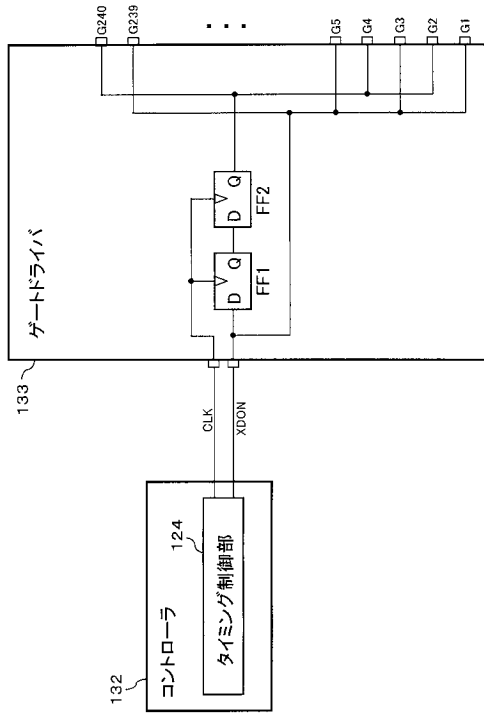
【図6】



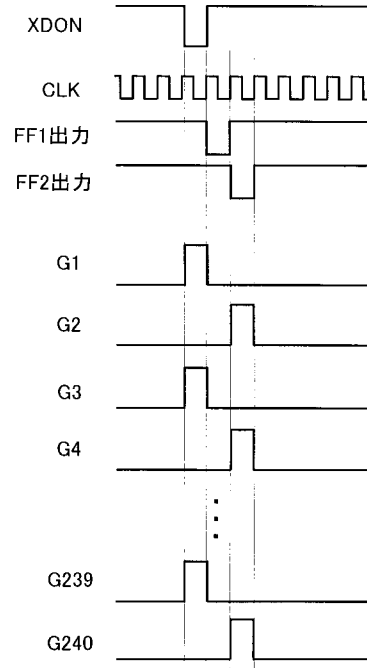
【図8】



【図9】



【図10】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 5 0

专利名称(译)	栅极驱动电路，液晶显示装置和栅极驱动方法		
公开(公告)号	JP2007206416A	公开(公告)日	2007-08-16
申请号	JP2006025697	申请日	2006-02-02
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	中村哲哉		
发明人	中村 哲哉		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.622.B G09G3/20.611.Z G09G3/20.622.D G09G3/20.612.J G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA45 2H093/NA47 2H093/NC10 2H093/NC16 2H093/NC36 2H093/ND34 2H093/ND49 5C006/AC22 5C006/AF41 5C006/AF67 5C006/AF71 5C006/BC22 5C006/BF37 5C006/FA16 5C080/AA10 5C080/BB05 5C080/DD18 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/KK07 2H193/ZA08 2H193/ZC26 2H193/ZF22		
代理人(译)	松田 正道		
外部链接	Espacenet		

摘要(译)

要解决的问题：当门驱动器的所有输出都打开时，只有通过调整栅极驱动器而不在其他电路上施加负载，才能防止产生瞬间大电流。

ΣSOLUTION：栅极驱动电路具有多个栅极信号输出端子G1至G240，它们连接到各个扫描线中的一些并被分成多个组，多个ON输入点30到31由连接到的组各组共用的栅极输出端子G1至G240，输入全部导通信号的全导通信号输入端子，用于使来自多个栅极信号输出端子G1至G240的所有输出导通，以及MM网络21由多个直接或间接连接到全导通信号输入端子的单声道多振荡器组成。这里，提供给MM网络21并且信号流动的定时彼此不同的引出点通过多个组连接到多个ON输入点30和31。Σ

