

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	550	G 0 2 F 1/133	2 H 0 9 3
	1/1343		5 C 0 0 6
	1/1368		5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20	611 A
審査請求 未請求 請求項の数 4 O L (全 11数) 最終頁に続く			

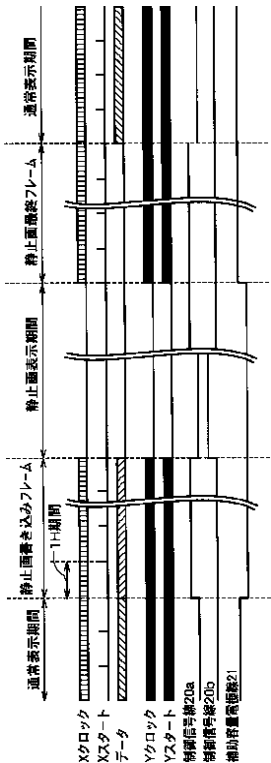
(21)出願番号	特願2001 - 246137(P2001 - 246137)	(71)出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	平成13年8月14日(2001.8.14)	(72)発明者	森山 直己 埼玉県深谷市幡羅町一丁目9番地2 株式会 社東芝深谷工場内
		(72)発明者	木村 裕之 埼玉県深谷市幡羅町一丁目9番地2 株式会 社東芝深谷工場内
		(74)代理人	100083806 弁理士 三好 秀和 (外 7 名)
		最終頁に続く	

(54)【発明の名称】 表示装置の駆動方法及び表示装置

(57)【要約】

【課題】 デジタルメモリ（以下、DM）を備えた液晶表示装置では、高精細化に伴いDMを構成する素子の駆動能力不足が生じ、点欠陥となって歩留まりの低下を招いていた。

【解決手段】 DM 1 8 を駆動させる静止画表示期間では、補助容量電極 1 9 と補助容量電極線 2 1 との間で補助容量 C s が形成されなくなるオフレベルの補助容量電位を補助容量電極線 2 1 に供給して、補助容量 C s の影響を受けにくくして、DM 1 8 での 2 値化された映像信号の書き込みや読み出しを正確に行うことができるようにした。



【特許請求の範囲】

【請求項 1】 マトリクス状に配置された複数の走査線及び複数の信号線、これら両線の各交差部に配置された画素電極、前記画素電極と電氣的に接続された補助容量電極、外部から供給される電位に応じて前記補助容量電極との間で MOS キャパシタにより補助容量を形成する補助容量電極線、前記走査線から供給される走査信号によりオン/オフ制御され、オン時に前記信号線に供給された映像信号を前記画素電極に書き込む第 1 スイッチ素子、前記画素電極と電氣的に接続され、前記信号線に供給された映像信号を保持可能なデジタルメモリ、前記画素電極と前記デジタルメモリとの間の導通を制御する第 2 スイッチ素子を有する第 1 電極基板と、前記画素電極と対向配置された対向電極を有する第 2 電極基板と、前記第 1 電極基板と第 2 電極基板との間に挟持された表示層とを備えた表示装置において、第 1 表示期間では、前記第 2 スイッチ素子により前記画素電極と前記デジタルメモリ間の導通をオフする一方、前記第 1 スイッチ素子を所定間隔でオンして、前記信号線に供給された第 1 映像信号を前記画素電極に書き込むことで表示を行い、且つ前記補助容量電極と前記補助容量電極線との間に所定の補助容量が形成される電位を前記補助容量電極線に供給し、第 2 表示期間では、前記第 2 スイッチ素子の導通をオンして前記信号線に供給された映像信号を前記デジタルメモリに保持させた後、前記第 1 スイッチ素子により前記信号線と前記画素電極間の導通をオフして、前記デジタルメモリに保持された第 2 映像信号を前記画素電極に書き込むことで表示を行い、且つ前記補助容量電極と前記補助容量電極線との間に前記所定の補助容量が形成されなくなる電位を前記補助容量電極線に供給することを特徴とする表示装置の駆動方法。

【請求項 2】 マトリクス状に配置された複数の走査線及び複数の信号線、これら両線の各交差部に配置された画素電極、前記画素電極と電氣的に接続された補助容量電極、外部から供給される電位により前記補助容量電極との間で一定の補助容量を形成する補助容量電極線、前記走査線から供給される走査信号によりオン/オフ制御され、オン時に前記信号線に供給された映像信号を前記画素電極に書き込む第 1 スイッチ素子、前記画素電極と電氣的に接続され、前記信号線に供給された映像信号を保持可能なデジタルメモリ、前記画素電極と前記デジタルメモリとの間の導通を制御する第 2 スイッチ素子を有する第 1 電極基板と、前記画素電極と対向配置された対向電極を有する第 2 電極基板と、前記第 1 電極基板と第 2 電極基板との間に挟持された表示層とを備えた表示装置において、前記画素電極と前記補助容量電極との間の導通を制御する第 3 スイッチ素子を設けたことを特徴とする表示装置。

【請求項 3】 前記補助容量は、MOS キャパシタ又は*

*MIM キャパシタを用いて形成されることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】 第 1 表示期間では、前記第 2 スイッチ素子により前記画素電極と前記デジタルメモリ間の導通をオフする一方、前記第 1 スイッチ素子の導通を所定間隔でオンして、前記信号線に供給された第 1 映像信号を前記画素電極に書き込むことで表示を行い、且つ前記第 3 スイッチ素子の導通をオンして、前記画素電極と前記補助容量への前記第 1 映像信号の書き込みを可能とし、第 2 表示期間では、前記第 3 スイッチ素子の導通をオフして、前記補助容量と前記画素容量との間の電氣的な接続を切り離し、前記第 2 スイッチ素子の導通をオンして前記信号線に供給された映像信号を前記デジタルメモリに保持させた後、前記第 1 スイッチ素子により前記信号線と前記画素電極間の導通をオフして、前記デジタルメモリに保持された第 2 映像信号を前記画素電極に書き込むことで表示を行うことを特徴とする請求項 2 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は表示装置の駆動方法及び表示装置に関し、詳しくは画素毎にデジタルメモリを備えた液晶表示装置とその駆動方法に関する。

【0002】

【従来の技術】近年、液晶表示装置は軽量、薄型、低消費電力という利点を活かして携帯電話や電子ブック等の小型情報端末のディスプレイとして使用されている。これらの小型情報端末は一般にバッテリー駆動であるため、低消費電力化が重要な課題となっている。例えば携帯電話では、待ち受け期間中に低消費電力で表示できることが求められており、これを実現するための技術としては、例えば特開昭 58-23091 号公報などが挙げられる。ここに開示された画像表示装置は、画素内にデジタルメモリを備えており、待ち受け時（以下、静止画表示期間）には、液晶を交流駆動するための交流駆動回路のみを動作させ、その他の周辺駆動回路を止めることにより、大幅な消費電力の低減を図っている。

【0003】

【発明が解決しようとする課題】ところで、最近では携帯電話においてもインターネットや TV 電話等のカラー中間調表示や動画表示が始まっており、高精細化と更なる低消費電力化が求められている。これに対応するため、各画素に内蔵されたスイッチ素子により、デジタルメモリによる駆動と通常の TFT 方式の駆動を切り替える構造を備えた液晶表示装置が提案されている。

【0004】しかしながら、高精細な画面では 1 画素の面積が小さくなるため、デジタルメモリを構成する素子サイズも小さくなり、映像信号の書き込みや読み出しなどの駆動能力にも制限が生じることになる。とくに、製造バラツキにより素子特性が劣化した場合には駆動能

力不足となるため、補助容量の影響を受けやすくなり、映像信号の書き込みや読み出しが正確にできなくなるおそれがある。こうした理由により、本来の映像信号とは異なる情報が保持又は読み出された場合、その画素は点欠陥として認識されるため、歩留まりの低下を招くという問題点があった。

【0005】この発明の目的は、高精細化による素子劣化の影響を受けにくくすることで、高精細化と歩留まりの向上とを両立させた表示装置の駆動方法及び表示装置を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は、マトリクス状に配置された複数の走査線及び複数の信号線、これら両線の各交差部に配置された画素電極、前記画素電極と電気的に接続された補助容量電極、外部から供給される電位に応じて前記補助容量電極との間でMOSキャパシタにより補助容量を形成する補助容量電極線、前記走査線から供給される走査信号によりオン/オフ制御され、オン時に前記信号線に供給された映像信号を前記画素電極に書き込む第1スイッチ素子、前記画素電極と電気的に接続され、前記信号線に供給された映像信号を保持可能なデジタルメモリ、前記画素電極と前記デジタルメモリとの間の導通を制御する第2スイッチ素子を有する第1電極基板と、前記画素電極と対向配置された対向電極を有する第2電極基板と、前記第1電極基板と第2電極基板との間に挟持された表示層とを備えた表示装置において、第1表示期間では、前記第2スイッチ素子により前記画素電極と前記デジタルメモリ間の導通をオフする一方、前記第1スイッチ素子を所定間隔でオンして、前記信号線に供給された第1映像信号を前記画素電極に書き込むことで表示を行い、且つ前記補助容量電極と前記補助容量電極線との間に所定の補助容量が形成される電位を前記補助容量電極線に供給し、第2表示期間では、前記第2スイッチ素子の導通をオンして前記信号線に供給された映像信号を前記デジタルメモリに保持させた後、前記第1スイッチ素子により前記信号線と前記画素電極間の導通をオフして、前記デジタルメモリに保持された第2映像信号を前記画素電極に書き込むことで表示を行い、且つ前記補助容量電極と前記補助容量電極線との間に前記所定の補助容量が形成されなくなる電位を前記補助容量電極線に供給することを特徴とする表示装置の駆動方法である。

【0007】また、上記目的を達成するため、請求項2の発明は、マトリクス状に配置された複数の走査線及び複数の信号線、これら両線の各交差部に配置された画素電極、前記画素電極と電気的に接続された補助容量電極、外部から供給される電位により前記補助容量電極との間で一定の補助容量を形成する補助容量電極線、前記走査線から供給される走査信号によりオン/オフ制御さ

れ、オン時に前記信号線に供給された映像信号を前記画素電極に書き込む第1スイッチ素子、前記画素電極と電気的に接続され、前記信号線に供給された映像信号を保持可能なデジタルメモリ、前記画素電極と前記デジタルメモリとの間の導通を制御する第2スイッチ素子を有する第1電極基板と、前記画素電極と対向配置された対向電極を有する第2電極基板と、前記第1電極基板と第2電極基板との間に挟持された表示層とを備えた表示装置において、前記画素電極と前記補助容量電極との間の導通を制御する第3スイッチ素子を設けたことを特徴とする。

【0008】請求項3の発明は、請求項2において、前記補助容量はMOSキャパシタ又はMIMキャパシタを用いて形成されることを特徴とする。

【0009】請求項4の発明は、請求項2において、第1表示期間では、前記第2スイッチ素子により前記画素電極と前記デジタルメモリ間の導通をオフする一方、前記第1スイッチ素子の導通を所定間隔でオンして、前記信号線に供給された第1映像信号を前記画素電極に書き込むことで表示を行い、且つ前記第3スイッチ素子の導通をオンして、前記画素電極と前記補助容量への前記第1映像信号の書き込みを可能とし、第2表示期間では、前記第3スイッチ素子の導通をオフして、前記補助容量と前記画素電極との間の電気的な接続を切り離し、前記第2スイッチ素子の導通をオンして前記信号線に供給された映像信号を前記デジタルメモリに保持させた後、前記第1スイッチ素子により前記信号線と前記画素電極間の導通をオフして、前記デジタルメモリに保持された第2映像信号を前記画素電極に書き込むことで表示を行うことを特徴とする表示装置の駆動方法である。

【0010】好ましい形態として、前記画素電極は金属薄膜で構成された光反射型の画素電極であることを特徴とする。

【0011】好ましい形態として、前記補助容量電極線は、前記走査線と略並行に配置され、一水平ライン上に配置された複数の前記補助容量電極との間で補助容量を形成する。

【0012】好ましい形態として、前記デジタルメモリスイッチ回路は、少なくとも、前記デジタルメモリの非反転出力端子に接続する第1DMスイッチ素子と、同デジタルメモリの反転出力端子に接続する第2DMスイッチ素子とで構成されることを特徴とする。

【0013】好ましい形態として、前記第1DMスイッチ素子と前記第2DMスイッチ素子は、それぞれ独立した制御信号線に接続されることを特徴とする。

【0014】好ましい形態として、前記デジタルメモリは、少なくとも、2つのインバータ回路とDM内部スイッチ素子で構成されることを特徴とする。

【0015】好ましい形態として、前記DM内部スイッチ素子は、前記走査線に接続されることを特徴とする。

【0016】好ましい形態として、前記第1スイッチ素子と前記DM内部スイッチ素子は、相補型のMOSトランジスタで構成されることを特徴とする。

【0017】好ましい形態として、前記MOSキャパシタはn-ch又はp-chMOSキャパシタであることを特徴とする。

【0018】

【発明の実施の形態】以下、この発明に係わる表示装置の駆動方法及び表示装置をデジタルメモリを備えたアクティブマトリクス型の液晶表示装置に適用した場合の実施形態について説明する。

【0019】[実施形態1]図4は、実施形態1に係わる液晶表示装置の回路構成図であり、図5は図4の概略断面図である。

【0020】この液晶表示装置は、複数の表示画素10が形成された表示画素部110、走査線駆動回路120及び信号線駆動回路130から構成されている。

【0021】ここでは、アレイ基板101(図5)上において、走査線駆動回路120及び信号線駆動回路130が後述する信号線11、走査線12及び画素電極13などと一体に形成されている例について示すが、走査線駆動回路120及び信号線駆動回路130は、図示しない外部駆動基板上に配置されていてもよい。

【0022】表示画素部110は、アレイ基板101上に複数本の信号線11及び、これと交差する複数本の走査線12が図示しない絶縁膜を介してマトリクス状に配置されており、両線の各交差部には表示画素10が配置されている。

【0023】表示画素10は、画素電極13、画素スイッチ素子14、対向電極15、液晶層16、デジタルメモリスイッチ回路17(以下、DMスイッチ回路)及びデジタルメモリ(以下、DM)18により構成されている。

【0024】表示画素10において、画素スイッチ素子14のソースは信号線11に、ゲートは走査線12に、ドレインは画素電極13にそれぞれ接続されている。また、画素電極13はDMスイッチ回路17を介してDM18に接続されている。このDMスイッチ回路17のゲートは制御信号線20に、ソースは画素電極13に、ドレインはDM18にそれぞれ接続されている。DMスイッチ回路17及びDM18の構成については後に説明する。なお制御信号線20は、後述するように20a、20bとして2本配置されているが、図4では説明を容易にするために1本の制御信号線20として表している。

【0025】なお、画素スイッチ素子14、DMスイッチ回路17は、それぞれ本実施形態における第1スイッチ素子、第2スイッチ素子を構成している。また、アレイ基板101、対向基板102は、それぞれ本実施形態における第1電極基板、第2電極基板を構成している。

【0026】画素電極13はアレイ基板101上に形成

され、この画素電極13と相対する対向電極15は対向基板102(図5)上に形成されている。対向電極15には図示しない外部駆動基板上に配置されたコントロールICから所定の対向電位が供給されている。

【0027】また画素電極13には電氣的に並列に補助容量電極19が接続されており、補助容量電極線21との間で補助容量Csを形成している。この補助容量Csは、画素電極13と対向電極15との電位関係を保持するために形成されている。すなわち、信号線11を通じて表示画素10に書き込まれた映像信号は、画素電極13と対向電極15との間に形成される液晶容量Clcと、補助容量電極19と補助容量電極線21との間に形成される補助容量Csにそれぞれ保持される。この補助容量Csを形成するために、補助容量電極19と対向配置された補助容量電極線21には、図示しないコントロールICから後述する補助容量電位が与えられている。

【0028】本実施形態における補助容量Csは、半導体電極と金属電極とを備えたn-chMOSキャパシタを用いて形成されている。図4において、半導体電極は補助容量電極19として機能し、金属電極は補助容量電極線21として機能している。ただし、補助容量Csは半導体電極と金属電極とを備えたp-chMOSキャパシタを用いて形成されたものであってもよい。以後の説明では、n-ch又はp-chMOSキャパシタを、単にMOSキャパシタと総称する。

【0029】前記MOSキャパシタは、図示しないコントロールICから供給される補助容量電位により内部容量が変位する。すなわち、補助容量電極線21にオンレベルの補助容量電位が供給されている間は補助容量電極19と補助容量電極線21との間に補助容量Csが形成されるが、オフレベルの補助容量電位では補助容量Csは形成されなくなる。

【0030】走査線駆動回路120は、シフトレジスタ121及び図示しないバッファ回路などで構成されており、図示しないコントロールICからコントロール信号(水平クロック/スタート信号)、電源電圧が供給されている。

【0031】走査線駆動回路120では、中間調表示や動画表示(以下、通常表示)期間には、通常のアクティブマトリクス型の液晶表示装置と同様に所定周期で走査信号を出力して走査線12をオンレベルとし、静止画表示期間では走査線12をオフレベルとする。また、走査線駆動回路120は、後述するように通常表示期間に、それぞれ制御信号線20に所定レベルの制御信号を供給している。

【0032】なお、通常表示期間、静止画表示期間は、それぞれ本実施形態における第1表示期間、第2表示期間に相当する。

【0033】信号線駆動回路130は、シフトレジスタ131、ASW(アナログスイッチ)132などで構成

されており、図示しないコントロールICからコントロール信号（水平クロック/スタート信号）、電源電圧及びビデオバス133を通じて映像信号が供給されている。信号線駆動回路130では、前記水平クロック/スタート信号に基づいて、シフトレジスタ131からASW132の開閉信号を出力することにより、ビデオバス133に供給された映像信号を所定のタイミングで信号線11にサンプリングする。

【0034】上記アレイ基板101と対向基板102との間には、表示層としての液晶層16が保持され、その周囲はシール材103（図5）により封止されている。

【0035】ここで、上記のように構成された液晶表示装置の基本的な動作について簡単に説明する。

【0036】走査線駆動回路120から走査信号を出力して、各走査線12を上から順にオンレベルとし、これと同期して信号線11に映像信号をサンプリングすると、オンレベルの走査線12に接続するすべての画素スイッチ素子14は一水平走査期間だけオン状態となり、信号線11にサンプリングされていた映像信号は画素スイッチ素子14を通じて画素電極13に書き込まれる。この映像信号は、画素電極13と対向電極15（及び補助容量電極19と補助容量電極線21）との間に信号電圧として充電され、この信号電圧の大きさに応じて液晶層16が応答することで各表示画素10からの透過光量が制御される。このような動作を1フレーム期間内にすべての走査線12に対して実施することにより、一画面の映像が出来上がることになる。

【0037】次に、実施形態1における表示画素10の回路構成を図2及び図3を参照しながら、さらに詳細に説明する。

【0038】図2は、表示画素10の回路構成図であり、図4と同等部分は同一符号で示している。また、図3は図2の概略平面図である。

【0039】DMスイッチ回路17は、2つのDMスイッチ素子22、23で構成され、DM18の非反転出力端子27及び反転出力端子28と画素電極13との間に挿入されている。DMスイッチ回路17において、DMスイッチ素子22のゲートは制御信号線20aに接続され、DMスイッチ素子23のゲートは制御信号線20bに接続されている。制御信号線20a、20bは走査線駆動回路120に接続されており、表示形態に応じてオン又はオフレベルの電位が制御信号として供給されることで、2つのDMスイッチ素子は独立して制御される。このDMスイッチ回路17と画素スイッチ素子14は、ともにMOSトランジスタで構成されている。

【0040】DM18は、2つのインバータ回路24、25と、DM内部スイッチ素子26とで構成されている。このうちDM内部スイッチ素子26は、画素スイッチ素子14とは逆チャネルのスイッチ素子であり、画素スイッチ素子14と相補型のMOSトランジスタで構成

されている。

【0041】DM内部スイッチ素子26のゲートは、画素スイッチ素子14のゲートと同じ走査線12に接続されている。このため、走査線12がオンレベルになると、画素スイッチ素子14がオン、DM内部スイッチ素子26がオフして、DM18の非反転出力端子27とインバータ回路25の出力との電気的な接続が切り離される。このとき、制御信号線20a、20bがともにオフレベルであれば、信号線11にサンプリングされた映像信号は画素電極13に書き込まれる。また、制御信号線20aがオンレベル、制御信号線20bがオフレベルであれば、信号線11にサンプリングされた映像信号は画素電極13と非反転出力端子27に書き込まれる。さらに、走査線12がオフレベルになると、画素スイッチ素子14がオフ、DM内部スイッチ素子26がオンして、DM18の非反転出力端子27とインバータ回路25の出力とが電氣的に接続するため、非反転出力端子27に書き込まれた映像信号はDM18内に保持される。

【0042】補助容量電極線21は、図3に示すように走査線12と略並行に配置され、一水平ライン上に配置された複数の補助容量電極19との間でそれぞれ補助容量Csが形成されるように構成されている。

【0043】次に、上記のように構成された実施形態1の液晶表示装置において、通常表示及び静止画表示を行う場合の動作を、図1に示す信号波形のタイミングチャートを参照しながら説明する。

【0044】なお、図1において、Xクロック、Xスタートは水平クロック信号、水平スタート信号を表し、Yクロック、Yスタートは垂直クロック信号、垂直スタート信号を表している。また、データは通常表示用のフルカラー又は静止画表示用のマルチカラーの映像信号を表している。ここで、通常表示用のフルカラーの映像信号、静止画表示用のマルチカラーの映像信号は、それぞれ本実施形態における第1映像信号、第2映像信号に相当する。

【0045】通常表示期間では、制御信号線20a、20bをともにオフレベルとし、DMスイッチ回路17をオフ状態とする。この間は、走査線駆動回路120及び信号線駆動回路130に対し、それぞれコントロール信号や映像信号を供給して通常駆動することにより、フルカラーによる高画質な中間調/動画表示を行う。この場合は、DM18を持たない一般的なアクティブマトリクス型の液晶表示装置と同様に、信号線11にサンプリングされた映像信号を画素電極13及び補助容量電極19に書き込むことでフルカラー表示が行われる。なお、図1に示す1H期間とは一水平走査期間であり、この1H期間毎に出力されるXスタート信号に同期して、走査線駆動回路120から走査信号が出力される。

【0046】また、通常表示期間では、補助容量電極19と補助容量電極線21との間で補助容量Csが形成さ

れるオンレベルの補助容量電位が図示しないコントロール IC から補助容量電極線 21 に供給される。補助容量 Cs の容量値としては、画素電極 13 に書き込まれた映像信号の電位変動を防ぐのに必要な容量値が設定され、この補助容量 Cs により、信号線 11 を通じて画素電極 13 に書き込まれた映像信号は、次の映像信号の書き込みがなされるまでの間、電位変動することなしに安定して保持される。

【0047】次に、通常表示から静止画表示に切り替える際は、通常表示期間から静止画表示期間に移行する最後の 1 フレーム（静止画書き込みフレーム）において、制御信号線 20a をオンレベル、制御信号線 20b をオフレベルとする。そして、画素スイッチ素子 14 が走査信号によりオンしている間に、信号線 11 に 2 値化された映像信号をサンプリングし、これを画素スイッチ素子 14 及び DM スイッチ回路 17 の DM スイッチ素子 22 を通じて DM 18 の非反転出力端子 27 に書き込む。ここで、2 値化された映像信号とは、静止画表示期間で表示するマルチカラー画像用の映像信号である。

【0048】DM 18 に 2 値化された映像信号を書き込んだ後に、走査線 12 がオフレベルとなり、画素スイッチ素子 14 がオフすると、DM 内部スイッチ素子 26 がオンして、DM 18 の非反転出力端子 27 に書き込まれた映像信号は 2 つのインバータ回路 24, 25 を回るループに保持される。さらに、この状態で制御信号線 20a をオフレベル、制御信号線 20b をオンレベルとすると、DM 18 に保持されている 2 値化された映像信号は DM スイッチ回路 17 の DM スイッチ素子 23 を通じて出力され、画素電極 13 に書き込まれ、これにより 2 値のマルチカラー表示が行われる。また、この間、図示しないコントロール IC から走査線駆動回路 120 及び信号線駆動回路 130 へのコントロール信号や映像信号の供給は停止している。

【0049】この静止画表示期間において、DM 18 に書き込まれた映像信号は短時間であればこの状態で保持することもできるが、長時間保持すると直流成分により液晶層 16 が劣化するため、交流駆動する必要がある。そのため、一定の周期で制御信号線 20a, 同 20b を交互にオンレベルとし、DM スイッチ回路 17 の 2 つの DM スイッチ素子 22, 23 を交互にオンするとともに、これに合わせて対向電極 15 の電位を反転させることで交流駆動を行う。

【0050】このように、2 つの DM スイッチ素子 22, 23 を交互にオンすることで、画素電極 13 の電位は電源 / 接地電位が交互に出力され、これと同期させて対向電極 15 の電位を電源 / 接地電位間でシフトすることにより、対向電極 15 と極性が同じ表示画素 10 では液晶層 16 に電圧がかからず、逆極性の表示画素 10 では液晶層 16 に電圧がかかるため、2 値表示（白黒表示）を行うことができる。このとき、信号線 11 に映像

信号をサンプリングする信号線駆動回路 130 の動作は停止しており、液晶表示装置及びコントロール IC は液晶層 16 を交流駆動するための低周波数動作をするだけでよい。低消費電力で白黒表示を行うことができる。

【0051】また、静止画表示期間では、補助容量電極 19 と補助容量電極線 21 との間で補助容量 Cs が形成されなくなるオフレベルの補助容量電位が図示しないコントロール IC から補助容量電極線 21 に供給される。この時の補助容量 Cs はゼロである必要はなく、DM 18 への 2 値化された映像信号の書き込みや、DM 18 の駆動時に影響を及ぼさない容量値であればよい。

【0052】先に説明したように、高精細化に伴い DM 18 を構成する素子サイズが小さくなり、加えて製造バラツキによる素子特性が劣化した場合は駆動能力不足となるため、補助容量 Cs の影響を受けやすくなる。しかしながら、マルチカラー画像用の映像信号を DM 18 に書き込む際に、補助容量電極線 21 にオフレベルの補助容量電位を供給して補助容量 Cs の容量値を小さくすることにより、映像信号の書き込みを正確に行うことができる。また DM 18 により 2 値化された映像信号が保持されている状態では、交流駆動のために DM スイッチ回路 17 の DM スイッチ素子 22 又は 23 のうち、いずれか一方がオンしているので、画素電極 13 には DM 18 からの信号電圧が供給され続ける状態となる。そのため、画素電位の変動を防ぐための補助容量 Cs は必要なく、逆に補助容量 Cs が大きいと DM 18 の駆動負荷が増えるために動作が不安定となり、映像信号の正確な読み出しができなくなるなどの誤動作の原因となる。したがって、静止画表示期間は、補助容量電極 19 と補助容量電極線 21 との間で補助容量 Cs が形成されなくなるオフレベルの補助容量電位を補助容量電極線 21 に供給することにより、上記のような補助容量 Cs の影響を受けにくくして、DM 18 での 2 値化された映像信号の書き込みや読み出しを正確に行うことができるようになる。

【0053】さらに、静止画表示から通常表示に切り替える際は、静止画最終フレームを経て再び 2 本の制御信号線 20a, 20b をともにオフレベルとし、また図示しないコントロール IC から走査線駆動回路 120 及び信号線駆動回路 130 へのコントロール信号や映像信号を供給する。なお、静止画最終フレームとは、静止画表示から通常表示に移行する際に設定される準備期間であり、この間、走査線駆動回路 120 及び信号線駆動回路 130 の駆動は再開されるが、映像信号の書き込みは行われない。

【0054】上記実施形態 1 によれば、静止画表示期間では、補助容量電極 19 と補助容量電極線 21 との間で補助容量 Cs が形成されなくなるオフレベルの補助容量電位を補助容量電極線 21 に供給するようにしたので、

この期間での補助容量 C_s の影響を受けにくくすることができる。これによると、DM18への2値化された映像信号の正確な書き込みができるようになり、またDM18の駆動負担を減らして動作を安定化させることができるため、誤動作の発生を防止することができる。したがって、高精細化に伴いDM18を構成する素子サイズが小さくなり、また製造バラツキにより素子特性が劣化して駆動能力不足となった場合でも、その画素が点欠陥となることを防いで歩留まりを向上させることができる。

【0055】[実施形態2]次に、実施形態2として、画素電極と補助容量電極との間にスイッチ素子を接続した列について説明する。ここでは、実施形態1の図4及び図5に相当する説明を省略する。

【0056】図6は、実施形態2における表示画素10の回路構成図であり、図2と同等部分は同一符号で示している。また、図7は図6の概略平面図である。以下、表示画素の構成と動作について、実施形態1との相違点についてのみ説明する。

【0057】図6に示すように、画素電極13と補助容量電極19の間には補助容量スイッチ素子41が接続され、この補助容量スイッチ素子41により画素電極13と補助容量電極19との間の導通が制御される構成となっている。補助容量スイッチ素子41のゲートは補助容量制御信号線42に接続されている。補助容量制御信号線42は図示しない走査線駆動回路(120)に接続されており、後述するように表示形態に応じてオン又はオフレベルの制御信号が供給されることで、画素電極13と補助容量電極19との間の導通が制御される。なお、補助容量スイッチ素子41は本実施形態における第30

【0058】また、本実施形態における補助容量 C_s は、半導体電極と金属電極とを備えたMIMキャパシタを用いて形成されている。図6において、半導体電極は補助容量電極19として機能し、金属電極は補助容量電極線21として機能している。また、補助容量電極線21には図示しないコントロールICから、画素電極19と補助容量電極線21との間で補助容量 C_s が形成される一定レベルの補助容量電位が供給されている。本実施形態では、表示形態に係わらず一定の補助容量電位が供給されている。なお、補助容量 C_s は実施形態1と同じMOSキャパシタを用いて形成されたものであってもよい。

【0059】次に、上記のように構成された実施形態2の液晶表示装置において、通常表示及び静止画表示を行う場合の動作を、図8に示す信号波形のタイミングチャートを参照しながら説明する。図8に示す各表記の意味は図1と同じである。また、実施形態1と重複する部分については適宜に説明を省略する。

【0060】通常表示期間では、制御信号線20a、2

0bをとともにオフレベルとし、DMスイッチ回路17をオフ状態とする。この間は、走査線駆動回路120及び信号線駆動回路130に対し、それぞれコントロール信号や映像信号を供給して通常駆動を行うことにより、フルカラーによる高画質な中間調/動画表示を行う。この場合は、DM18を持たない一般的なアクティブマトリクス型の液晶表示装置と同様に、信号線11にサンプリングされた映像信号を画素電極13及び補助容量電極19に書き込むことでフルカラー表示が行われる。

10 【0061】この通常表示期間では、補助容量制御信号線42にオンレベルの制御信号が供給されており、画素電極13と補助容量電極19との間は導通しているため、映像信号は補助容量電極19へ書き込まれる。そして、前述したように補助容量電極線21には図示しないコントロールICから一定の補助容量電位が供給されているため、信号線11を通じて画素電極13に書き込まれた映像信号は、補助容量電極19と補助容量電極線21との間に形成される補助容量 C_s により、次の映像信号の書き込みがなされるまでの間、電位変動することなしに安定して保持される。

【0062】次に、通常表示から静止画表示に切り替える際は、通常表示期間から静止画表示期間に移行する静止画書き込みフレームにおいて、制御信号線20aをオンレベル、制御信号線20bをオフレベルとする。そして、画素スイッチ素子14が走査信号によりオンしている間に、信号線11に2値化された映像信号をサンプリングし、これを画素スイッチ素子14及びDMスイッチ回路17のDMスイッチ素子22を通じてDM18の非反転出力端子27に書き込む。

【0063】DM18に2値化された映像信号を書き込んだ後に、走査線12がオフレベルとなり、画素スイッチ素子14がオフすると、DM内部スイッチ素子26がオンして、DM18の非反転出力端子27に書き込まれた映像信号は2つのインバータ回路24、25を回るループに保持される。さらに、この状態で制御信号線20aをオフレベル、制御信号線20bをオンレベルとすると、DM18に保持されている2値化された映像信号はDMスイッチ回路17のDMスイッチ素子23を通じて出力され、画素電極13に書き込まれ、これにより2値のマルチカラー表示が行われる。また、この間、図示しないコントロールICから走査線駆動回路120及び信号線駆動回路130へのコントロール信号や映像信号の供給は停止している。

【0064】この実施形態2においても、静止画表示期間では液晶層16の劣化を防ぐために、一定の周期で制御信号線20a、同20bを交互にオンレベルとし、DMスイッチ回路17の2つのDMスイッチ素子22、23を交互にオンするとともに、これに合わせて対向電極15の電位を反転させることで交流駆動を行っている。

【0065】また、静止画表示期間では、補助容量制御

信号線42にオフレベルの制御信号が供給されており、画素電極13と補助容量電極19との間には非導通となっている。このように、マルチカラー画像用の映像信号をDM18に書き込む際に、補助容量制御信号線42にオフレベルの制御信号を供給して画素電極13と補助容量電極19との間の電氣的な接続を切り離すようにした場合、DM18を構成する素子が駆動能力不足となっても、補助容量Csの影響を受けることがなくなるため、映像信号の書き込みを正確に行うことができる。同様に、DM18により2値化された映像信号が保持されてい

る状態においても、補助容量Csの影響を受けることがないため、DM18での2値化された映像信号の書き込みや読み出しを正確に行うことができるようになる。
【0066】上記実施形態2によれば、画素電極13と補助容量電極19との間に補助容量スイッチ素子41を設け、静止画表示期間では、画素電極13と補助容量電極19との間の電氣的な接続を切り離すようにしたため、この期間では補助容量Csの影響を受けることがない。これにより、DM18への2値化された映像信号の正確な書き込みができるようになり、またDM18の駆動負担を減らして動作を安定化させることができるため、誤動作の発生を防止することができる。したがって、高精細化に伴いDM18を構成する素子サイズが小さくなり、また製造バラツキにより素子特性が劣化して駆動能力不足となった場合でも、その画素が点欠陥となることを防いで歩留まりを向上させることができる。

【0067】とくに実施形態2では、表示形態に係わらず補助容量電極線21には一定の補助容量電位を供給すればよいから、図示しないコントロールICの駆動負担を軽減することができる。また、図示しない走査線駆動回路(120)では、表示形態に応じて補助容量制御信号線42にオン又はオフレベルの制御信号を供給することになるが、補助容量スイッチ素子41のオン/オフは補助容量電位の制御に比べてはるかに少ない電力で制御することができるため、走査線駆動回路の負担を必要最小限に抑えることができる。

【0068】次に、上記実施形態1及び2の液晶表示装置について、その製造方法を図9を用いて説明する。

【0069】図9は、液晶表示装置の製造プロセスを示す概略断面図であり、点線の右側の領域は画素部(表示画素部110)、左側の領域が駆動回路部(走査線駆動回路120など)を示している。以下、図9の(a)~(f)の順に説明する。

【0070】(a) ガラスなどの透明絶縁基板50上に、プラズマCVD法により厚さ50nmのアモルファスシリコン(a-Si)薄膜51を堆積し、このアモルファスシリコン薄膜51を図示しないXeClエキシマレーザ装置でアニールすることで多結晶化する。ここで、前記XeClエキシマレーザ装置からのレーザ光52は、図中Aの方向に走査され、このレーザ光52が照

射された領域は結晶化され多結晶シリコン膜53となる。その際、レーザ照射エネルギーを段階的に上げて複数回照射を行うことにより、アモルファスシリコン膜中の水素を効果的に抜くことができ、結晶化時のアブレーションを防ぐことができる。なお、照射エネルギーは200~500mJ/cm²とする。

【0071】(b) 多結晶シリコン膜53をフォトリソグラフィ法を用いてパターニングし、薄膜トランジスタの活性層54を形成する。

【0072】(c) シリコン酸化膜によるゲート絶縁膜55をプラズマCVD法で形成した後、モリブデン-タングステン合金膜をスパッタ法で成膜、パターニングすることでゲート電極56を形成する。また、前記パターニング時に走査線も同時に形成する。ゲート絶縁膜55としては、このほかに窒化シリコン膜や常圧CVD法によるシリコン酸化膜を使うことができる。

【0073】ゲート電極56を形成後に、ゲート電極56をマスクとしてイオンドーピング法で不純物を打ち込み、薄膜トランジスタのソース/ドレイン領域54aを形成する。不純物としては、N-chトランジスタについてはリンを、P-chトランジスタについてはボロンを用いることができる。画素部のトランジスタについてはオフ時のリーク電流を抑えるためにLDD(Lightly Doped Drain)構造を用いるのが効果的である。この場合、ソース/ドレイン電極54aへの不純物注入後にゲート電極56を再パターニングし、一定量だけ細かくした後、再度低濃度の不純物打ち込みを行う。

【0074】(d) ゲート電極56上にプラズマCVD法又は常圧CVD法でシリコン酸化膜による第1の層間絶縁膜57を形成する。

【0075】(e) 第1の層間絶縁膜57及びゲート絶縁膜55にコンタクトホールを形成後、スパッタ法でA1膜を形成、パターニングすることでソース/ドレイン電極58、59を形成する。このとき、信号線も同時に形成する。

【0076】(f) 前記A1膜上に低誘電率絶縁膜(第2の層間絶縁膜)60を形成する。低誘電率絶縁膜60としては、プラズマCVD法で作成した窒化シリコン膜や、酸化シリコン膜、有機絶縁膜等の低誘電率絶縁膜を用いることができる。そして、低誘電率絶縁膜60にコンタクトホールを形成し、A1薄膜61を形成し、パターニングすることで画素電極を形成する。

【0077】以上のプロセスにより、透明絶縁基板50上に画素部と駆動回路部とを一体で形成することができる。この後、透明絶縁基板50と、図示しない対向電極が形成された対向基板とを対向し、周囲をエポキシ樹脂からなるシール材で密閉し、内部に液晶組成物を注入、封止することで液晶表示装置を完成することができる(図5参照)。

【 0 0 7 9 】

【図面の簡単な説明】

【図 2】実施形態 1 における表示画素の回路構成図

【図3】図2の概略平面図。

【図6】実施形態2における表示画素の回路構成図

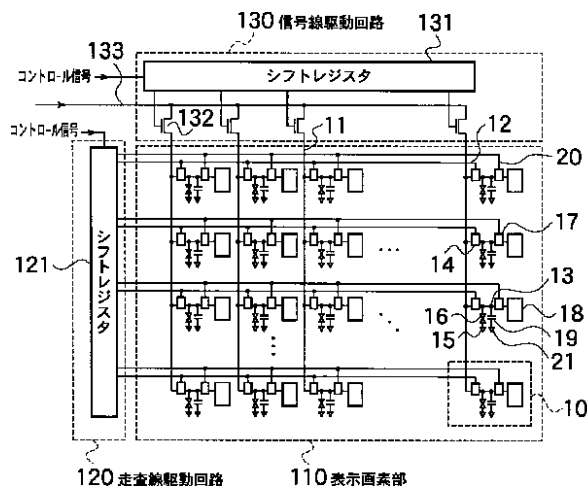
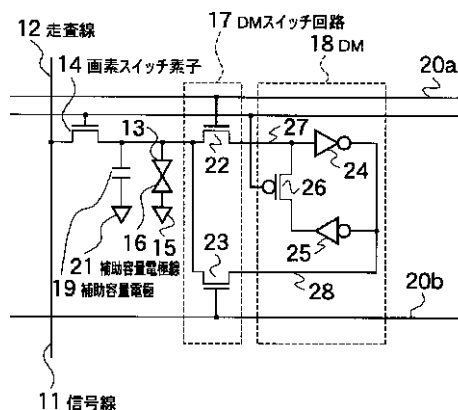
【図 8】実施形態 2 に係わる液晶表示装置の動作を示す信号波形のタイミングチャート。

【図 9】液晶表示装置の製造プロセスを示す概略断面図。

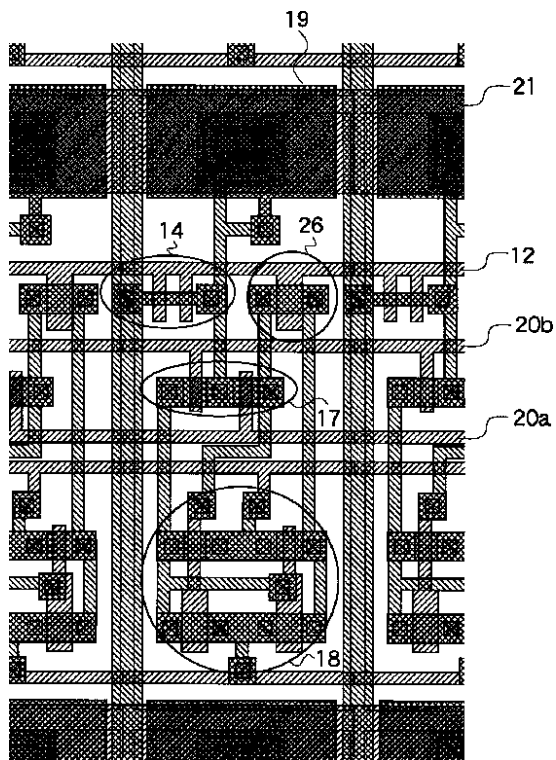
１０…表示画素、１１…信号線、１２…走査線、１３…
 画素電極、１４…画素スイッチ素子、１５…対向電極、
 １６…液晶層、１７…ＤＭスイッチ回路、１８…ＤＭ
 （デジタルメモリ）、１９…補助容量電極、２０（２
 ０ａ，２０ｂ）…制御信号線、２１…補助容量電極線、
 ２２，２３…ＤＭスイッチ素子、２４，２５…インバー
 タ回路、２６…ＤＭ内部スイッチ素子、４１…補助容量
 スイッチ素子、４２…補助容量制御信号線、１０１…ア
 レイ基板、１０２…対向基板、１１０…表示画素部、１
 ２０…走査線駆動回路、１３０…信号線駆動回路

20

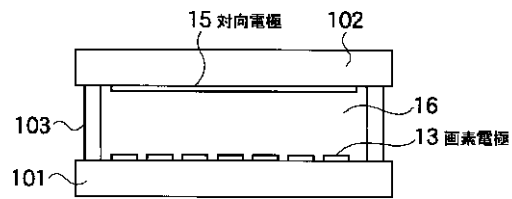
【図 4】



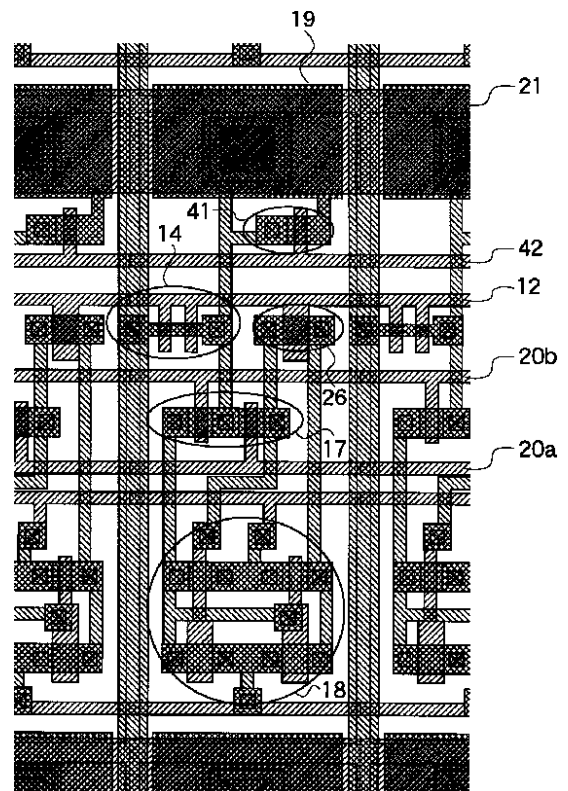
【図 3】



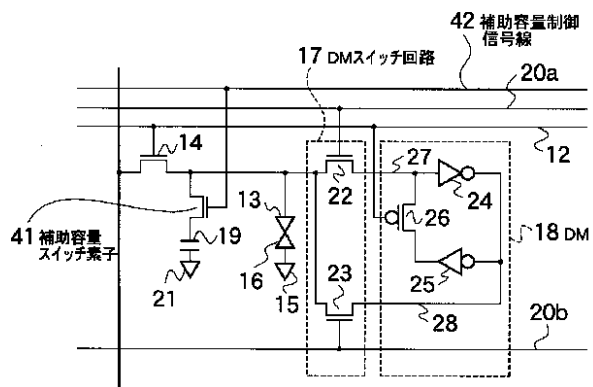
【図 5】



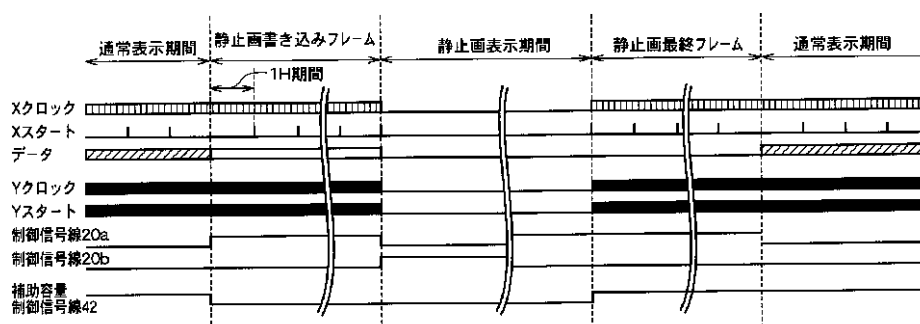
【図 7】



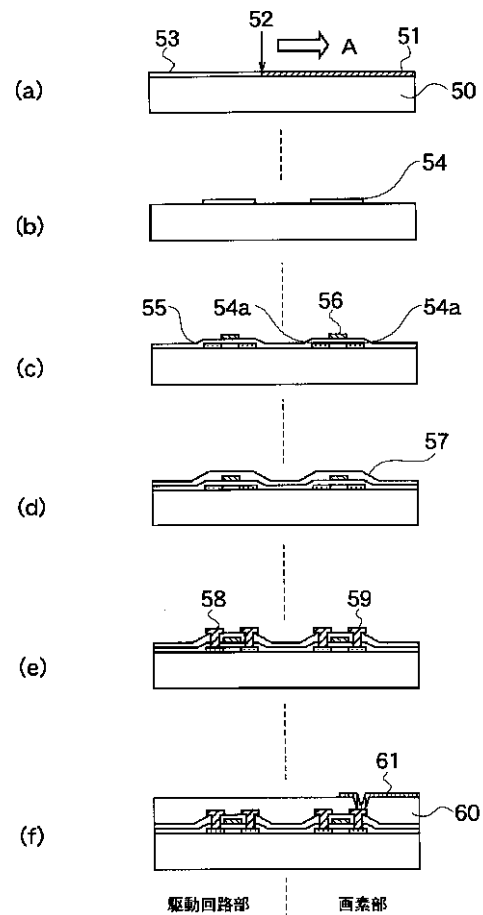
【図 6】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/20		G 0 9 G 3/20	6 1 1 H
	6 2 1		6 2 1 M
	6 2 4		6 2 4 B
	6 3 1		6 3 1 H
	6 6 0		6 6 0 U
	6 8 0		6 8 0 G

(72)発明者 前田 孝志
 埼玉県深谷市幡羅町一丁目 9 番地 2 株式
 会社東芝深谷工場内
 (72)発明者 綱島 貴徳
 埼玉県深谷市幡羅町一丁目 9 番地 2 株式
 会社東芝深谷工場内

F タ-ム(参考) 2H092 JA24 JB68 NA13 PA01 PA06
 2H093 NA16 NC15 NC16 NC29 NC34
 ND53
 5C006 AA01 AA02 AF45 AF46 AF51
 AF53 AF61 BB16 BC03 BC06
 BC12 BC20 BF09 EB04 EB05
 FA22
 5C080 AA10 BB05 DD05 DD09 DD26
 DD28 EE17 FF11 JJ03 JJ04
 JJ06

专利名称(译)	用于驱动显示设备的方法和设备		
公开(公告)号	JP2003058124A	公开(公告)日	2003-02-28
申请号	JP2001246137	申请日	2001-08-14
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	森山直己 木村裕之 前田孝志 網島貴徳		
发明人	森山 直己 木村 裕之 前田 孝志 網島 貴徳		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1368 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1343 G02F1/1368 G09G3/20.611.A G09G3/20.611.H G09G3/20.621.M G09G3/20.624.B G09G3/20.631.H G09G3/20.660.U G09G3/20.680.G		
F-TERM分类号	2H092/JA24 2H092/JB68 2H092/NA13 2H092/PA01 2H092/PA06 2H093/NA16 2H093/NC15 2H093/NC16 2H093/NC29 2H093/NC34 2H093/ND53 5C006/AA01 5C006/AA02 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF61 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF09 5C006/EB04 5C006/EB05 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD09 5C080/DD26 5C080/DD28 5C080/EE17 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H093/NC40 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB23 2H192/CB24 2H192/DA12 2H192/DA44 2H192/GD61 2H193/ZA04 2H193/ZA19		
外部链接	Espacenet		

摘要(译)

解决的问题：在配备有数字存储器（以下称为DM）的液晶显示装置中，由于高清晰度，构成DM的元件的驱动能力不足，导致点缺陷和成品率降低。解决方案：在驱动DM 18的静止图像显示期间，将辅助电容电极线21上未形成辅助电容Cs的非水平辅助电容电势提供给辅助电容电极线21。因此，辅助电容Cs的影响被抑制，并且可以精确地执行DM18中的二进制视频信号的写入和读取。

