

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-129435

(P2008-129435A)

(43) 公開日 平成20年6月5日(2008.6.5)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 623G	5C080
	G09G 3/20 611A	

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号	特願2006-315869 (P2006-315869)	(71) 出願人	302020207
(22) 出願日	平成18年11月22日 (2006.11.22)		東芝松下ディスプレイテクノロジー株式会社
			東京都港区港南4-1-8
		(74) 代理人	100083806
			弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100108707
			弁理士 中村 友之
		(74) 代理人	100095500
			弁理士 伊藤 正和

最終頁に続く

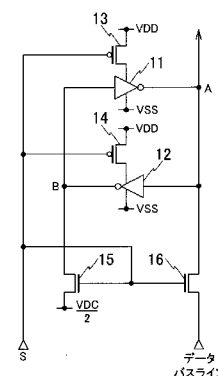
(54) 【発明の名称】 データラッチ回路及び液晶表示装置

(57) 【要約】

【課題】消費電力の低減を図るデータラッチ回路および液晶表示装置を提供する。

【解決手段】デジタル信号の振幅(0 - 3V)よりも大きな電源電位VDD(5V)を有する電源にTFT13, 14を介して接続されたインバータ11, 12で構成された記憶回路と、デジタル信号が印加されるデータバスラインとをTFT16を介して接続し、サンプリング信号SによってTFT13, 14, 16を制御する。これにより、入力されたデジタル信号の振幅(0 - 3V)より大きな出力(0 - 5V)が得られるので、低電位でデジタル信号を転送することが可能となる。また、デジタル信号の高電位側の電位(3V)と低電位側の電位(0V)の中間の電位VDC/2(1.5V)を記憶回路のもう一方の入力端子に入力することにより、入力されるデジタル信号の逆相の信号を入力する必要がなくなるので、必要な素子の数を減らすことができ、消費電力の低減を図ることができる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

デジタル信号が印加されるデータバスラインと、
基準電位と電源電位との差が前記デジタル信号の振幅よりも大きな電源電位を有する第 1 の電源と、
前記第 1 の電源により電力を供給される第 1 および第 2 のインバータと、
前記第 1 および第 2 のインバータの入力端子と出力端子を互いにループ状に接続して構成した記憶回路と、
前記データバスラインと前記第 1 または第 2 のインバータの入力端子のいずれか一方とに接続され、前記デジタル信号を前記記憶回路に書き込むサンプリング期間中はオンする第 1 のスイッチング素子と、
前記デジタル信号の高電位側の電位と低電位側の電位の間電位を有する第 2 の電源と、
前記第 2 の電源と前記第 1 または第 2 のインバータの入力端子のうち前記データバスラインを接続していない方の入力端子とに接続され、前記サンプリング期間中はオンする第 2 のスイッチング素子と、
を有することを特徴とするデータラッチ回路。

10

【請求項 2】

前記第 1 の電源と前記第 1 および第 2 のインバータの電源端子との間にそれぞれ配置され、前記サンプリング期間以外の期間にオンする第 3 および第 4 のスイッチング素子を有することを特徴とする請求項 1 記載のデータラッチ回路。

20

【請求項 3】

前記第 1 および第 2 のインバータの出力端子にそれぞれ接続され、前記サンプリング期間以外の期間にオンする第 5 および第 6 のスイッチング素子を有することを特徴とする請求項 1 記載のデータラッチ回路。

【請求項 4】

マトリックス状に配置された複数の走査線および複数の信号線と、
前記走査線と前記信号線との交点に配置された表示素子と、
前記走査線を駆動する走査線駆動回路と、
請求項 1 乃至 3 のいずれかに記載のデータラッチ回路と、
前記データラッチ回路の出力をデジタルアナログ変換し、前記信号線に輸入するデジタルアナログ変換回路と、
を有することを特徴とする液晶表示装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、デジタルデータをラッチするデータラッチ回路に関し、特に、液晶表示装置に用いられるデータラッチ回路に関する。

【背景技術】**【0002】**

アクティブマトリックス型の液晶表示装置は、ガラス基板上に信号線と走査線をマトリックス状に配置し、信号線と走査線の交点に薄膜トランジスタ (TFT: Thin Film Transistor) を形成して画素を構成している。近年では、信号線を駆動する信号線駆動回路や走査線を駆動する走査線駆動回路なども TFT を用いてガラス基板上に形成した駆動回路一体型の液晶表示装置が開発されている。

40

【0003】

図 7 は、駆動回路一体型の液晶表示装置の構成を示すブロック図である。同図に示す液晶表示装置は、マトリックス状に配置された複数の走査線 4 および複数の信号線 5 との交点に画素 100 が形成された表示部 1 と、走査線 4 を駆動する走査線駆動回路 2 と、信号線 5 を駆動する信号線駆動回路 3 とを備えており、画素 100 は、TFT 101、液晶 1

50

02および補助容量103などにより構成される。信号線駆動回路3は、シフトレジスタ31、サンプリングラッチ回路32、ロードラッチ回路33およびデジタルアナログ変換回路34を備えている。以下、同図に示す液晶表示装置の動作について説明する。

【0004】

信号線駆動回路3に入力されたデジタル映像信号は、シフトレジスタ31からのタイミング信号によりサンプリングラッチ回路32にラッチされる。サンプリングラッチ回路32で順次ラッチされたデジタル映像信号は、ロードラッチ回路33により同タイミングでラッチされ、デジタルアナログ変換回路34によりアナログ信号に変換されて、信号線5に印加される。走査線駆動回路2が走査線4に走査線信号を印加することにより、信号線5に入力された映像信号が画素100に書き込まれ、画像が表示される。

10

【0005】

液晶表示装置では低消費電力が重要視されるが、デジタル映像信号を転送するバスラインは容量負荷として無視できない大きさであり、バスラインへの充放電により消費を少なくするためにできるだけデジタル映像信号を低電圧で転送するのが好ましい。消費電力の低減を図るデータラッチ回路として特許文献1に記載のものが知られている。

【特許文献1】特開2002-189439号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、ガラス基板上に構成されるTFTはクリスタルシリコンに比べて閾値が高く、移動度が低いため、メモリー回路の電源電圧を下げるのが困難である。また、液晶を駆動するための電圧は決まっているので、回路の電源電圧を自由に決めることができない場合が多い。

20

【0007】

本発明は、上記に鑑みてなされたものであり、その課題とするところは、消費電力の低減を図るデータラッチ回路および液晶表示装置を提供することにある。

【課題を解決するための手段】

【0008】

第1の本発明に係るデータラッチ回路は、デジタル信号が印加されるデータバスラインと、基準電位と電源電位との差がデジタル信号の振幅よりも大きな電源電位を有する第1の電源と、第1の電源により電力を供給される第1および第2のインバータと、第1および第2のインバータの入力端子と出力端子を互いにループ状に接続して構成した記憶回路と、データバスラインと第1または第2のインバータの入力端子のいずれか一方とに接続され、デジタル信号を記憶回路に書き込むサンプリング期間中はオンする第1のスイッチング素子と、デジタル信号の高電位側の電位と低電位側の電位の中間の電位を有する第2の電源と、第2の電源と第1または第2のインバータの入力端子のうちデータバスラインを接続していない方の入力端子とに接続され、サンプリング期間中はオンする第2のスイッチング素子と、を有することを特徴とする。

30

【0009】

本発明にあつては、基準電位と電源電位との差がデジタル信号の振幅よりも大きな電源電位を有する第1の電源により駆動される第1および第2のインバータにより記憶回路を構成することにより、入力されたデジタル信号より振幅の大きな出力が得られるので、低電位でデジタル信号を転送することが可能となり、デジタル信号の転送の際の充放電による電力消費が低減される。また、デジタル信号の高電位側の電位と低電位側の電位の中間の電位を記憶回路に入力することにより、入力されるデジタル信号の逆相の信号を入力する必要がなくなるので、必要な素子の数が減らすことができる。

40

【0010】

上記データラッチ回路において、第1の電源と第1および第2のインバータの電源端子との間にそれぞれ配置され、サンプリング期間以外の期間にオンする第3および第4のスイッチング素子を有することを特徴とする。

50

【 0 0 1 1 】

本発明にあっては、第 1 の電源と第 1 および第 2 のインバータとの間にそれぞれスイッチング素子を備え、デジタル信号が入力されるサンプリング期間中は第 1 および第 2 のインバータへの電力の供給を停止し、サンプリング期間以外の期間に電力を供給することにより、サンプリング期間に入力されたデータをラッチし、サンプリング期間以外の期間により振幅の大きなデジタル信号として出力することを可能とする。

【 0 0 1 2 】

上記データラッチ回路において、第 1 および第 2 のインバータの出力端子にそれぞれ接続され、サンプリング期間以外の期間にオンする第 5 および第 6 のスイッチング素子を有することを特徴とする。

10

【 0 0 1 3 】

本発明にあっては、第 1 および第 2 のインバータの出力のそれぞれにスイッチング素子を備え、サンプリング期間中はスイッチング素子をオフし、サンプリング期間以外の期間にスイッチング素子をオンすることで、サンプリング期間に入力されたデータをラッチし、より振幅の大きなデジタル信号として出力をすることを可能とする。

【 0 0 1 4 】

第 2 の本発明に係る液晶表示装置は、マトリックス状に配置された複数の走査線および複数の信号線と、走査線と信号線との交点に配置された表示素子と、走査線を駆動する走査線駆動回路と、上記いずれかのデータラッチ回路と、データラッチ回路の出力をデジタルアナログ変換し、信号線に入力するデジタルアナログ変換回路と、を有することを特徴とする。

20

【 発明の効果 】

【 0 0 1 5 】

本発明によれば、消費電力の低減を図るデータラッチ回路および液晶表示装置を提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 6 】

[第 1 の実施の形態]

図 1 は、第 1 の実施の形態におけるデータラッチ回路の構成を示す回路図である。同図に示すデータラッチ回路は、図 7 に示した液晶表示装置のサンプリングラッチ回路 3 2 などに用いられ、入力された映像信号をシフトレジスタ 3 1 からのタイミング信号によりラッチし、ロードラッチ回路 3 3 に出力するものである。

30

【 0 0 1 7 】

図 1 に示すデータラッチ回路は、入力端子と出力端子が互いにループ状に接続されたインバータ 1 1 , 1 2 により構成された記憶回路と、電源電位 V_{DD} を有する電源とインバータ 1 1 , 1 2 の電源端子との間に配置された P 型 T F T 1 3 , 1 4 と、インバータ 1 2 の入力端子に接続され、デジタル信号が記憶回路に入力するか否かを制御する N 型 T F T 1 6 と、インバータ 1 1 の入力端子に接続され、デジタル信号の高電位側の電位 V_{DC} と低電位側の電位 V_{SS} の中間の電位 $V_{DC}/2$ を記憶回路に入力するか否かを制御する N 型 T F T 1 5 と、を備えており、P 型 T F T 1 3 , 1 4 および N 型 T F T 1 5 , 1 6 は、データバスラインに印加されるデジタル信号を記憶回路に書き込むサンプリング期間を定めるサンプリング信号 S によって制御されている。

40

【 0 0 1 8 】

電源電位 V_{DD} は 5 V であり、データバスラインに印加されるデジタル信号の高電位側の電位 V_{DC} (3 V) よりも大きい。インバータ 1 1 の入力端子に印加される電位 $V_{DC}/2$ は 1 . 5 V である。図 1 に示すように、サンプリング信号 S で制御される T F T 1 3 , 1 4 , 1 5 , 1 6 を備えることにより、入力されるデジタル信号よりも大きな電圧で記憶回路を駆動することができるので、低電位でデジタル信号を転送することが可能となり、デジタル信号の転送の際の充放電による電力消費が低減される。また、デジタル信号の高電位側の電位 V_{DC} と低電位側の電位 V_{SS} の中間の電位 $V_{DC}/2$ を記憶回路に入力

50

することにより、デジタル信号がハイレベル (V_{DC}) のときには、 $V_{DC}/2$ がローレベルとなり、デジタル信号がローレベル (V_{SS}) のときには、 $V_{DC}/2$ がハイレベルとなるので、入力されるデジタル信号の逆相の信号を入力する必要がなくなり、必要な素子の数が減らすことができる。インバータ 11 の入力端子に印加する電位は、デジタル信号の高電位側の電位 V_{DC} と低電位側の電位 V_{SS} のちょうど中間の電位 $V_{DC}/2$ でなくとも、インバータ 11, 12 がデジタル信号のハイレベル、ローレベルを識別できる電位であればよい。

【0019】

図 2 は、図 1 の回路のインバータ 11, 12 の構成を示す回路図である。同図に示すように、インバータ 11, 12 は、ゲート電極およびドレイン電極をそれぞれ接続した P 型 T F T と N 型 T F T により構成されており、ゲート電極を接続した点がインバータ 11, 12 の入力端子 I_N となり、ドレイン電極を接続した点がインバータ 11, 12 の出力端子 $O_U T$ となる。P 型 T F T のソース電極は、サンプリング信号 S により制御される P 型 T F T を介して電源電位 V_{DD} に接続され、N 型 T F T のソース電極は、基準電位 V_{SS} に接続されている。サンプリング信号 S がハイレベルのときには、電源電位に接続した P 型 T F T がオフするので出力端子 $O_U T$ は、ハイインピーダンスか基準電位 V_{SS} となり、サンプリング信号 S がローレベルで入力端子 I_N に入力される信号がローレベルのときには、出力端子 $O_U T$ の出力はハイレベル (V_{DD}) となる。

【0020】

次に、図 1 に示すデータラッチ回路の動作について、図 3 の動作タイミング図を用いて説明する。

【0021】

時刻 t_1 においてサンプリング信号 S がハイレベルになると、P 型 T F T 13, 14 はオフし、N 型 T F T 15, 16 がオンとなる。このとき、インバータ 11, 12 と電源とが切り離されるとともに、図 1 に示すノード A には、データバスラインのデジタル信号が印加され、ノード B には、 $V_{DC}/2$ の電位が印加される。時刻 t_2 においてデジタル信号がハイレベルになると、ノード A の電位もデジタル信号のハイレベルの電位 V_{DC} となる。

【0022】

時刻 t_3 においてサンプリング信号 S がローレベルになると、P 型 T F T 13, 14 はオンし、N 型 T F T 15, 16 がオフとなる。このとき、インバータ 11, 12 には電源が供給されるとともに、デジタル信号の入力が遮断される。記憶回路では、ノード A とノード B でデジタル信号と $V_{DC}/2$ との電位の比較が行われ、高い電位を有するノードは V_{DD} に、低い電位を有するノードは V_{SS} になる。

【0023】

図 4 は、第 1 の実施の形態における別のデータラッチ回路の構成を示す回路図である。同図に示すデータラッチ回路は、図 1 に示したものに対してインバータ 11, 12 の代わりにクロックドインバータ 41, 42 を用いたものである。クロックドインバータ 41, 42 は、図 5 に示すように、4 つの T F T を直列に接続した構成をしており、電源電位 V_{DD} および基準電位 V_{SS} に接続された T F T のゲート電極にはサンプリング信号 S 、サンプリング信号 S の逆相の信号 $\bar{S}$ が入力される。サンプリング信号 S がハイレベルになると、電源電位 V_{DD} および基準電位 V_{SS} に接続された T F T がオフし、出力端子 $O_U T$ はハイインピーダンス状態となる。

【0024】

したがって、本実施の形態によれば、デジタル信号の振幅 ($0 - 3V$) よりも大きな電源電位 V_{DD} ($5V$) を有する電源に T F T 13, 14 を介して接続されたインバータ 11, 12 で構成された記憶回路と、デジタル信号が印加されるデータバスラインとを T F T 16 を介して接続し、記憶回路にデータを書き込むサンプリング期間を定めるサンプリング信号 S によって T F T 13, 14, 15, 16 を制御することにより、入力されたデジタル信号の振幅 ($0 - 3V$) より大きな出力 ($0 - 5V$) が得られるので、低電位でデ

10

20

30

40

50

ジタル信号を転送することが可能となり、デジタル信号の転送の際の充放電による電力消費が低減される。また、デジタル信号の高電位側の電位（3 V）と低電位側の電位（0 V）の中間の電位 $V_{DC}/2$ （1.5 V）を記憶回路のもう一方の入力端子に入力することにより、入力されるデジタル信号の逆相の信号を入力する必要がなくなるので、必要な素子の数を減らすことができる。

【0025】

[第2の実施の形態]

図6は、第2の実施の形態におけるデータラッチ回路の構成を示す回路図である。同図に示すデータラッチ回路は、第1の実施の形態のようにインバータの電源端子にTFTを接続するのではなく、インバータ61, 62の出力端子にTFT63, 64を接続し、サ
10
ンプリング信号Sによりオン・オフを制御するものである。その他の構成については、第1の実施の形態と同様であるので説明を省略する。

【0026】

サンプリング信号Sがハイレベルのときには、インバータ61, 62の出力端子に接続されたTFT63, 64はオフとなり、 $V_{DC}/2$ の電源、データバスラインに接続されたTFT65, 66がオンとなるので、ノードAにはデータバスラインのデジタル信号が印加され、ノードBには $V_{DC}/2$ の電位が印加される。サンプリング信号Sがハイレベルからローレベルへ変化するとき、TFT63, 64がオンに、TFT65, 66がオフになり、入力されたデジタル信号の値がラッチされる。インバータ61, 62はVDDで駆動されているので、高い電位を有するノードの電位はVDDに、低い電位を有するノードの電位はVSSとなり、入力されたデジタル信号の振幅よりも大きな出力を得ることが
20
ができる。

【0027】

したがって、本実施の形態によれば、デジタル信号の振幅（0 - 3 V）よりも大きな電源電位VDD（5 V）により駆動されるインバータ61, 62により構成された記憶回路の出力端子にTFT63, 64を接続し、記憶回路とデジタル信号が印加されるデータバスラインとをTFT66を介して接続して、サンプリング信号SによってTFT63, 64, 65, 66を制御することにより、入力されたデジタル信号の振幅（0 - 3 V）よりも大きな出力（0 - 5 V）が得られるので、低電位でデジタル信号を転送することが可能となり、デジタル信号の転送の際の充放電による電力消費が低減される。
30

【図面の簡単な説明】

【0028】

【図1】第1の実施の形態におけるデータラッチ回路の構成を示す回路図である。

【図2】図1の回路のインバータの構成を示す回路図である。

【図3】図1の回路の動作タイミング図である。

【図4】第1の実施の形態における別のデータラッチ回路の構成を示す回路図である。

【図5】図4の回路のクロックドインバータの構成を示す回路図である。

【図6】第2の実施の形態におけるデータラッチ回路の構成を示す回路図である。

【図7】従来の駆動回路一体型の液晶表示装置の構成を示すブロック図である。

【符号の説明】

【0029】

1 ... 表示部

2 ... 走査線駆動回路

3 ... 信号線駆動回路

4 ... 走査線

5 ... 信号線

11, 12, 61, 62 ... インバータ

41, 42 ... クロックドインバータ

13, 14, 15, 16, 43, 44, 63, 64, 65, 66 ... TFT

100 ... 画素

10

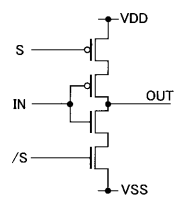
20

30

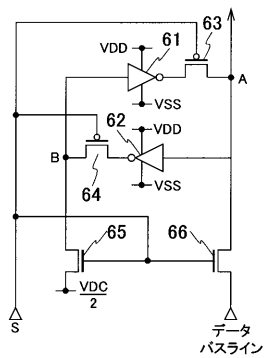
40

50

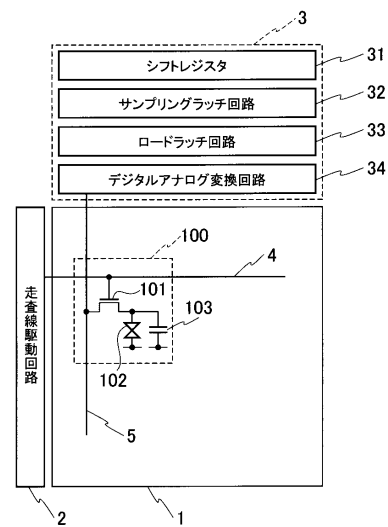
【図 5】



【図 6】



【図 7】



フロントページの続き

(74)代理人 100101247

弁理士 高橋 俊一

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 綱島 貴徳

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H093 NA16 NC12 NC13 NC22 NC23 NC26 NC34 NC35 ND39 ND49

5C006 AF71 BC12 BC20 BF04 BF34 FA43 FA46 FA47

5C080 AA10 BB05 DD22 DD26 FF01 FF11 JJ02 JJ03 JJ04

专利名称(译)	数据锁存电路和液晶显示装置		
公开(公告)号	JP2008129435A	公开(公告)日	2008-06-05
申请号	JP2006315869	申请日	2006-11-22
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	網島貴徳		
发明人	網島 貴徳		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.623.G G09G3/20.611.A		
F-TERM分类号	2H093/NA16 2H093/NC12 2H093/NC13 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC34 2H093/NC35 2H093/ND39 2H093/ND49 5C006/AF71 5C006/BC12 5C006/BC20 5C006/BF04 5C006/BF34 5C006/FA43 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD26 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZF36		
代理人(译)	三好秀 中村智之 伊藤雅一 高桥俊 高松俊夫		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够降低功耗的数据锁存电路，并提供一种包括数据锁存电路的液晶显示装置。解决方案：数据锁存电路将由逆变器11,12组成的存储电路连接到数据总线，该存储电路连接到电源，该电源的电源电压VDD（5V）大于数字信号的幅度（0-3V），经由TFT13,14。数字信号通过TFT 16施加到其上的线，并通过使用采样信号S控制TFT 13,14,16。因此，数据锁存电路可以获得大于幅度的输出（0到5V）（0输入数字信号的-3V）可以在低电位传输数字信号。此外，通过在数字信号的高电位侧电位（3V）和低电位侧电位（0V）之间输入中间电位VDC/2（1.5V）到存储电路的另一输入端，输入负相信号因此，可以减少输入数字信号的数量，从而可以减少必要元件的数量并且可以降低功耗。Z

