

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-171638

(P2007-171638A)

(43) 公開日 平成19年7月5日(2007.7.5)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 641C	5C006
G02F 1/133 (2006.01)	G09G 3/20 624B	5C080
	G09G 3/20 621B	
	G09G 3/20 623W	
審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2005-370145 (P2005-370145)
 (22) 出願日 平成17年12月22日 (2005.12.22)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100080160
 弁理士 松尾 憲一郎
 (72) 発明者 小島 大輔
 福岡県福岡市早良区百道浜2丁目3番2号
 ソニーセミコンダクタ九州株式会社内
 Fターム(参考) 2H093 NA16 NA32 NA44 NA51 NA61
 NC03 NC09 NC11 NC18 NC29
 NC34 ND04

最終頁に続く

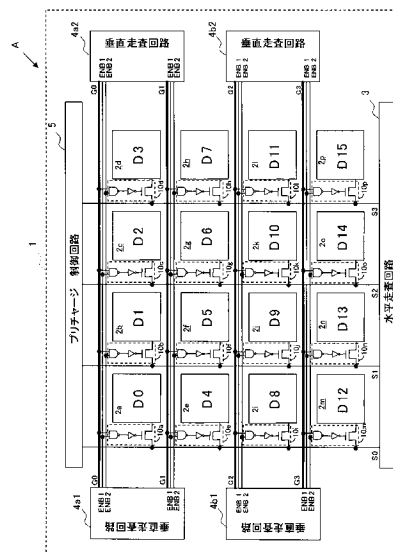
(54) 【発明の名称】 液晶表示装置及びその駆動方法並びにその駆動回路

(57) 【要約】

【課題】 ゲート信号線等に及ぼす影響を抑えてクロストークを低減しつつ、従来のドットライン反転駆動方式に比べ、ディスクリネーションを低減すること。

【解決手段】 行列状に配置された複数の画素回路からなる画素回路部の列ごとに設けられた複数のデータ信号線に対して階調電圧を供給するデータ制御回路と、画素回路部の行ごとに設けられた複数のゲート信号線に、画素回路に階調電圧を書き込むための駆動信号を供給するゲート制御回路と、ゲート信号線と各画素回路との間に設けられると共に、ゲート信号線に供給される駆動信号を画素回路に供給するか否かを制御する選択回路とを備え、データ制御回路は、隣接するデータ信号線に互いに逆極性となる階調電圧を供給し、ゲート制御回路は、ゲート信号線に駆動信号を供給すると共に選択回路を制御して、隣接する複数行の画素回路に同一極性の階調電圧を書き込む。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

行列状に配置された複数の画素回路からなる画素回路部の列ごとに設けられた複数のデータ信号線に対して階調電圧を供給するデータ制御回路と、

前記画素回路部の行ごとに設けられた複数のゲート信号線に、前記画素回路へ前記階調電圧を書き込むための駆動信号を供給するゲート制御回路と、を備えた液晶表示装置の駆動回路において、

前記ゲート信号線と前記画素回路との間に設けられ、前記ゲート信号線に供給される前記駆動信号を前記画素回路に供給するか否かを選択する選択回路を設け、

前記データ制御回路は、隣接する前記データ信号線に互いに逆極性となる前記階調電圧を供給し、

前記ゲート制御回路は、前記ゲート信号線に前記駆動信号を供給すると共に前記選択回路を制御して、隣接する複数行の前記画素回路に同一極性の前記階調電圧を書き込むことを特徴とする液晶表示装置の駆動回路。

【請求項 2】

前記ゲート制御回路は、第 1 ゲート信号線と、この第 1 ゲート信号線と少なくとも互いに 1 行以上離隔した第 2 ゲート信号線とに駆動信号を同時に供給すると共に、前記選択回路を制御して、前記第 1 ゲート信号線に供給される前記駆動信号を前記画素回路部の奇数列に配置された第 1 画素回路群に供給すると共に、前記第 2 ゲート信号線に供給される前記駆動信号を前記画素回路部の偶数列に配置された第 2 画素回路群に供給して前記階調電圧を書き込み、その後、前記第 1 ゲート信号線と前記第 2 ゲート信号線とに前記駆動信号を供給すると共に、前記選択回路を制御して、前記第 1 ゲート信号線に供給される前記駆動信号を前記第 2 画素回路群に供給すると共に、前記第 2 ゲート信号線に供給される前記駆動信号を前記第 1 画素回路群に供給して前記階調電圧を書き込むことを特徴とする請求項 1 に記載の液晶表示装置の駆動回路。

【請求項 3】

前記画素回路部は、 m 行 \times p 列の行列状に配置された複数の画素回路からなり、

前記第 1 ゲート信号線は、 n 行 ($n = (m / 2)$) のゲート信号線であり、

前記第 2 ゲート信号線は、 $n + (m / 2)$ 行のゲート信号線であることを特徴とする請求項 2 に記載の液晶表示装置の駆動回路。

【請求項 4】

行列状に配置された複数の画素回路からなる画素回路部と、

前記画素回路部の列ごとに設けられ、前記画素回路に階調電圧を供給する複数のデータ信号線と、

前記画素回路部の行ごとに設けられ、前記データ信号線に供給された前記階調電圧を前記画素回路に書き込む複数のゲート信号線と、

前記データ信号線に前記階調電圧を供給するデータ制御回路と、

前記画素回路に前記階調電圧を書き込むために、前記ゲート信号線に駆動信号を供給するゲート制御回路と、を備えた液晶表示装置において、

前記ゲート信号線と各前記画素回路との間に設けられると共に、前記ゲート信号線に供給される前記駆動信号を前記画素回路に供給するか否かを選択する選択回路を設け、

前記データ制御回路は、隣接する前記データ信号線に互いに逆極性となる前記階調電圧を供給し、

前記ゲート制御回路は、前記ゲート信号線に前記駆動信号を供給すると共に前記選択回路を制御して、隣接する複数行の前記画素回路に同一極性の前記階調電圧を書き込むことを特徴とする液晶表示装置。

【請求項 5】

行列状に配置された複数の画素回路からなる画素回路部と、

前記画素回路部の列ごとに設けられ、前記画素回路に階調電圧を供給する複数のデータ信号線と、

10

20

30

40

50

前記画素回路部の行ごとに設けられ、前記データ信号線に供給された前記階調電圧を前記画素回路に書き込む複数のゲート信号線と、

前記データ信号線に階調電圧を供給するデータ制御回路と、

前記画素回路に階調電圧を書き込むために、前記ゲート信号線に駆動信号を供給するゲート制御回路と、

前記ゲート信号線と各前記画素回路との間に設けられると共に、前記ゲート信号線に供給される前記駆動信号を前記画素回路に供給するか否かを選択する選択回路を備えた液晶表示装置の駆動方法であって、

前記データ制御回路によって、隣接する前記データ信号線に互いに逆極性となる前記階調電圧を供給するステップと、

前記ゲート制御回路によって、前記ゲート信号線に前記駆動信号を供給すると共に前記選択回路を制御して隣接する複数行の前記画素回路に同一極性の前記階調電圧を書き込むステップと、を有することを特徴とする液晶表示装置の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその駆動方法並びにその駆動回路に関する。

【背景技術】

【0002】

近年、ディスプレイ装置は、急速にその薄型化が進んできており、例えば、液晶表示装置(LCD: Liquid Crystal Device)が幅広く普及している。この液晶表示装置は、薄型、軽量及び低消費電力を特徴とすることから、特に携帯電話機、PDA(Personal Digital Assistance)、ノートパソコン、携帯用TVなどのいわゆるモバイル端末に利用される機会が増えている。さらに、リア・プロジェクションやフロント・プロジェクターなどにも利用され始めている。

20

【0003】

そして、このような液晶表示装置として、アクティブマトリクス型の液晶表示装置が主流になってきている。アクティブマトリクス型の液晶表示装置は、透明な画素電極を行列状(マトリクス状)に配置した基板と、表示部全体に一つの透明な電極を形成した対向基板とを設け、これらの基板を対向させて液晶を封入することによって各画素回路を形成している。そして、各画素回路に接続され、スイッチング機能をもつ薄膜トランジスタ(TFT; Thin Film Transistor)を制御することによって、各画素電極に画素階調に応じた電圧(以下、「階調電圧」とする。)を供給し、各画素電極と対向基板の電極との間の電位差を発生させることにより液晶の透過率を変化させて画像を表示するものである。

30

【0004】

また、上述のように画素回路とTFTが配置された基板には、各画素回路へ階調電圧を供給するための複数のデータ信号線と、各画素回路のTFTをスイッチングさせるための制御信号を供給する複数のゲート信号線とが配置されている。データ信号線は、行列状に配置された複数の画素回路の列(以下、単に「列」ともいう。)単位で設けられ、ゲート信号線は、行列状に配置された複数の画素回路の行(以下、単に「ライン」又は「行」ともいう。)単位で設けられる。そして、各画素回路への階調電圧の供給はデータ信号線を介してゲート信号線単位行われ、画像表示の1フレーム期間にデータ信号線に接続される全ての画素回路への階調電圧の供給が行われることによって、液晶表示装置上に画像を表示するようにしている。このように各画素回路へ供給された階調電圧は、各画素回路のTFTの出力電極(ドレイン電極)に設けられた容量素子(コンデンサ)によって次に階調電圧が供給されるまで保持される。

40

【0005】

ところで、液晶表示装置は直流駆動すると劣化する。そこで、液晶表示装置を駆動する方法として、ドット反転駆動方式が知られている。このドット反転駆動方式は、隣り合う

50

列の画素回路に階調電圧が同時に逆極性で書き込まれるようにデータ信号線へ階調電圧を供給し、行列状に配置された各画素をゲート信号線により1ライン(1行)ごとに順次駆動する方式である。

【0006】

このドット反転駆動方式は、画素回路の行ごとに同一極性の階調電圧を書き込む1H反転駆動方式に比べ、対向電極にコモン電圧Vcomを供給するライン(以下、「Vcom線」とする。)やゲート信号線に及ぼす影響を抑えることができるためクロストークを低減することができる点で有利である。

【0007】

しかしながら、行方向に隣接する左右の画素回路に書き込まれる階調電圧の極性が異なることから、隣接する画素回路の電界を受け、画素回路の開口部の隅に光抜け領域が発生する。そのため、画素回路の開口率が低下し、透過率が落ちることになり、コントラストの低下を招く。いわゆる、ディスクリネーションが発生する。

【0008】

そこで、データ信号線を上下2行に渡って蛇行させ、一の行の奇数列の画素回路と他の行の偶数列の画素回路をデータ信号線に接続することによって、画素回路に書き込まれた階調電圧の極性が隣接する画素回路間で同極性となり、かつ上下の画素回路間で逆極性となるように、隣接する列の画素回路に階調電圧を同時に逆極性で書き込む、いわゆるドットライン反転駆動方式が提案されている(たとえば、特許文献1参照。)

【特許文献1】特開2001-356740号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかし、上記ドットライン反転駆動方式においては、隣接する行ごとに画素回路に書き込む階調電圧の極性が異なることとなるため、ディスクリネーションの発生を十分に抑制することができず、光抜け領域が発生し、コントラストは低下する。

【0010】

そこで、本発明は、ゲート信号線等に及ぼす影響を抑えてクロストークを低減しつつ、上記従来ドットライン反転駆動方式に比べ、ディスクリネーションを低減することを目的とする。

【課題を解決するための手段】

【0011】

かかる課題を解決するために、請求項1に記載の発明は、行列状に配置された複数の画素回路からなる画素回路部の列ごとに設けられた複数のデータ信号線に対して階調電圧を供給するデータ制御回路と、前記画素回路部の行ごとに設けられた複数のゲート信号線に、前記画素回路へ前記階調電圧を書き込むための駆動信号を供給するゲート制御回路と、を備えた液晶表示装置の駆動回路において、前記ゲート信号線と前記画素回路との間に設けられ、前記ゲート信号線に供給される前記駆動信号を前記画素回路に供給するか否かを選択する選択回路を設け、前記データ制御回路は、隣接する前記データ信号線に互いに逆極性となる前記階調電圧を供給し、前記ゲート制御回路は、前記ゲート信号線に前記駆動信号を供給すると共に前記選択回路を制御して、隣接する複数行の前記画素回路に同一極性の前記階調電圧を書き込むことを特徴とする。

【0012】

また、請求項2に記載の発明は、請求項1に記載の発明において、前記ゲート制御回路は、第1ゲート信号線と、この第1ゲート信号線と少なくとも互いに1行以上離隔した第2ゲート信号線とに駆動信号を同時に供給すると共に、前記選択回路を制御して、前記第1ゲート信号線に供給される前記駆動信号を前記画素回路部の奇数列に配置された第1画素回路群に供給すると共に、前記第2ゲート信号線に供給される前記駆動信号を前記画素回路部の偶数列に配置された第2画素回路群に供給して前記階調電圧を書き込み、その後、前記第1ゲート信号線と前記第2ゲート信号線とに前記駆動信号を供給すると共に、前

10

20

30

40

50

記選択回路を制御して、前記第1ゲート信号線に供給される前記駆動信号を前記第2画素回路群に供給すると共に、前記第2ゲート信号線に供給される前記駆動信号を前記第1画素回路群に供給して前記階調電圧を書き込むことを特徴とする。

【0013】

また、請求項3に記載の発明は、請求項2に記載の発明において、前記画素回路部は、 m 行 \times p 列の行列状に配置された複数の画素回路からなり、前記第1ゲート信号線は、 n 行($n = (m/2)$)のゲート信号線であり、前記第2ゲート信号線は、 $n + (m/2)$ 行のゲート信号線であることを特徴とする。

【0014】

また、請求項4に記載の発明は、行列状に配置された複数の画素回路からなる画素回路部と、前記画素回路部の列ごとに設けられ、前記画素回路に階調電圧を供給する複数のデータ信号線と、前記画素回路部の行ごとに設けられ、前記データ信号線に供給された前記階調電圧を前記画素回路に書き込む複数のゲート信号線と、前記データ信号線に前記階調電圧を供給するデータ制御回路と、前記画素回路に前記階調電圧を書き込むために、前記ゲート信号線に駆動信号を供給するゲート制御回路と、を備えた液晶表示装置において、前記ゲート信号線と各前記画素回路との間に設けられると共に、前記ゲート信号線に供給される前記駆動信号を前記画素回路に供給するか否かを選択する選択回路を設け、前記データ制御回路は、隣接する前記データ信号線に互いに逆極性となる前記階調電圧を供給し、前記ゲート制御回路は、前記ゲート信号線に前記駆動信号を供給すると共に前記選択回路を制御して、隣接する複数行の前記画素回路に同一極性の前記階調電圧を書き込むことを特徴とする。

【0015】

また、請求項5に記載の発明は、行列状に配置された複数の画素回路からなる画素回路部と、前記画素回路部の列ごとに設けられ、前記画素回路に階調電圧を供給する複数のデータ信号線と、前記画素回路部の行ごとに設けられ、前記データ信号線に供給された前記階調電圧を前記画素回路に書き込む複数のゲート信号線と、前記データ信号線に階調電圧を供給するデータ制御回路と、前記画素回路に階調電圧を書き込むために、前記ゲート信号線に駆動信号を供給するゲート制御回路と、前記ゲート信号線と各前記画素回路との間に設けられると共に、前記ゲート信号線に供給される前記駆動信号を前記画素回路に供給するか否かを選択する選択回路を備えた液晶表示装置の駆動方法であって、前記データ制御回路によって、隣接する前記データ信号線に互いに逆極性となる前記階調電圧を供給するステップと、前記ゲート制御回路によって、前記ゲート信号線に前記駆動信号を供給すると共に前記選択回路を制御して隣接する複数行の前記画素回路に同一極性の前記階調電圧を書き込むステップとを有することを特徴とする。

【発明の効果】

【0016】

請求項1に記載の発明によれば、行列状に配置された複数の画素回路からなる画素回路部の列ごとに設けられた複数のデータ信号線に対して階調電圧を供給するデータ制御回路と、前記画素回路部の行ごとに設けられた複数のゲート信号線に、前記画素回路へ前記階調電圧を書き込むための駆動信号を供給するゲート制御回路と、を備えた液晶表示装置の駆動回路において、前記ゲート信号線と前記画素回路との間に設けられ、前記ゲート信号線に供給される前記駆動信号を前記画素回路に供給するか否かを選択する選択回路を設け、前記データ制御回路は、隣接する前記データ信号線に互いに逆極性となる前記階調電圧を供給し、前記ゲート制御回路は、前記ゲート信号線に前記駆動信号を供給すると共に前記選択回路を制御して、隣接する複数行の前記画素回路に同一極性の前記階調電圧を書き込む。すなわち、隣接するデータ信号線に互いに逆極性となる階調電圧を供給しつつ、隣接する複数行の前記画素回路に同一極性の階調電圧を書き込むため、ゲート信号線等に及ぼす影響を抑えてクロストークを低減しつつ、光抜けが発生する領域を低減してコントラストの低下を抑制する液晶表示装置の駆動回路を提供することができる。

【0017】

10

20

30

40

50

また、請求項2に記載の発明によれば、前記ゲート制御回路は、第1ゲート信号線と、この第1ゲート信号線と少なくとも互いに1行以上離隔した第2ゲート信号線とに駆動信号を同時に供給すると共に、前記選択回路を制御して、前記第1ゲート信号線に供給される前記駆動信号を前記画素回路部の奇数列に配置された第1画素回路群に供給すると共に、前記第2ゲート信号線に供給される前記駆動信号を前記画素回路部の偶数列に配置された第2画素回路群に供給して前記階調電圧を書き込み、その後、前記第1ゲート信号線と前記第2ゲート信号線とに前記駆動信号を供給すると共に、前記選択回路を制御して、前記第1ゲート信号線に供給される前記駆動信号を前記第2画素回路群に供給すると共に、前記第2ゲート信号線に供給される前記駆動信号を前記第1画素回路群に供給して前記階調電圧を書き込むので、ゲート制御回路から駆動信号を出力すると共に、偶数列の画素回路と奇数列の画素回路のいずれか一方を選択するための制御信号を選択回路へ入力するだけでよく、しかも選択回路においては、制御信号に基づいて駆動信号を出力するか否かを決定すればよい。ためAND回路などの簡単な論理回路で構成することができる。

10

【0018】

また、請求項3に記載の発明によれば、前記画素回路部は、 m 行 \times p 列の行列状に配置された複数の画素回路からなり、前記第1ゲート信号線は、 n 行($n = (m/2)$)のゲート信号線であり、前記第2ゲート信号線は、 $n + (m/2)$ 行のゲート信号線であるので、光抜けが発生する領域を可及的に低減してコントラストの低下を抑制することができる。

【0019】

20

また、請求項4に記載の発明によれば、行列状に配置された複数の画素回路からなる画素回路部と、前記画素回路部の列ごとに設けられ、前記画素回路に階調電圧を供給する複数のデータ信号線と、前記画素回路部の行ごとに設けられ、前記データ信号線に供給された前記階調電圧を前記画素回路に書き込む複数のゲート信号線と、前記データ信号線に前記階調電圧を供給するデータ制御回路と、前記画素回路に前記階調電圧を書き込むために、前記ゲート信号線に駆動信号を供給するゲート制御回路と、を備えた液晶表示装置において、前記ゲート信号線と各前記画素回路との間に設けられると共に、前記ゲート信号線に供給される前記駆動信号を前記画素回路に供給するか否かを選択する選択回路を設け、前記データ制御回路は、隣接する前記データ信号線に互いに逆極性となる前記階調電圧を供給し、前記ゲート制御回路は、前記ゲート信号線に前記駆動信号を供給すると共に前記選択回路を制御して、隣接する複数行の前記画素回路に同一極性の前記階調電圧を書き込むことを特徴とするので、ゲート信号線等に及ぼす影響を抑えてクロストークを低減しつつ、光抜けが発生する領域を低減してコントラストの低下を抑制する液晶表示装置を提供することができる。

30

【0020】

また、請求項5に記載の発明によれば、行列状に配置された複数の画素回路からなる画素回路部と、前記画素回路部の列ごとに設けられ、前記画素回路に階調電圧を供給する複数のデータ信号線と、前記画素回路部の行ごとに設けられ、前記データ信号線に供給された前記階調電圧を前記画素回路に書き込む複数のゲート信号線と、前記データ信号線に階調電圧を供給するデータ制御回路と、前記画素回路に階調電圧を書き込むために、前記ゲート信号線に駆動信号を供給するゲート制御回路と、前記ゲート信号線と各前記画素回路との間に設けられると共に、前記ゲート信号線に供給される前記駆動信号を前記画素回路に供給するか否かを選択する選択回路を備えた液晶表示装置の駆動方法であって、前記データ制御回路によって、隣接する前記データ信号線に互いに逆極性となる前記階調電圧を供給するステップと、前記ゲート制御回路によって、前記ゲート信号線に前記駆動信号を供給すると共に前記選択回路を制御して隣接する複数行の前記画素回路に同一極性の前記階調電圧を書き込むステップとを有するので、ゲート信号線等に及ぼす影響を抑えてクロストークを低減しつつ、光抜けが発生する領域を低減してコントラストの低下を抑制する液晶表示装置の駆動方法を提供することができる。

40

【発明を実施するための最良の形態】

50

【0021】

本発明の実施形態における液晶表示回路及びそれを備えた液晶表示装置であって、行列状（マトリックス状）に配置された複数の画素回路からなる画素回路部と、この画素回路部の列ごとに設けられ、各画素回路に階調電圧データを供給する複数のデータ信号線と、画素回路部の行ごとに設けられ、データ信号線に供給された階調電圧を各画素回路に書き込む複数のゲート信号線と、データ信号線に階調電圧を供給するデータ制御回路と、各画素回路に階調電圧を書き込むために、ゲート信号線に駆動信号を供給するゲート制御回路とを備えている。

【0022】

しかも、ゲート信号線と各画素回路との間に設けられ、ゲート信号線に供給される駆動信号を画素回路に供給するか否かを選択する選択回路が設けられている。 10

【0023】

このように選択回路が設けられているために、ゲート信号線に駆動信号が供給された場合であっても、このゲート信号線によって制御される複数の画素回路のうち、駆動信号が供給される画素回路を選択することができる。

【0024】

したがって、2つのゲート信号線に同時に駆動信号を出力することができる。なお、この場合、一つのデータ信号線の階調電圧を2つ以上の画素回路に同時に書き込まないように選択回路を制御する必要がある。

【0025】

すなわち、離隔した複数の行の画素回路に同時に階調信号を書き込むことができ、隣接する複数行の画素回路群に同一極性の階調電圧を書き込むことができる。その結果、光抜けが発生する領域を可及的に低減してコントラスト低下の抑制が可能となる。 20

【0026】

また、データ制御回路は、隣接する前記データ信号線に互いに逆極性となる階調電圧を供給するようにしているため、ゲート信号線等に及ぼす影響を抑えてクロストークを低減することができる。

【0027】

ここで、選択回路の制御は、ゲート制御回路からの制御信号によって行い、ゲート制御回路は、ゲート信号線に駆動信号を供給すると共に選択回路を制御して、隣接する複数行の前記画素回路に同一極性の階調電圧を書き込む。 30

【0028】

たとえば、ゲート制御回路は、第1ゲート信号線と、この第1ゲート信号線と少なくとも互いに1行以上離隔した第2ゲート信号線とに駆動信号を供給すると共に、選択回路を制御して、第1ゲート信号線に供給される駆動信号を画素回路部の奇数列に配置された第1画素回路群に供給すると共に、第2ゲート信号線に供給される駆動信号を画素回路部の偶数列に配置された第2画素回路群に供給して階調電圧を書き込み、その後、第1ゲート信号線と第2ゲート信号線とに駆動信号を供給すると共に、選択回路を制御して、第1ゲート信号線に供給される駆動信号を第2画素回路群に供給すると共に、第2ゲート信号線に供給される駆動信号を第1画素回路群に供給して階調電圧を書き込むようにすることができる。 40

【0029】

その結果、ゲート制御回路は、偶数列の画素回路と奇数列の画素回路のいずれか一方を選択するための制御信号を選択回路へ入力するだけでよく、しかも選択回路においては、制御信号に基づいて駆動信号を出力するか否かを決定して選択すればよいためAND回路などの簡単な論理回路で構成することができる。

【0030】

また、画素回路部を列方向の真ん中で半分（画素回路部の行数を m 行とすると $0 \sim m/2$ 行の上位の画素回路と、 $m/2 + 1 \sim m$ 行までの下位の画素回路）に分けて、上位の列の画素回路と下位の複数の画素回路とにそれぞれ異なる極性の階調電圧（たとえば、上位 50

の画素回路には+極性の階調電圧、下位の画素回路には-極性の階調電圧)を供給するようにすれば、光抜けが発生する領域を可及的に低減してコントラストの低下を抑制することができる。この場合、上記第1ゲート信号線は、 n 行($n = (m/2)$)のゲート信号線となり、上記第2ゲート信号線は、 $n + (m/2)$ 行のゲート信号線となる。

【0031】

(第1実施形態)

次に、本発明の第1実施形態の液晶表示装置A及びその駆動回路について図面を参照して具体的に説明する。図1は第1実施形態における液晶表示装置Aの液晶表示回路1の構成を示す図、図2は図1における選択回路の構成を示す図である。

【0032】

図1に示すように、本実施形態における液晶表示装置Aは、液晶表示回路1を有しており、この液晶表示回路1は図示しない制御回路によって制御される。なお、本実施形態においては、本発明の理解を容易にするために、画素回路を 4×4 の行列状に配置した液晶表示回路を用いて説明する。

【0033】

液晶表示回路1は、 4×4 の行列状に配置された複数の画素回路2a~2pからなる画素回路部と、この画素回路部の列ごとに設けられ、階調電圧D0~D15を供給する複数のデータ信号線S0~S3と、画素回路部の行ごとに設けられ、データ信号線S0~S3に供給された階調電圧D0~D15を画素回路2a~2pに書き込むための複数のゲート信号線G0~G3と、データ信号線S0~S3に階調電圧D0~D15を供給するデータ制御回路としての水平走査回路3と、画素回路2a~2pに階調電圧D0~D15を書き込むために、ゲート信号線G0~G3に駆動信号を供給するゲート制御回路としての垂直走査回路4a1, 4a2, 4b1, 4b2と、データ信号線S0~S3をプリチャージするプリチャージ制御回路5とを有している。なお、画素回路2a~2pは、後述の薄膜トランジスタTr1のドレイン電極に画素電極が接続される液晶セルと、同じく薄膜トランジスタTr1のドレイン電極に接続され、液晶セルに書き込まれた階層電圧を保持する容量素子とから構成される。また、水平走査回路3は、入力される映像信号に基づいて画素ごとに階調電圧D0~D15を生成する機能を有している。

【0034】

さらに、液晶表示回路1は、選択回路10a~10pを備えている。この選択回路10a~10pは、ゲート信号線G0~G3と各画素回路2a~2pとの間に設けられると共に、ゲート信号線G0~G3に駆動信号を画素回路2a~2pに供給するか否かを選択する。なお、水平走査回路3と、垂直走査回路4a1, 4a2, 4b1, 4b2と、選択回路10a~10pとで駆動回路が構成される。

【0035】

データ信号線S0は画素回路2a, 2e, 2i, 2mに、データ信号線S1は画素回路2b, 2f, 2j, 2nに、データ信号線S2は画素回路2c, 2g, 2k, 2oに、データ信号線S3は画素回路2d, 2h, 2l, 2pに、それぞれ階調電圧を供給する。

【0036】

また、ゲート信号線G0は2a~2dに、ゲート信号線G1は2e~2hに、ゲート信号線G2は2i~2lに、ゲート信号線G3は2m~2pに、それぞれ選択回路10a~10pを介して駆動信号を供給する。ゲート信号線G0, G1は、垂直走査回路4a1, 4a2に接続され、ゲート信号線G2, G3は、垂直走査回路4b1, 4b2に接続される。すなわち、画像回路部の上半分の行に配置された画素回路2a~2hと、画像回路部の下半分の行に配置された画素回路2i~2pとは異なる垂直走査回路に接続される。

【0037】

また、上位の行(1行目と2行目)における奇数列の画素回路2a, 2c, 2e, 2gに接続された選択回路10a, 10c, 10e, 10gと、下位の行(3行目と4行目)における偶数列の画素回路2j, 2l, 2n, 2pに接続された選択回路10j, 10l, 10n, 10pとは、垂直走査回路4から出力される制御信号線ENB1に接続される

10

20

30

40

50

。一方、上位の行（１行目と２行目）における偶数列の画素回路 2 b , 2 d , 2 f , 2 h に接続された選択回路 1 0 b , 1 0 d , 1 0 f , 1 0 h と、下位の行（３行目と４行目）における奇数列の画素回路 2 i , 2 k , 2 m , 2 o に接続された選択回路 1 0 i , 1 0 k , 1 0 m , 1 0 o とは、垂直走査回路 4 から出力される制御信号線 E N B 2 に接続される。

【 0 0 3 8 】

なお、画素回路部の総行数が m 行である場合、制御信号線 E N B 1 は、画素回路部の 1 ~ m / 2 行目までの奇数列における画素回路 2 に接続された選択回路 1 0 と、m / 2 + 1 ~ m ライン目までの偶数列の画素回路 2 に接続された選択回路 1 0 とに接続される。また、制御信号線 E N B 2 は、画素回路部の 1 ~ m / 2 行目までの偶数列における画素回路 2 に接続された選択回路 1 0 と、m / 2 + 1 ~ m ライン目までの奇数列の画素回路 2 に接続された選択回路 1 0 とに接続される。

10

【 0 0 3 9 】

また、複数の画素回路 2 a ~ 2 p のうちいずれか一つを表すとき画素回路 2 と、複数のデータ信号線 S 0 ~ S 3 のうちいずれか一つを表すときにデータ信号線 S と、複数のゲート信号線 G 0 ~ G 3 のうちいずれか一つを表すときにゲート信号線 G と、制御信号線 E N B 1 , E N B 2 のいずれか一つを表すときに制御信号線 E N B と、垂直走査回路 4 a 1 , 4 a 2 , 4 b 1 , 4 b 2 のうちいずれか一つを表すとき垂直走査回路 4 と、選択回路 1 0 a ~ 1 0 p のうちいずれか一つを表すときに選択回路 1 0 として説明することがあるものとする。

20

【 0 0 4 0 】

選択回路 1 0 は、図 2 に示すように、ゲート信号線 G と制御信号線 E N B との否定論理積を出力する N A N D 回路 I C 1 と、この N A N D 回路 I C 1 の出力を反転するインバータ回路 I C 2 と、このインバータ回路 I C 2 をゲート電極に、データ信号線 S をソース電極に、画素回路 2 をドレイン電極に接続した薄膜トランジスタ (T F T) T r 1 とからなる。

【 0 0 4 1 】

したがって、ゲート信号線 G に駆動信号（本実施形態では、H i g h レベルとなるパルス信号）が供給され、かつ制御信号線 E N B に制御信号（本実施形態では、H i g h レベルとなるパルス信号）が供給されると、薄膜トランジスタ T r 1 のゲート電極が H i g h レベルとなり、薄膜トランジスタ T r 1 がオン状態となる。そのため、データ信号線 S から供給されている階調電圧 D が薄膜トランジスタ T r 1 のソース電極を介してドレイン電極に出力され、この階調電圧 D が画素回路 2 に書き込まれる。

30

【 0 0 4 2 】

このように選択回路 1 0 は、ゲート信号線 G に駆動電圧が供給され、かつ制御信号線 E N B に制御信号が供給されるとデータ信号線 S に供給されている階層電圧を画素回路 2 へ書き込むように構成されている。

【 0 0 4 3 】

以上のように構成された液晶表示回路 1 の動作について、図面を参照して説明する。図 3 は図 1 における液晶表示回路を制御するときの各信号線のタイミングチャート、図 4 は図 3 における各 S T E P（ステップ）毎の画素回路部の表示状態を示す図である。

40

【 0 0 4 4 】

まず、図 3 の S T E P 1 において、水平走査回路 3 は、データ信号線 S 0 ~ S 3 にそれぞれ階調電圧 D 0 , D 9 , D 2 , D 1 1 を供給する。また、垂直走査回路 4 は、上位のゲート信号線 G 0 と下位のゲート信号線 G 2 とに駆動信号を供給すると共に、制御信号線 E N B 1 に制御信号を供給する。

【 0 0 4 5 】

このようにゲート信号線 G 0 , G 2 へ駆動信号が、制御信号線 E N B 1 へ制御信号が供給されると、選択回路 1 0 a , 1 0 j , 1 0 c , 1 0 l がデータ信号線 S 0 ~ S 3 にそれぞれ供給されている階調電圧 D 0 , D 9 , D 2 , D 1 1 を画素回路 2 a , 2 j , 2 c , 2

50

1 にそれぞれ書き込む。すなわち、図 4 (a) [S T E P 1] に示すように、画素回路 2 a , 2 j , 2 c , 2 l にそれぞれ階調電圧 D 0 , D 9 , D 2 , D 1 1 が書き込まれる。

【 0 0 4 6 】

次に、S T E P 2 において、水平走査回路 3 は、データ信号線 S 0 ~ S 3 にそれぞれ階調電圧 D 8 , D 1 , D 1 0 , D 3 を供給する。また、垂直走査回路 4 は、上位のゲート信号線 G 0 と下位のゲート信号線 G 2 とに継続して駆動信号を供給すると共に、制御信号線 E N B 1 に代えて制御信号線 E N B 2 に制御信号を供給する。

【 0 0 4 7 】

このようにゲート信号線 G 0 , G 2 へ駆動信号が、制御信号線 E N B 2 へ制御信号が供給されると、選択回路 1 0 i , 1 0 b , 1 0 k , 1 0 d がデータ信号線 S 0 ~ S 3 にそれぞれ供給されている階調電圧 D 8 , D 1 , D 1 0 , D 3 を画素回路 2 i , 2 b , 2 k , 2 d にそれぞれ書き込む。すなわち、図 4 (a) [S T E P 2] に示すように、画素回路 2 i , 2 b , 2 k , 2 d にそれぞれ階調電圧 D 8 , D 1 , D 1 0 , D 3 が書き込まれる。

【 0 0 4 8 】

次に、S T E P 3 において、水平走査回路 3 は、データ信号線 S 0 ~ S 3 にそれぞれ階調電圧 D 4 , D 1 3 , D 6 , D 1 5 を供給する。また、垂直走査回路 4 は、上位のゲート信号線 G 1 と下位のゲート信号線 G 3 とに駆動信号を供給すると共に、制御信号線 E N B 1 に制御信号を供給する。

【 0 0 4 9 】

このようにゲート信号線 G 1 , G 3 へ駆動信号が、制御信号線 E N B 1 へ制御信号が供給されると、選択回路 1 0 e , 1 0 n , 1 0 g , 1 0 p がデータ信号線 S 0 ~ S 3 にそれぞれ供給されている階調電圧 D 4 , D 1 3 , D 6 , D 1 5 を画素回路 2 e , 2 n , 2 g , 2 p にそれぞれ書き込む。すなわち、図 4 (a) [S T E P 3] に示すように、画素回路 2 e , 2 n , 2 g , 2 p にそれぞれ階調電圧 D 4 , D 1 3 , D 6 , D 1 5 が書き込まれる。

【 0 0 5 0 】

さらに、S T E P 4 において、水平走査回路 3 は、データ信号線 S 0 ~ S 3 にそれぞれ階調電圧 D 1 2 , D 5 , D 1 4 , D 7 を供給する。また、垂直走査回路 4 は、上位のゲート信号線 G 1 と下位のゲート信号線 G 3 とに駆動信号を供給すると共に、制御信号線 E N B 2 に制御信号を供給する。

【 0 0 5 1 】

このようにゲート信号線 G 1 , G 3 へ駆動信号が、制御信号線 E N B 2 へ制御信号が供給されると、選択回路 1 0 m , 1 0 f , 1 0 o , 1 0 h がデータ信号線 S 0 ~ S 3 にそれぞれ供給されている階調電圧 D 1 2 , D 5 , D 1 4 , D 7 を画素回路 2 m , 2 f , 2 o , 2 h にそれぞれ書き込む。すなわち、図 4 (a) [S T E P 4] に示すように、画素回路 2 m , 2 f , 2 o , 2 h にそれぞれ階調電圧 D 1 2 , D 5 , D 1 4 , D 7 が書き込まれる。以降 S T E P 1 ~ 4 の動作を繰り返す。

【 0 0 5 2 】

ここで、図 4 (b) は N フレーム目に画素に書き込む階調電圧の極性を、図 4 (c) は N + 1 フレーム目に画素に書き込む階調電圧の極性を示している。

【 0 0 5 3 】

図 4 (b) (c) に示すように、N フレームの S T E P 1 から S T E P 4 において、S 0 , S 1 , S 2 , S 3 に供給される階調電圧の極性は、それぞれ (S 0 , S 1 , S 2 , S 3) = (+ , - , + , -) , (- , + , - , +) , (+ , - , + , -) , (- , + , - , +) となる。また、N + 1 フレームの S T E P 1 から S T E P 4 において、S 0 , S 1 , S 2 , S 3 に供給される階調電圧の極性は、それぞれ (S 0 , S 1 , S 2 , S 3) = (- , + , - , +) , (+ , - , + , -) , (- , + , - , +) , (+ , - , + , -) となる。

【 0 0 5 4 】

このように、上述のドット反転駆動方法と同様に、隣接する前記データ信号線 S には、

10

20

30

40

50

垂直走査回路 4 によって、互いに逆極性となる階調電圧が供給されるため、クロストークを低減することができる。

【0055】

また、各データ信号線 S に供給される階調電圧の極性がフレーム毎に反転するため、各データ信号線 S は交流駆動されることになり、画素回路部の劣化を防止することができる。

【0056】

しかも、1～2行目までの全ての画素回路 2 a～2 h は同一の - 極性（あるいは + 極性）となり、3～4行目までの全ての画素回路 2 i～2 p は同一の + 極性（あるいは - 極性）となる。したがって、2行目と3行目を除いては、上下左右で隣接する画素回路 2 の極性は全て同極性となるため、ディスクリネーションが抑制され、ドットライン反転駆動方法に比べて画素回路 2 のコントラストが向上する。なお、画素回路部の総行数が m 行である場合、1～m/2行目までは - 極性（+ 極性）となり、m/2 + 1～m行目までは + 極性（- 極性）となり、m/2～m/2 + 1行目を除いては、上下左右で隣接する画素の極性は全て同極性となり、m が大きければ大きいほどディスクリネーションが抑制される。

10

【0057】

ところで、一フレームごとに極性を反転させるフレーム反転駆動方式では、フレームごとに階調電圧の極性を変えために、1画面内において輝度勾配が発生する。すなわち、最初に書き換える行と最後に書き換える行とは同じ階調電圧を供給しても輝度が変わってしまう。これは、画素回路に書き込まれた階調電圧と逆極性の階調電圧がデータ信号線に供給されると画素回路に書き込まれた階調電圧電荷が漏れ、この漏れた後の電圧電荷を保持する時間が最初に書き換えられる行の画素回路では短く、最後に書き換えられる行の画素回路では長いためである。

20

【0058】

本実施の形態における液晶表示装置 A においては、従来の液晶表示装置のように1行目の画素回路から順次 n 行目の画素回路まで階調電圧を供給するのではなく、離隔した行の画素回路に交互に階調電圧を供給しているので、輝度勾配を低減することができる。

【0059】

（第2実施形態）

次に、本発明の第2実施形態の液晶表示装置 A' 及びその駆動回路について図面を参照して具体的に説明する。図5は第2実施形態における液晶表示装置 A' の液晶表示回路 1' の構成を示す図である。本第2実施形態における液晶表示装置 A' は、制御信号線 ENB と選択回路 10 との間の接続関係が第1実施形態における液晶表示装置 A と異なり、それに伴い垂直走査回路及び水平走査回路の一部制御が異なる。その他構成については同様であるため説明を省略する。なお、第1実施形態と同一構成のものには同一符号を付する。

30

【0060】

図5に示すように、上位の行（1行目と2行目）における偶数列の画素回路 2 b, 2 d, 2 f, 2 h に接続された選択回路 10 b, 10 d, 10 f, 10 h と、下位の行（3行目と4行目）における奇数列の画素回路 2 i, 2 k, 2 m, 2 o に接続された選択回路 10 i, 10 k, 10 m, 10 o とは、垂直走査回路 4' から出力される制御信号線 ENB 1 に接続される。一方、上位の行（1行目と2行目）における奇数列の画素回路 2 a, 2 c, 2 e, 2 g に接続された選択回路 10 a, 10 c, 10 e, 10 g と、下位の行（3行目と4行目）における偶数列の画素回路 2 j, 2 l, 2 n, 2 p に接続された選択回路 10 j, 10 l, 10 n, 10 p とは、垂直走査回路 4' から出力される制御信号線 ENB 2 に接続される。

40

【0061】

なお、画素回路部の総行数が m 行である場合、制御信号線 ENB 1 は、画素回路部の 1 行目から m/2 行目までの偶数列における画素回路 2 に接続された選択回路 10 と、m/2 + 1～m ライン目までの奇数列の画素回路 2 に接続された選択回路 10 とに接続される

50

。また、制御信号線 E N B 2 は、画素回路部の 1 行目から $m / 2$ 行目までの奇数列における画素回路 2 に接続された選択回路 1 0 と、 $m / 2 + 1 \sim m$ ライン目までの偶数列の画素回路 2 に接続された選択回路 1 0 とに接続される。

【 0 0 6 2 】

以上のように構成された液晶表示回路 1 ' の動作について、図面を参照して説明する。図 6 は図 5 における液晶表示回路 1 ' を制御するときの各信号線のタイミングチャート、図 7 は図 6 における各 S T E P (ステップ) 毎の画素回路部の表示状態を示す図である。

【 0 0 6 3 】

まず、図 6 の S T E P 1 において、水平走査回路 3 ' は、データ信号線 S 0 ~ S 3 にそれぞれ階調電圧 D 8 , D 1 , D 1 0 , D 3 を供給する。また、垂直走査回路 4 ' は、上位のゲート信号線 G 0 と下位のゲート信号線 G 2 とに駆動信号を供給すると共に、制御信号線 E N B 1 に制御信号を供給する。

10

【 0 0 6 4 】

このようにゲート信号線 G 0 , G 2 へ駆動信号が、制御信号線 E N B 1 へ制御信号が供給されると、選択回路 1 0 i , 1 0 b , 1 0 k , 1 0 d がデータ信号線 S 0 ~ S 3 にそれぞれ供給されている階調電圧 D 8 , D 1 , D 1 0 , D 3 を画素回路 2 i , 2 b , 2 k , 2 d にそれぞれ書き込む。すなわち、図 7 (a) [S T E P 1] に示すように、画素回路 2 i , 2 b , 2 k , 2 d にそれぞれ階調電圧 D 8 , D 1 , D 1 0 , D 3 が書き込まれる。

【 0 0 6 5 】

次に、S T E P 2 において、水平走査回路 3 ' は、データ信号線 S 0 ~ S 3 にそれぞれ階調電圧 D 0 , D 9 , D 2 , D 1 1 を供給する。また、垂直走査回路 4 ' は、上位のゲート信号線 G 0 と下位のゲート信号線 G 2 とに駆動信号を供給すると共に、制御信号線 E N B 2 に制御信号を供給する。

20

【 0 0 6 6 】

このようにゲート信号線 G 0 , G 2 へ駆動信号が、制御信号線 E N B 2 へ制御信号が供給されると、選択回路 1 0 a , 1 0 j , 1 0 c , 1 0 l がデータ信号線 S 0 ~ S 3 にそれぞれ供給されている階調電圧 D 0 , D 9 , D 2 , D 1 1 を画素回路 2 a , 2 j , 2 c , 2 l にそれぞれ書き込む。すなわち、図 7 (a) [S T E P 2] に示すように、画素回路 2 a , 2 j , 2 c , 2 l にそれぞれ階調電圧 D 0 , D 9 , D 2 , D 1 1 が書き込まれる。

【 0 0 6 7 】

次に、S T E P 3 において、水平走査回路 3 ' は、データ信号線 S 0 ~ S 3 にそれぞれ階調電圧 D 1 2 , D 5 , D 1 4 , D 7 を供給する。また、垂直走査回路 4 ' は、上位のゲート信号線 G 1 と下位のゲート信号線 G 3 とに駆動信号を供給すると共に、制御信号線 E N B 1 に制御信号を供給する。

30

【 0 0 6 8 】

このようにゲート信号線 G 1 , G 3 へ駆動信号が、制御信号線 E N B 1 へ制御信号が供給されると、選択回路 1 0 m , 1 0 f , 1 0 o , 1 0 h がデータ信号線 S 0 ~ S 3 にそれぞれ供給されている階調電圧 D 1 2 , D 5 , D 1 4 , D 7 を画素回路 2 m , 2 f , 2 o , 2 h にそれぞれ書き込む。すなわち、図 7 (a) [S T E P 3] に示すように、画素回路 2 m , 2 f , 2 o , 2 h にそれぞれ階調電圧 D 1 2 , D 5 , D 1 4 , D 7 が書き込まれる

40

【 0 0 6 9 】

さらに、S T E P 4 において、水平走査回路 3 ' は、データ信号線 S 0 ~ S 3 にそれぞれ階調電圧 D 4 , D 1 3 , D 6 , D 1 5 を供給する。また、垂直走査回路 4 ' は、上位のゲート信号線 G 1 と下位のゲート信号線 G 3 とに駆動信号を供給すると共に、制御信号線 E N B 2 に制御信号を供給する。

【 0 0 7 0 】

このようにゲート信号線 G 1 , G 3 へ駆動信号が、制御信号線 E N B 2 へ制御信号が供給されると、選択回路 1 0 e , 1 0 n , 1 0 g , 1 0 p がデータ信号線 S 0 ~ S 3 にそれぞれ供給されている階調電圧 D 4 , D 1 3 , D 6 , D 1 5 を画素回路 2 e , 2 n , 2 g ,

50

2 p にそれぞれ書き込む。すなわち、図 7 (a) [S T E P 4] に示すように、画素回路 2 e , 2 n , 2 g , 2 p にそれぞれ階調電圧 D 4、D 1 3、D 6、D 1 5 が書き込まれる。以降 S T E P 1 ~ 4 の動作を繰り返す。

【 0 0 7 1 】

ここで、図 7 (b) は N フレーム目に画素に書き込む階調電圧の極性を、図 7 (c) は N + 1 フレーム目に画素に書き込む階調電圧の極性を示している。

【 0 0 7 2 】

図 7 (b) (c) に示すように、N フレームの S T E P 1 から S T E P 4 において、S 0、S 1、S 2、S 3 に供給される階調電圧の極性は、それぞれ (S 0 , S 1 , S 2 , S 3) = (+ , - , + , -) , (- , + , - , +) , (+ , - , + , -) , (- , + , - , +) となる。また、N + 1 フレームの S T E P 1 から S T E P 4 において、S 0、S 1、S 2、S 3 に供給される階調電圧の極性は、それぞれ (S 0 , S 1 , S 2 , S 3) = (- , + , - , +) , (+ , - , + , -) , (- , + , - , +) , (+ , - , + , -) となる。

【 0 0 7 3 】

このように、上述のドット反転駆動方法と同様に、隣接する前記データ信号線 S には、垂直走査回路 4 によって、互いに逆極性となる階調電圧が供給されるため、クロストークを低減することができる。

【 0 0 7 4 】

また、各データ信号線 S に供給される階調電圧の極性がフレーム毎に反転するため、各データ信号線 S は交流駆動されることになり、画素回路部の劣化を防止することができる。

【 0 0 7 5 】

なお、上記第 1 及び第 2 実施形態においては、選択回路 1 0 として、偶数列の画素回路と奇数列の画素回路のいずれか一方を選択するための制御信号とゲート信号線への駆動信号とにより、駆動信号を出力するか否かを決定するように構成しているが、例えば、3 列以上の間隔で画素回路を選択するようにしてもよい。

【 0 0 7 6 】

また、上記第 1 及び第 2 実施形態においては、画素回路部を、上位の画素回路と下位の画素回路との 2 つの画素回路群に分けてそれぞれの階調電圧の極性を異ならしめるようにしたが、これに限られるものではない。すなわち画素回路部を、上位の画素回路、中位の画素回路、下位の画素回路の 3 つの画素回路群に分けて、+ 極性、- 極性、+ 極性 (あるいは、- 極性、+ 極性、- 極性) とするにしてもよく、さらに 4 以上の画素回路群に分けてもよい。

【 図面の簡単な説明 】

【 0 0 7 7 】

【 図 1 】 第 1 実施形態における液晶表示装置の液晶表示回路の構成を示す図である。

【 図 2 】 図 1 における選択回路の構成を示す図である。

【 図 3 】 図 1 における液晶表示回路を制御するときの各信号線のタイミングチャートである。

【 図 4 】 図 3 における各ステップ毎の画素回路部の表示状態を示す図である。

【 図 5 】 第 2 実施形態における液晶表示装置の液晶表示回路の構成を示す図である。

【 図 6 】 図 5 における液晶表示回路を制御するときの各信号線のタイミングチャートである。

【 図 7 】 図 6 における各ステップ毎の画素回路部の表示状態を示す図である。

【 符号の説明 】

【 0 0 7 8 】

- A , A ' 液晶表示装置
- 1 , 1 ' 液晶表示回路
- 2 a ~ 2 p 画素回路

10

20

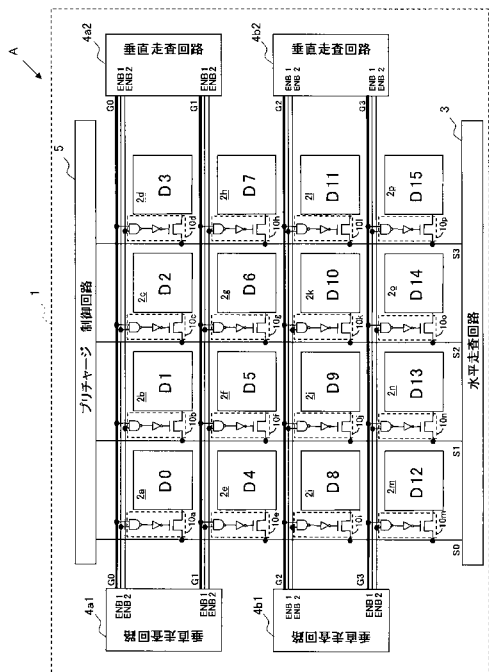
30

40

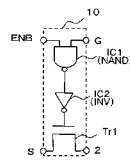
50

- 3, 3' 水平走査回路
- 4a1, 4a2, 4b1, 4b2, 4a1', 4a2', 4b1', 4b2' 垂直走査回路
- 5 プリチャージ制御回路
- 10 選択回路
- ENB1, ENB2 制御信号線
- G0 ~ G3 ゲート信号線
- S0 ~ S3 データ信号線

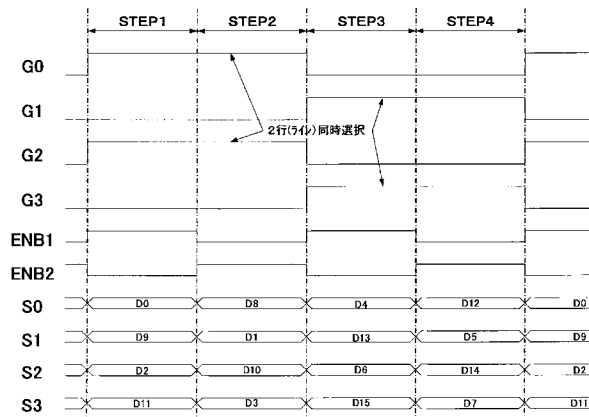
【図1】



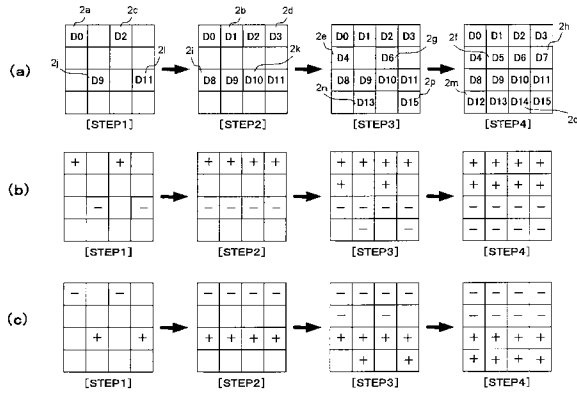
【図2】



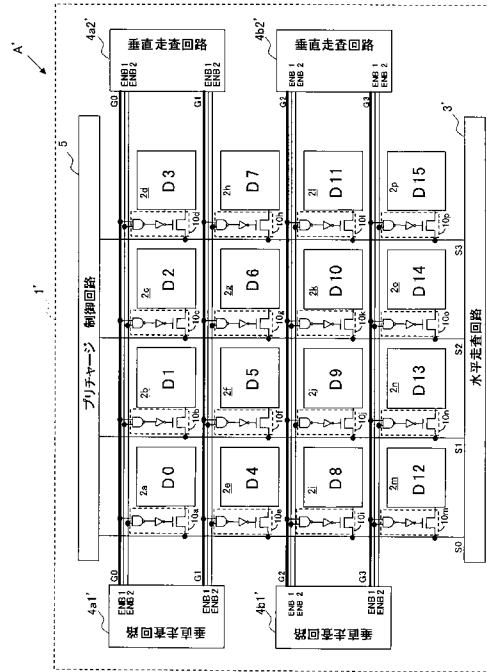
【図3】



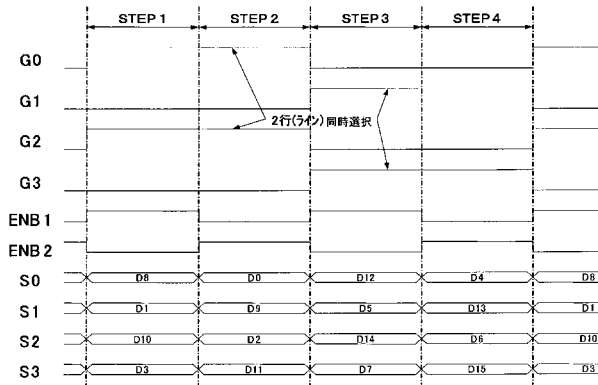
【 図 4 】



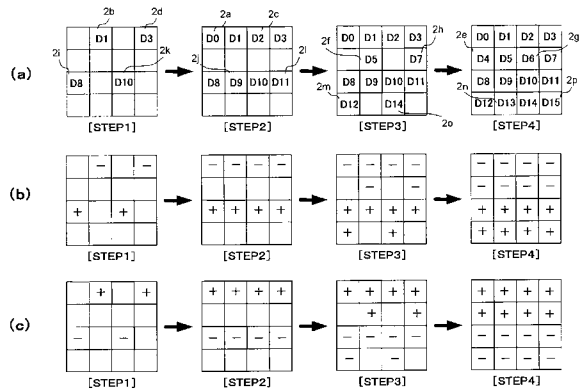
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 P
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 1 1 D
	G 0 9 G 3/20	6 4 2 E
	G 0 2 F 1/133	5 7 5
F ターム(参考)	5C006 AA16 AC11 AC23 AC24 AC27 AF22 AF42 AF43 AF44 AF71	
	BB16 BC03 BC06 BC23 BF24 BF26 BF27 FA16 FA22 FA25	
	FA54	
	5C080 AA10 BB06 DD05 DD10 DD29 EE29 FF11 JJ02 JJ03 JJ04	
	KK07	

专利名称(译)	液晶显示装置及其驱动方法和驱动电路		
公开(公告)号	JP2007171638A	公开(公告)日	2007-07-05
申请号	JP2005370145	申请日	2005-12-22
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	小島大輔		
发明人	小島 大輔		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.641.C G09G3/20.624.B G09G3/20.621.B G09G3/20.623.W G09G3/20.622.P G09G3/20.622.D G09G3/20.611.D G09G3/20.642.E G02F1/133.575		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA44 2H093/NA51 2H093/NA61 2H093/NC03 2H093/NC09 2H093/NC11 2H093/NC18 2H093/NC29 2H093/NC34 2H093/ND04 5C006/AA16 5C006/AC11 5C006/AC23 5C006/AC24 5C006/AC27 5C006/AF22 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC23 5C006/BF24 5C006/BF26 5C006/BF27 5C006/FA16 5C006/FA22 5C006/FA25 5C006/FA54 5C080/AA10 5C080/BB06 5C080/DD05 5C080/DD10 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07 2H193/ZA04 2H193/ZC02 2H193/ZD21 2H193/ZF03 2H193/ZF24 2H193/ZF59		
外部链接	Espacenet		

摘要(译)

要解决的问题：与传统的点线反转驱动系统相比，减少向错，同时减少对栅极信号线等的影响，以减少串扰。ZOLUTION：液晶显示装置包括：数据控制电路，向每列像素电路部分提供的多条数据信号线提供灰度电压，所述像素电路部分包括以矩阵形式排列的多个像素电路；栅极控制电路，向每行像素电路部分提供多条栅极信号线，用于将用于写入灰度电压的驱动信号提供给像素电路；和选择电路，它们设置在栅极信号线和各个像素电路之间，并控制是否应该将提供给栅极信号线的驱动信号提供给像素电路。数据控制电路向相邻的数据信号线提供具有相反极性的灰度电压，并且栅极控制电路不仅将驱动信号提供给栅极信号线，还控制选择电路以将相同极性的灰度电压写入到像素电路中。多个相邻的行。Z

