

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-4901

(P2004-4901A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
GO2F 1/1368	GO2F 1/1368	2H090
GO2F 1/1337	GO2F 1/1337	2H092
GO2F 1/1343	GO2F 1/1343	

審査請求 有 請求項の数 4 O L (全 21 頁)

(21) 出願番号	特願2003-175301 (P2003-175301)	(71) 出願人	000005049 シャープ株式会社
(22) 出願日	平成15年6月19日 (2003.6.19)		大阪府大阪市阿倍野区長池町2番2号
(62) 分割の表示	特願平8-295353の分割	(74) 代理人	100080034 弁理士 原 謙三
原出願日	平成8年11月7日 (1996.11.7)	(74) 代理人	100113701 弁理士 木島 隆一
		(74) 代理人	100116241 弁理士 金子 一郎
		(72) 発明者	平石 洋一 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
		Fターム(参考)	2H090 HA03 HA04 HA15 HB08Y HB13X HC05 HD07 LA04 MA07 MA15 MB01

最終頁に続く

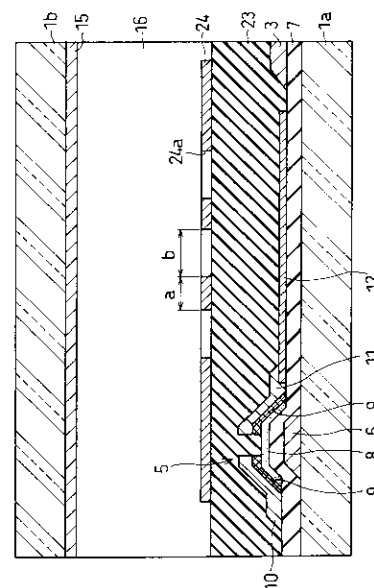
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 配向乱れを生じさせることなく、効果的に視角特性の異なる領域を1画素内に形成する。

【解決手段】 透明絶縁性基板1a上に、ゲート絶縁膜7、下層画素電極12、層間絶縁膜23及び上層画素電極24がこの順に配置されている。下層画素電極12は直接に、上層画素電極24は下層画素電極12を介してTFT5のドレイン電極11と接続され、上層画素電極24は複数の開口部24aを有する。上層画素電極24がある部分aでは映像信号電圧がそのまま液晶16へかかり、開口部24aがある部分bでは液晶16の静電容量と層間絶縁膜23の静電容量との直列の容量を介して印加される容量分割電圧がかかる。層間絶縁膜23は有機膜からなり、上層画素電極24は層間絶縁膜23介してTFT5と重畳している。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

走査配線と信号配線との交差部近傍にスイッチング素子が設けられ、該スイッチング素子に接続された画素電極を有する第 1 の基板と、該第 1 の基板に対向配置され、対向電極を有する第 2 の基板とを有し、上記基板間に液晶が封入されてなる液晶表示装置において、上記画素電極は層間絶縁膜を介して 2 層以上設けられ、少なくとも最上層の画素電極には、下層にある画素電極に対向する箇所に複数の開口部が設けられているとともに、上記層間絶縁膜は有機膜からなり、上記最上層の画素電極は、上記層間絶縁膜を介してスイッチング素子と重畳していることを特徴とする液晶表示装置。

## 【請求項 2】

上記最上層の画素電極における上記液晶側の面に配向膜が設けられ、上記複数の開口部において、上記層間絶縁膜と配向膜とが接していることを特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 3】

上記複数の開口部は斜めストライプ形状または斜めスリット形状であることを特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 4】

上記複数の開口部は上記信号配線方向に延びた縦ストライプ形状または縦スリット形状であることを特徴とする請求項 1 に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、例えばコンピュータやテレビジョン装置等のディスプレイに利用され、薄膜トランジスタ等のスイッチング素子を備えた液晶表示装置に関するものである。

## 【0002】

## 【従来の技術】

従来から、液晶表示装置は、その画面を見る角度によって相対的に配列状態の異なる液晶を光が通過することによる光透過率の視角依存性があり、特に斜め方向からは画面が見えにくくなることが知られている。従って、このような視角特性を向上させるために、様々な研究がなされている。

## 【0003】

図 13 は、特開平 5 - 273569 号公報に開示された液晶表示素子のアクティブマトリクス基板の 1 画素部分の構成を示す平面図である。図 13 に示すように、上記アクティブマトリクス基板には、ゲート配線 52 とソース配線 53 との交差部近傍に薄膜トランジスタ (TFT: Thin Film Transistor) 55 が形成されている。

## 【0004】

図 14 に示すように、上記 TFT 55 は、ガラス等の透明絶縁性基板 51a 上に、前記ゲート配線 52 に接続されたゲート電極 56 と、ゲート絶縁膜 57 と、アモルファスシリコンからなりゲート電極 56 と重畳するように配置された半導体層 58 とをこの順に有している。この半導体層 58 上には、半導体層 58 の一部を覆い、分断された状態で、オーミックコンタクト層として n+ - Si 層 59・59 が形成されている。一方の n+ - Si 層 59 上には前記ソース配線 53 と接続されたソース電極 60 が設けられ、他方の n+ - Si 層 59 上には画素電極 62 と接続されたドレイン電極 61 が設けられている。

## 【0005】

上記画素電極 62 は前記ゲート配線 52 とソース配線 53 に囲まれた矩形領域に形成されており、画素電極 62 上には、SiNx や SiO<sub>2</sub> 等からなる複数の透明絶縁膜 63 が島状に配置されている。尚、透明絶縁膜 63 は保護膜を兼ねている。さらに、TFT 55、画素電極 62、及び透明絶縁膜 63 上に、図示しない配向膜が形成されることにより、アクティブマトリクス基板が形成される。

## 【0006】

10

20

30

40

50

一方、上記アクティブマトリクス基板に対向配置された透明絶縁性基板 5 1 b 上には対向電極 6 5 及び配向膜（図示せず）がこの順に形成され、これらの基板間に液晶 6 6 が封入されることにより、液晶表示素子が形成される。

【0007】

このような構造の液晶表示装置においては、画素電極 6 2 上に透明絶縁膜 6 3 が配設されていない部分 a' では映像信号電圧がそのまま対向電極 6 5 との間にかかるが、透明絶縁膜 6 3 が配設されている部分 b' では映像信号電圧が液晶 6 6 の静電容量と透明絶縁膜 6 3 の静電容量との直列の容量を介して印加される容量分割電圧が印加される。

【0008】

このように、1つの画素内で液晶 6 6 への印加電圧が異なる2つの領域が形成されることになり、その結果、1つの画素内で液晶 6 6 の光透過率の異なる2つの領域が形成されることになる。従って、画面を斜め方向から見たときの視角特性を向上させることができる。また、透明絶縁膜 6 3 を形成するとき、テーパー部分 c' を設けることにより、ざらついた感じのないきれいな画面にすることができる。

【0009】

【特許文献1】

特開平 5 - 2 7 3 5 6 9 号公報（公開日平成 5 年 1 0 月 2 2 日）

【0010】

【特許文献2】

特開平 7 - 1 7 5 0 3 7 号公報（公開日平成 7 年 7 月 1 4 日）

【0011】

【発明が解決しようとする課題】

しかしながら、上記従来構成は、画素電極 6 2 上に設けられた透明絶縁膜 6 3 によって複数の凹凸領域が形成されているため配向乱れが生じ、表示特性が悪くなるという問題点を有している。この配向乱れは、部分 a' と部分 b' に印加される電圧の差を大きくするために、透明絶縁膜 6 3 の膜厚を厚くするほど起こりやすくなる。また、透明絶縁膜 6 3 を厚くすると、部分 a' と部分 b' とでセルギャップが変わってくるので、ギャップの制御が難しいという問題も生じてくる。

【0012】

このような問題を解決するために、特開平 7 - 1 7 5 0 3 7 号公報には、図 1 5 に示すように、アクティブマトリクス基板側に設けられる配向膜 6 7 を厚く形成し液晶 6 6 との界面を平坦にすることで、配向不良を防止する液晶表示装置が開示されている。

【0013】

しかしながら、配向乱れを防止するために配向膜 6 7 の表面を平坦にしようとする、少なくとも  $0.5 \mu\text{m}$  (=  $500 \text{nm}$ ) 程度の膜厚が必要であるが、この場合、印加電圧を上げなければならなくなるため消費電力が増大するという問題が生じる。また、配向膜 6 7 として一般に用いられるポリイミドは、色が少し付いているため、表示品位を悪くするという問題もある。

【0014】

本発明は、上記従来問題点を解決するためになされたもので、その目的は、配向乱れを生じさせずに、1画素内に効果的に視角特性の異なる部分を形成し、視野角を広くすることができる液晶表示装置を提供することにある。

【0015】

【課題を解決するための手段】

上記の目的を達成するために、本発明の請求項 1 に記載の液晶表示装置は、走査配線と信号配線との交差部近傍にスイッチング素子が設けられ、該スイッチング素子に接続された画素電極を有する第 1 の基板と、該第 1 の基板に対向配置され、対向電極を有する第 2 の基板とを有し、上記基板間に液晶が封入されてなる液晶表示装置において、上記画素電極は層間絶縁膜を介して 2 層以上設けられ、少なくとも最上層の画素電極には、下層にある画素電極に対向する箇所に複数の開口部が設けられているとともに、上記層間絶縁膜は有

10

20

30

40

50

機膜からなり、上記最上層の画素電極は、上記層間絶縁膜を介してスイッチング素子と重畳していることを特徴としている。

【0016】

上記の構成によれば、スイッチング素子は各画素電極に接続されているので、スイッチング素子からの映像信号電圧は各画素電極に印加されることになる。そして、最上層の画素電極において開口部が形成されていない部分では、上記映像信号電圧は最上層の画素電極と対向電極との間の液晶にそのまま印加される。一方、開口部が形成されている部分では、対向電極と下層の画素電極との間に液晶と層間絶縁膜があるので、液晶の静電容量と層間絶縁膜の静電容量との直列の容量を介して印加される容量分割電圧がかかる。

【0017】

従って、1つの画素内で液晶への印加電圧が異なる領域が2つ以上形成されることになり、その結果、1つの画素内で液晶の光透過率の異なる領域が2つ以上形成されることとなる。これにより、液晶表示装置の画面を斜め方向から見たときの視角特性を向上させることができる。

10

【0018】

また、従来では液晶への印加電圧が異なる領域を形成するために、画素電極上に形成された島状の透明絶縁膜の膜厚によって、絶縁膜形成部分と非形成部分とへの印加電圧の調節を行うため、絶縁膜の厚み分だけ画素電極上に凹凸が生じていたが、本願構成では層間絶縁膜の膜厚、比誘電率、及び面積（開口部の面積と等しい）を調節すれば、最上層の画素電極の有無だけで液晶への印加電圧を調整することができるので、最上層の画素電極の膜厚分のみの凹凸しか生じない。これにより、画素電極の表面が平坦化されるので、配向乱れが生じるのを防止することが可能となる。

20

【0019】

また、上記の構成によれば、層間絶縁膜が有機膜で形成されているので、容易に膜厚を厚くすることができる。従って、開口部の形成部分と非形成部分とにおける液晶への印加電圧の差を大きくすることができ、より効果的に視角特性の異なる領域を設けることが可能となる。また、膜厚を厚くすると、配線部分やスイッチング素子を含めて表面を平坦化できるので、最上層の画素電極を配線部部やスイッチング素子上に配置することが可能となる。

【0020】

さらに、上記の構成によれば、通電動作中に層間絶縁膜と配向膜とが接する界面で電荷が誘起され層間絶縁膜が帯電する現象が起こっても、溜まった電荷を最上層の画素電極が放出するので、スイッチング素子がオフのときにリーク電流が流れるのを防止することができる。この結果、表示品位の劣化を抑えることができ、信頼性の高い液晶表示装置を得ることができる。

30

【0021】

上記の液晶表示装置は、上記最上層の画素電極における上記液晶側の面に配向膜が設けられ、上記複数の開口部において、上記層間絶縁膜と配向膜とが接している構成としてもよい。

【0022】

上記の液晶表示装置は、上記複数の開口部は斜めストライプ形状または斜めスリット形状である構成としてもよい。

40

【0023】

上記の液晶表示装置は、上記複数の開口部は上記信号配線方向に延びた縦ストライプ形状または縦スリット形状である構成としてもよい。

【0024】

【発明の実施の形態】

〔実施の形態1〕

本発明の実施形態1について図1ないし図3、及び図9ないし図12に基づいて説明すれば、以下の通りである。

50

## 【0025】

本実施形態にかかる液晶表示装置は、図2に示すように、走査配線としてのゲート配線2と、信号配線としてのソース配線3と、付加容量(Cs)配線4とを有している。Cs配線4は、後述の下層画素電極12との重畳部で付加容量を形成するためのものである。

## 【0026】

ゲート配線2とソース配線3に囲まれた矩形領域が1画素分に対応しており、ゲート配線2とソース配線3の交差部近傍にはスイッチング素子としてのTFT5が形成される。図2には1画素分のみが示されているが、TFT5はマトリクス状に配置されている。

## 【0027】

上記TFT5は、図1(図2のA-A'矢視断面図)に示すように、ガラス等の透明絶縁性基板1a上に形成されたゲート電極6、ゲート絶縁膜7、半導体層8、n+-Si層9、ソース電極10及びドレイン電極11を備えている。

10

## 【0028】

ゲート電極6は、厚さ300nmのタンタルやアルミニウム等で形成され、前記ゲート配線2に接続される。

## 【0029】

ゲート電極6の上に設けられたゲート絶縁膜7は、厚さ350nmの窒化シリコン(SiNx)等からなる。

## 【0030】

ゲート絶縁膜7の上に設けられた半導体層8は、厚さ100nmのアモルファスシリコン等からなり、ゲート電極6と重畳するように配置される。

20

## 【0031】

n+-Si層9は、厚さ80nmの $\mu c$ (マイクロクリスタル)-n+-Si等からなり、上記半導体層8の一部を覆い、分断された状態でオーミックコンタクト層として配置される。

## 【0032】

一方のn+-Si層9上に設けられたソース電極10は、厚さ300nmのタンタル、アルミニウム、及びITO(Indium Tin Oxide)等で形成され、前記ソース配線3と接続される。

## 【0033】

他方のn+-Si層9上に設けられたドレイン電極11は、厚さ300nmのタンタル、アルミニウム、及びITO等で形成され、後述の下層画素電極12と接続される。

30

## 【0034】

また、上記矩形領域における画素部分は、上記ゲート絶縁膜7上に形成された下層画素電極12、層間絶縁膜13、及び上層画素電極14を備えている。

## 【0035】

上記下層画素電極12は、液晶表示装置が透過型の場合には厚さ100nmのITO等の透明導電膜からなり、TFT5のドレイン電極11に接続される。尚、反射型の場合には厚さ100nmのアルミニウム等の反射率の高い金属で形成すればよい。

## 【0036】

層間絶縁膜13は、厚さ500nmの窒化シリコンからなり、下層画素電極12と上層画素電極14との間に配置されて2つの画素電極間を絶縁するものである。また、層間絶縁膜13は、上記TFT5上にも配置されて、TFT5を保護している。この層間絶縁膜13は、従来に保護膜として使用していた材料と同じものを使用できる。

40

## 【0037】

上層画素電極14は、厚さ50nmのITO等の透明導電膜からなり、層間絶縁膜13上に積層されると共に、TFT5のドレイン電極11に接続されている。このとき、上層画素電極14の外形が下層画素電極12の外形よりも大きくなるように形成されている。また、上層画素電極14には、複数の開口部14aが形成されている。開口部14aは、例えば図2に示すような菱形パターンとし、下層画素電極12が設けられた箇所に対向する

50

上層画素電極 1 4 面に複数個設けられる。この開口部 1 4 a の 1 つの大きさは、上層画素電極 1 4 のサイズにもよるが数  $\mu\text{m}$  ~ 十数  $\mu\text{m}$  程度にする。

【0038】

上層画素電極 1 4 の上には、厚さ 50 nm の配向膜（図示せず）が設けられている。以上のようにして、TFT5 が配置されたアクティブマトリクス基板（第 1 の基板）が構成される。

【0039】

一方、上述のように構成されたアクティブマトリクス基板に対向配置された対向基板（第 2 の基板）は、図 1 に示すように、透明絶縁性基板 1 b 上に、対向電極 1 5 及び配向膜（図示せず）がこの順に配置されてなる。

10

【0040】

本実施形態における液晶表示装置は、上記アクティブマトリクス基板と対向基板との間に液晶 1 6 が封入されることにより構成される。

【0041】

次に、上記液晶表示装置における液晶 1 6 の実効電圧について図 1 及び図 3 に基づいて説明する。

【0042】

下層画素電極 1 2 上に上層画素電極 1 4 が配設されている部分 a では、上層画素電極 1 4 と対向電極 1 5 との間にそのまま映像信号電圧が印加される。従って、部分 a での等価回路は図 3 の (a) に示すようになり、部分 a における液晶 1 6 の実効電圧  $V_{LC}$  は、以下のように表される。

20

【0043】

【数 1】

$$V_{LC} = \frac{C_1 C_2}{C_1 C_2 + C_{LC} (C_1 + C_2)} V_{ap} \dots (1)$$

【0044】

但し、 $C_1$  は対向基板側の配向膜の静電容量、 $C_2$  はアクティブマトリクス基板側の配向膜の静電容量、 $C_{LC}$  は液晶 1 6 の静電容量、 $V_{ap}$  は印加電圧であり、図 3 中の  $C_s$  は  $C_s$  配線 4 による付加容量である。

30

【0045】

一般に、静電容量は、次の容量式で定義される。但し、 $\epsilon_0$  は真空誘電率、 $\epsilon_s$  は誘電膜材比誘電率、 $S$  は誘電膜の面積、 $d$  は誘電膜の膜厚である。

【0046】

【数 2】

$$C = \epsilon_0 \epsilon_s \frac{S}{d}$$

【0047】

ここで、配向膜の面積 ( $S$ ) を一定とし、対向基板側とアクティブマトリクス基板側との配向膜を同じ材料としたとき、上記 (1) 式に容量式を代入することによって、部分 a の実効電圧  $V_{LC}$  は、以下のように表される。

40

【0048】

【数 3】

$$V_{LC} = \frac{\epsilon_{or}}{\epsilon_{or} + \epsilon_{LC} (d_1 + d_2) / d_{LC}} V_{ap} \dots (2)$$

【0049】

50

但し、 $\epsilon_{or}$  は配向膜材比誘電率、 $\epsilon_{LC}$  は液晶材比誘電率、 $d_1$  は対向基板側の配向膜膜厚、 $d_2$  はアクティブマトリクス基板側の配向膜膜厚、及び  $d_{LC}$  は液晶 16 の実効セル厚である。

【0050】

一方、下層画素電極 12 上に上層画素電極 14 が配設されていない部分 b (開口部 14 a) での等価回路は図 3 の (b) に示すようになり、層間絶縁膜 13 の静電容量  $C_p$  と液晶 16 の静電容量  $C_{LC}$  と配向膜の静電容量  $C_1, C_2$  との直列の容量を介して印加される容量分割電圧がかかる。従って、上記部分 b における液晶 16 の実効電圧  $V_{LC}$  は、次のように表される。

【0051】

【数 4】

$$V_{LC} = \frac{C_1 C_2 C_p}{C_1 C_2 C_p + C_{LC} (C_1 C_2 + C_1 C_p + C_2 C_p)} V_{ap} \dots (3)$$

10

【0052】

部分 a の場合と同様にして (3) 式に容量式を代入すると、部分 b の実効電圧  $V_{LC}$  は、以下に示すようになる。但し、 $\epsilon_p$  は層間絶縁膜材比誘電率であり、 $d_p$  は層間絶縁膜 13 の膜厚である。

【0053】

【数 5】

$$V_{LC} = \frac{\epsilon_{or} \epsilon_p}{\epsilon_{or} \epsilon_p + \epsilon_{LC} (d_1 \epsilon_p + d_2 \epsilon_p + d_p \epsilon_{or}) / d_{LC}} V_{ap} \dots (4)$$

20

【0054】

上記 (1) ないし (4) 式からわかるように、本実施形態における液晶表示装置は、1つの面素内で液晶 16 への印加電圧 (実効電圧  $V_{LC}$ ) が異なる 2つの領域が形成されることになり、その結果、1つの画素内で液晶 16 の光透過率の異なる 2つの領域が形成されることとなる。従って、液晶表示装置の画面を斜め方向から見たときの視角特性を向上させることができる。

30

【0055】

このとき、映像信号電圧が直接かかる箇所は層間絶縁膜 13 上に上層画素電極 14 が形成されている箇所 (部分 a) であり、容量分割電圧がかかる箇所は上層画素電極 14 の開口部 14 a (部分 b) であるので、層間絶縁膜 13 の膜厚  $d_p$ 、比誘電率  $\epsilon_p$ 、及び面積 (開口部 14 a の面積) を調節すれば、上層画素電極 14 の有無だけで実効電圧  $V_{LC}$  の調節が可能である。

【0056】

従って、上層画素電極 14 上に形成された配向膜の表面の凹凸部の段差は、上層画素電極 14 の膜厚 (50 nm 程度) のみで決まり、ほぼ平坦であるので、配向乱れを最小限に抑えることができる。この結果、良好な表示品位の液晶表示装置を得ることが可能となる。

40

【0057】

また、本実施形態のアクティブマトリクス基板には、下層画素電極 12 及びソース配線 3 と、上層画素電極 14 との間に層間絶縁膜 13 が設けられているので、ソース配線 3 に対して上層画素電極 14 を近づけて、もしくは多少重ね合うように形成してもリークすることがない。また、下層画素電極 12 とソース配線 3 とは同層に形成されているが、下層画素電極 12 とソース配線 3 との間にも層間絶縁膜 13 が設けられているので、これらの間でもリークすることはない。

【0058】

つまり、従来では画素電極とソース配線が同層に形成されていたため、これらをあまり近

50

づけるとリークしてしまい良品率を著しく悪くしていたが、本構成では上層画素電極 1 4 及びソース配線 3 を互いに近づけて形成してもリーク不良が起こりにくいので、良品率を向上させることが可能となる。

【0059】

さらに、上層画素電極 1 4 の外形が下層画素電極 1 2 の外形よりも大きく形成され、上層画素電極 1 4 の下層画素電極 1 2 よりも大きく形成された領域には開口部 1 4 a はないので、上層画素電極 1 4 の大きさを液晶表示装置の開口率が決定されることになる。従って、下層画素電極 1 2 を小さく形成しても開口率は減少しないため、下層画素電極 1 2 とソース配線 3 との間隔を大きく取ることができる。この結果、下層画素電極 1 2 とソース配線 3 との間のリーク不良をさらに防止することが可能となり、高開口率の液晶表示装置が歩留り良く得られる。

10

【0060】

次に、上記の構成の液晶表示装置の性能評価を行った結果を表 1 に示す。ここで、液晶材としては中間調表示時に比誘電率  $\epsilon_{LC}$  が 6.0 でセル厚  $d_{LC}$  が  $4.5 \mu m$  のものを用いた。また、配向膜材としては比誘電率  $\epsilon_r$  が 3.4 のポリイミドを用い、配向膜の膜厚  $d_1, d_2$  を各々  $50 nm$  とした。尚、実効電圧は中間調表示時を元に上記 (2), (4) 式を用いて算出し、視野角制御を行わない場合の実効電圧を 100% としたときの値を示しており、電圧差は部分 a と部分 b との実効電圧の差を示している。

【0061】

【表 1】

20

	実施形態 1		実施形態 2	
	部分 a	部分 b	部分 a	部分 b
比誘電率 $\epsilon_{or}$	3.4	3.4	3.4	3.4
比誘電率 $\epsilon_{LC}$	6.0	6.0	6.0	6.0
比誘電率 $\epsilon_p$	—	8.0	—	3.4
膜厚 $d_1$ (nm)	50	50	50	50
膜厚 $d_2$ (nm)	50	50	50	50
セル厚 $d_{LC}$ ( $\mu m$ )	4.5	4.5	4.5	4.5
膜厚 $d_p$ (nm)	—	500	—	1500
層間絶縁膜材	—	SiN <sub>x</sub>	—	アクリル
実効電圧 (%)	96.18	88.95	96.18	61.12
電圧差 (%)	—	-8.13	—	-57.37

30

40

【0062】

また、比較のために、従来技術として説明した特開平 5 - 273569 号公報に示されたパネル (図 14 参照) を比較例 1, 2 として、特開平 7 - 175037 号公報に示されたパネル (図 15 参照) を比較例 3, 4 として、各々性能評価を行った結果を表 2 に示す。尚、表 2 中の比誘電率  $\epsilon_p$  及び膜厚  $d_p$  は、透明絶縁膜 63 のものである。

【0063】

【表 2】

	比較例 1		比較例 2		比較例 3		比較例 4	
	部分a'	部分b'	部分a'	部分b'	部分a'	部分b'	部分a'	部分b'
比誘電率 $\epsilon_{or}$	3.4	3.4	3.4	3.4	3.4	3.4	3.4	3.4
比誘電率 $\epsilon_{LC}$	6.0	6.0	6.0	6.0	6.0	6.0	6.0	6.0
比誘電率 $\epsilon_p$	—	8.0	—	8.0	—	4.0	—	4.0
膜厚 $d_1$ (nm)	50	50	50	50	50	50	50	50
膜厚 $d_2$ (nm)	50	50	50	50	500	100	1000	500
セル厚 $d_{LC}$ ( $\mu m$ )	4.5	4.2	4.5	4.0	4.5	4.5	4.5	4.5
膜厚 $d_p$ (nm)	—	300	—	500	—	400	—	500
透明絶縁膜材	—	SiN <sub>x</sub>	—	SiN <sub>x</sub>	—	SiO <sub>2</sub>	—	SiO <sub>2</sub>
実効電圧 (%)	96.18	91.16	96.18	88.25	82.05	83.69	70.55	72.06
電圧比 (%)	—	-5.50	—	-8.98	—	-1.96	—	-2.10

10

20

30

40

50

## 【0064】

尚、比較を容易にするために、本実施形態の場合と同様に、液晶材として中間調表示時に比誘電率  $\epsilon_{LC}$  が 6.0 で透明絶縁膜 63 のない部分 a' のセル厚  $d_{LC}$  が 4.5  $\mu m$  のものを用いた。また、配向膜材としては比誘電率が 3.4 のポリイミドを用い、対向基板側の配向膜の膜厚  $d_1$  を 50 nm とし、アクティブマトリクス基板側の配向膜の膜厚  $d_2$  を比較例 3, 4 以外は 50 nm とした。また、透明絶縁膜 63 として、比較例 1, 2 ではチッ化シリコン ( $\epsilon_p = 8.0$ ) を用い、比較例 3, 4 は酸化シリコン ( $\epsilon_p = 4.0$ ) を用いた。

## 【0065】

この結果、本実施形態の液晶表示装置は、特性的には比較例 2 とほぼ同等のものが配向乱れを生ずることなく、また、セルギャップも容易に得られることがわかった。

## 【0066】

また、比較例1, 2の部分a'と、本実施形態の部分aとの実効電圧は同じであるが、開口率が増加した分だけバックライトからの光量を落とすことができるので、消費電力を下げることが可能となることわかる。例えば、11.3型SVG Aで、従来では開口率が65%であったが、本構成では75~80%となり、12.1型XGAで、従来では60%であったが、本構成では70~75%という結果が得られた。

## 【0067】

例えば、従来の開口率を60%としたとき、本実施形態の構成によって開口率が80%に向上したとすると、バックライトの光量を33%落しても同じ明るさが得られることになる。

## 【0068】

尚、比較例1, 2に関しては、透明絶縁膜63の膜厚 $d_p$ を厚くした方が効果的になることわかるが、この場合には配向乱れが生じると共に、セルギャップが変ってくるのでギャップコントロールが難しくなり、実質的には使用できない。

## 【0069】

また、比較例3, 4に関しては、配向膜67のポリイミドと透明絶縁膜63の酸化シリコンとでは比誘電率の違いが少ないため、あまり効果的に電圧が分圧されないことがわかった。さらに、配向乱れを防止するために配向膜67の表面を平坦にしようとするとも少なくとも500nm (= 0.5 $\mu$ m)程度の膜厚が必要であるが、印加電圧を上げなければならなくなるので消費電力が増大する。

## 【0070】

次に、上記液晶表示装置の製造方法について説明する。

## 【0071】

まず、図9及び図1に示すように、透明絶縁性基板1a上に、ゲート配線2及びゲート電極6と、Cs配線4とを同時に形成する。尚、上記図9に示すように、Cs配線4と下層画素電極12との重畳部で付加容量を形成してもよいが(Cs on Com方式)、図10に示すように、下層画素電極12と、その下層画素電極12とは異なる層に形成されたゲート配線2とを重ね合わせて付加容量を形成してもよい(Cs on Gate方式)。

## 【0072】

続いて、ゲート配線2、ゲート電極6、及びCs配線4の上を覆ってゲート絶縁膜7を形成する。尚、ゲート絶縁膜7の代わりに、ゲート配線2、ゲート電極6、及びCs配線4に陽極酸化法により陽極酸化膜を形成してもよい。この場合にはスパッタ法やCVD法等で作る絶縁膜に比べて、ピンホールの少ない緻密な膜ができる。

## 【0073】

その後、ゲート電極6と重畳するように半導体層8を形成し、この半導体層8の一部を覆い、分断された状態に $n^+$ -Si層9を形成する。

## 【0074】

そして、下層画素電極12を形成した後に、ソース配線3とTFT5のソース電極10及びドレイン電極11とを形成する。このように、下層画素電極12とソース配線3とを別の材料を用いて製造する場合、ソース配線3を2層にして形成してもよい。例えば、下層画素電極12をITOで形成する場合、下層画素電極12のITOを用いてソース配線3の1層目を形成し、次にアルミニウムやタンタル等の金属を用いて2層目を形成する。これにより、ITOと金属の両方が同じ箇所を断線していない限り断線不良にはならないため、断線冗長性を持たせることができる。尚、下層画素電極12とソース配線3を同じ材料を用いて同時に形成することも可能である。この場合には、製造工程を少なくすることができるので、コスト低減及び生産効率の向上を図ることができる。

## 【0075】

その後、ソース電極10、ドレイン電極11、及び下層画素電極12上に層間絶縁膜13を形成し、TFT5と上層画素電極14との接続部分と、図示しない外部接続基板との接

10

20

30

40

50

続部分とをエッチングして取り除きコンタクト部を形成する。そして、層間絶縁膜 1 3 上に上層画素電極 1 4 を形成することにより、上層画素電極 1 4 は、コンタクト部を介して、T F T 5 のドレイン電極 1 1 と接続されることになる。次に、上層画素電極 1 4 に開口部 1 4 a を形成する。このようにして、アクティブマトリクス基板が作成される。

【 0 0 7 6 】

対向基板は、透明絶縁性基板 1 b 上に、対向電極 1 5 及び配向膜をこの順に積層して形成する。

【 0 0 7 7 】

最後に、アクティブマトリクス基板と対向基板との間に液晶 1 6 を封入して、これらの基板を貼り合わせる。

【 0 0 7 8 】

次に、上記アクティブマトリクス基板の検査方法について図 1 1 及び図 1 2 に基づいて説明する。

【 0 0 7 9 】

従来から、特に高精細のパネルでは、配線と面素電極がリークしてしまうことがある。これは面素電極と同層にあるソース配線との間に特に起こりやすい。むしろ、ゲート配線と画素電極とが同層にあればゲート配線とリークしやすい。そこでリーク部分をレーザーカットで修正することが一般に行われているが、透明絶縁膜（本願の層間絶縁膜 1 3 に相当）を形成後にこのような修正を行うと、レーザーカットする際の熱によって透明絶縁膜が熱だれを起こしてしまうことがある。これは当然ながら透明絶縁膜として、耐熱性の低い有機樹脂を用いた場合に顕著に起こる。また、レーザーカット後のかすが残り、表示品位を落してしまうという問題もある。

【 0 0 8 0 】

本願では、上述のようにソース配線 3 と、T F T 5 のソース電極 1 0 及びドレイン電極 1 1 とを形成した段階で検査を行う。これは、早い段階で不良が発見されれば材料損失が少なく、また早い段階の方が修正が行いやすいからである。本実施形態では、以下に示すボルテージ・イメージ法を用いて検査を行った。

【 0 0 8 1 】

まず、正または負の電圧（例えば + 2 0 V または - 2 0 V ）のいずれかの信号をソース配線 3 より入力し、ドレイン電極 1 1 及び下層画素電極 1 2 に電荷をチャージする。図 1 1 では、1 2 a が正に帯電された下層画素電極 1 2 であり、1 2 b が負に帯電された下層画素電極 1 2 である。

【 0 0 8 2 】

下層画素電極 1 2 を上記のような状態にして、検査装置を動作させる。即ち、上記検査装置におけるランプ 3 1 からの光 S をハーフミラー 3 2 を介して反射板 3 4 を有する光学変調素子 3 3 に照射する。

【 0 0 8 3 】

ここで、光学変調素子 3 3 はポッケルス素子であり、ポッケルス素子とは置かれた場所の電界強度に応じて屈折率が変化する特殊な結晶板のことである。そのため、反射板 3 4 に照射された光 S の反射光 R の偏光状態は、画素の表面電位に応じて変化する。

【 0 0 8 4 】

その反射光 R を 1 / 4 波長板 3 5 によって位相分を除去し、C C D 3 6 で撮像する。この構成により、撮像信号が画素の表面電位として扱えるようになる。その撮像結果を画像処理し、基準パターンと比較して良否を判定する。このとき、図 1 2 に示すように、1 枚の透明絶縁性基板 1 a を 8 x 6 に分け、蛇行するように 1 列ずつ上記検査を繰返し行うことにより、効率よく検査を行うことができる。

【 0 0 8 5 】

判定の結果、リークしていることが判明した場合、どこでリークしているかもわかるので、リーク箇所に光エネルギーとして Y A G ( Y t t r i u m A l u m i n u m G a r n e t ) レーザ光を照射して修正を行う。このときのレーザー光のエネルギーは  $10^{-9}$  ~

10

20

30

40

50

$10^{-6} \text{ J} / \mu\text{m}^2$ とした。リーク箇所にはレーザー光を照射することで照射部の導電体を四散させ、ソースバスライン間を電氣的に絶縁状態にすることができる。

【0086】

本実施形態の検査方法では、早い段階で良否の判定が行えるため、余分な材料を使用することがなくなりコストダウンが図れる。また、早い段階であれば修正は行いやすいので、修正を行うことでやはりコストダウンが図れる。

【0087】

〔実施の形態2〕

本発明の実施形態2について図4及び図5に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施形態の図面に示した部材と同一の部材には同一の符号を付記し、その説明を省略する。

【0088】

本実施形態にかかる液晶表示装置は、図5に示すように、実施形態1の層間絶縁膜13及び上層画素電極14の代わりに、層間絶縁膜23及び上層画素電極24を備えており、その他の構成については実施形態1と同じである。

【0089】

層間絶縁膜23は、厚さ $1.5 \mu\text{m}$ の感光性アクリル樹脂（感光性有機膜）からなり、下層画素電極12及びTF T5と、上層画素電極24との間に配置されて、下層画素電極12と上層画素電極24の間を絶縁すると共に、TF T5のソース電極10及びドレイン電極11と上層画素電極24との間を絶縁するものである。

【0090】

ここで、層間絶縁膜23は、スピン塗布法により形成される。そして、このアクリル樹脂に対して、所望のパターンに従って露光し、アルカリ性の溶液によって現像処理すると、露光された部分のみがアルカリ性の溶液によってエッチングされ、図4に示すように、層間絶縁膜23を貫通するコンタクトホール23aが形成される。このコンタクトホール23aはCs配線4上に形成される。

【0091】

上層画素電極24は、厚さ $100 \text{ nm}$ のITO等の透明導電膜からなり、層間絶縁膜23上に積層されている。このとき、TF T5、ソース配線3、及びゲート配線2にも上層画素電極24が重畳されるようにする。

【0092】

また、上層画素電極24は、層間絶縁膜23に形成されたコンタクトホール23aを介して下層画素電極12に接続され、この結果、TF T5のドレイン電極11と接続されることとなる。また、上層画素電極24には、複数の開口部24aが形成されている。開口部24aは、例えば図4に示すような菱形パターンとし、下層画素電極12が設けられた箇所に対向する上層画素電極24全面に形成する。この開口部24aの大きさは、上層画素電極24のサイズにもよるが数 $\mu\text{m}$ ～十数 $\mu\text{m}$ 程度にする。

【0093】

上記構成の液晶表示装置の等価回路は、実施形態1と同様に図3に示すものとなる。従って、前記(2)、(4)式から、層間絶縁膜23の膜厚、比誘電率、及び面積のうち2つが決まれば残る1つが決まるため、比誘電率及び面積を調整することで、層間絶縁膜23の膜厚を調整することが可能である。これにより、本実施形態における液晶表示装置は、層間絶縁膜23の膜厚を厚く形成することにより、配線部分やTF T5上の配向膜を平坦化することができ、表示品位の向上が図れる。

【0094】

また、本構成では、層間絶縁膜23をアクリル樹脂等の有機膜で形成しているため、スピン塗布法等で容易に厚膜化することができる。また、実施形態1で用いたチッ化シリコン等の無機膜は、P-CVD法等で成膜するため膜厚を厚くすればするほど時間がかかり生産性を悪くしてしまうが、有機膜を使用すれば膜厚を厚くした場合でも無機膜ほど生産性が落ちることはない。

10

20

30

40

50

## 【0095】

さらに、層間絶縁膜23を感光性樹脂で形成しているので、フォトレジスト塗布工程が省略でき、プロセスの短縮が図れる。

## 【0096】

また、層間絶縁膜23が厚く形成されているので、実施形態1の場合と比較して、さらに、下層画素電極12及びソース配線3と、上層画素電極24との間のリークを防止することができる。

## 【0097】

さらに、下層画素電極12と上層画素電極24とを接続するコンタクトホール23aはCs配線4上に形成されているので、表示品位を落とすことはない。即ち、コンタクトホール23aが形成された箇所は当然平坦ではないので、コンタクトホール23aがCs配線4上に形成されなければ、そこでは配向乱れが生じ光漏れがあり表示品位を落してしまうが、本構成ではCs配線4でその部分を隠しているため、表示品位は保たれる。これは、Cs on Com方式だけでなく、Cs on Gate方式でも同じであり、その場合は隣のゲート配線上でコンタクトを取ってやるとよい。

10

## 【0098】

ところで、層間絶縁膜23と配向膜とが接する界面では、通電動作中に電荷が誘起され、層間絶縁膜23が帯電する現象が起こる。このような現象が生じると、TF T5がオフのときにTF T5に電荷がかかりソース・ドレイン間にリーク電流が流れて表示品位が低下してしまう。本実施形態における液晶表示装置は、上層画素電極24がTF T5と重畳する構成であるので、TF T5の上層画素電極24によって電荷を放出し、上記帯電現象を抑えることができる。この結果、TF T5のオフ特性の劣化が避けられ、高信頼性の液晶表示装置を得ることができる。上記帯電現象は、層間絶縁膜23が有機膜の方が無機膜の場合よりも起こりやすく、またエージング時等の高温動作時に起こりやすいので、このような場合に特に有効である。

20

## 【0099】

また、従来では画素電極と配線との間に隙間があるために、対向基板側にBM (Black Matrix)等の遮光膜を設ける必要があったが、本構成では上層画素電極24がソース配線3あるいはゲート配線2と重なりを持つように設けられているので、対向基板側に遮光膜を設ける必要はない。従って、生産効率を向上させると共に、コストダウンを図ることができる。

30

## 【0100】

さらに、従来では、対向基板とアクティブマトリクス基板との貼り合わせ精度が悪いため、貼り合わせ精度分(数 $\mu\text{m}$ 程度)だけ遮光膜と画素電極とを重ねて形成しなければならず、開口率の低下を招いていたが、本構成ではマージンを設ける必要がないので、開口率を上げることができる。この結果、高輝度化もしくは低消費電力化が実現可能となる。

## 【0101】

このとき、層間絶縁膜23を厚く形成しているため、ソース配線3あるいはゲート配線2と、上層画素電極24とを重ね合せた場合でも寄生容量を抑えることができる。

## 【0102】

次に、実施形態1と同様に上記の構成の液晶表示装置の性能評価を行った結果を前記表1に示す。ここで、液晶材及び配向膜材ともに、実施形態1と同様のものを用いた。

40

## 【0103】

この結果、本実施形態の液晶表示装置は、実施形態1よりも大きな電圧差を有するものが配向乱れを生ずることなく、また、セルギャップも容易に得られることがわかった。

## 【0104】

さらに、前記比較例1, 2の部分a'と、実施形態1の部分aと、本実施形態の部分aとの実効電圧は同じであるが、開口率が増加した分だけバックライトからの光量を落とすことができるので、消費電力を下げるのが可能となる。例えば、11.3型SVGAで、従来では開口率が65%であったが、本構成では85%となり、12.1型

50

XGAで、従来では60%であったが、本構成では80%という結果が得られた。

【0105】

尚、実施形態2では層間絶縁膜23としてアクリル樹脂を用いたが、これに限られることはない。しかしながら、層間絶縁膜23としては、比誘電率が低く透明度の高いもの、具体的には過視光領域の透過率が90%以上のものが好ましく、例えば、ポリアミドイミド ( $\rho = 3.5 \sim 4.0$ )、ポリアリレート ( $\rho = 3.0$ )、ポリエーテルイミド ( $\rho = 3.2$ )、エポキシ ( $\rho = 3.5 \sim 4.0$ )、及び透明度の高いポリイミド ( $\rho = 3.0 \sim 3.4$ : 例えばヘキサフルオロプロピレンを含む酸二無水物とジアミンとの組み合わせ)等を用いることができる。

【0106】

尚、上記実施形態1、2では、上層画素電極に形成された開口部は菱形パターンとしたが、これに限られることはない。例えば、上層画素電極25に斜めストライプ(スリット)の開口部25aが形成された構造(図6参照)、上層画素電極26の上部分に大きな開口部26aが1つ形成された構造(図7参照)、並びに上層画素電極27に縦ストライプ(スリット)の開口部27aが形成された構造(図8参照)等が考えられる。

【0107】

但し、層間絶縁膜の面積(開口部の面積)と、上層画素電極の面積(開口部以外の面積)とが所定の面積比を有する必要がある。この面積比は、人間の目に開口部とそれ以外との両方の情報が混じり合っていることによって広視野角化を達成することができる値に設定する。

【0108】

ここで、開口部は、ラビング方向に沿って形成した方がラビング不良が起こらないため望ましい。例えば図2の菱形パターンの場合には45度方向(菱形の辺に平行な方向)にラビング処理を行っている。さらに、図7のような大きな開口部26aよりも図2のような小さな開口部14aの方が1つ1つの開口部が目立たなくなるので好ましく、1つの開口部の大きさは50 $\mu$ m角以下が望ましい。

【0109】

尚、上記実施形態1、2では画素電極を上層画素電極と下層画素電極の2層構造としたが、画素電極を3層以上にしても同様の効果が得られる。また、下層画素電極をゲート絶縁膜上一面に形成したが、上層画素電極と入れ子状に形成しても同様の効果が得られる。

【0110】

本発明の液晶表示装置は、走査配線と信号配線との交差点近傍にスイッチング素子が設けられ、該スイッチング素子に接続された画素電極を有する第1の基板と、該第1の基板に対向配置され、対向電極を有する第2の基板とを有し、上記基板間に液晶が封入されてなる液晶表示装置において、上記画素電極は層間絶縁膜を介して2層以上設けられ、少なくとも最上層の画素電極には、下層にある画素電極に対向する箇所に開口部が設けられている構成である。

【0111】

上記の構成によれば、スイッチング素子は各画素電極に接続されているので、スイッチング素子からの映像信号電圧は各画素電極に印加されることになる。そして、最上層の画素電極において開口部が形成されていない部分では、上記映像信号電圧は最上層の画素電極と対向電極との間の液晶にそのまま印加される。一方、開口部が形成されている部分では、対向電極と下層の画素電極との間に液晶と層間絶縁膜があるので、液晶の静電容量と層間絶縁膜の静電容量との直列の容量を介して印加される容量分割電圧がかかる。

【0112】

従って、1つの画素内で液晶への印加電圧が異なる領域が2つ以上形成されることになり、その結果、1つの画素内で液晶の光透過率の異なる領域が2つ以上形成されることとなる。これにより、液晶表示装置の画面を斜め方向から見たときの視角特性を向上させることができる。

【0113】

10

20

30

40

50

また、従来では液晶への印加電圧が異なる領域を形成するために、画素電極上に形成された島状の透明絶縁膜の膜厚によって、絶縁膜形成部分と非形成部分とへの印加電圧の調節を行うため、絶縁膜の厚み分だけ画素電極上に凹凸が生じていたが、本願構成では層間絶縁膜の膜厚、比誘電率、及び面積（開口部の面積と等しい）を調節すれば、最上層の画素電極の有無だけで液晶への印加電圧を調整することができるので、最上層の画素電極の膜厚分のみ凹凸しか生じない。これにより、画素電極の表面が平坦化されるので、配向乱れが生じるのを防止することが可能となる。

【0114】

本発明の液晶表示装置は、上記最上層の画素電極の外形が下層の画素電極の外形よりも大きい構成としてもよい。

10

【0115】

上記の構成によれば、最上層の画素電極のみで液晶表示装置の開口率が決定されることになるので、下層の画素電極を小さく形成しても開口率は減少せず、下層の画素電極と信号配線との間隔を大きく取ることができる。この結果、電極と配線間のリーク不良を防止することが可能となり、高開口率の液晶表示装置が歩留り良く得られる。

【0116】

本発明の液晶表示装置は、上記最上層の画素電極が上記層間絶縁膜を介して走査配線あるいは信号配線と重畳している構成としてもよい。

【0117】

上記の構成によれば、従来では画素電極と配線との間に隙間があるために、第2の基板側に遮光膜を設ける必要があったが、本願では最上層の画素電極が走査配線あるいは信号配線と重なりを持つように設けられているので、遮光膜は必要ない。従って、生産効率を向上させると共に、コストダウンを図ることができる。

20

【0118】

また、従来では、第1の基板と第2の基板との貼り合わせ精度が悪いために遮光膜と画素電極とが重なりを持つように貼り合わせなければならず、開口率の低下を招いていたが、本願ではマージンを設ける必要がないので、開口率を上げることができる。この結果、高輝度化もしくは低消費電力化が実現可能となる。

【0119】

特に、層間絶縁膜を有機膜で形成すれば容易に膜厚を厚くできるので、配線と画素電極を重ね合せた場合でも寄生容量を抑えることができる。

30

【0120】

本発明の液晶表示装置は、上記開口部がラビング方向に沿って開口している構成としてもよい。

【0121】

上記の構成によれば、開口部がラビング方向に沿って開口しているので、ラビング処理を行ったときにラビング不良が起こりにくい。これにより、開口部を設けることによる表示品位の劣化を防止することができる。

【0122】

本発明の液晶表示装置の製造方法は、基板上に、複数のスイッチング素子と複数の最下層の画素電極とを各々接続させてマトリクス状に形成すると共に、該スイッチング素子に接続させて走査配線及び信号配線を互いに交差するように形成する第1の工程と、上記最下層の画素電極上に、層間絶縁膜を介した1層以上の上層の画素電極を上記スイッチング素子と電気的に接続されるように形成する第2の工程と、最上層の画素電極の、下層にある画素電極に対向する箇所に開口部を形成する第3の工程と、上記基板とそれに対向する対向基板との間に液晶を封入する第4の工程とを備えることを特徴としている。

40

【0123】

上記の方法によれば、液晶表示装置を最低限のコストアップで容易に作成することができる。

【0124】

50

上記の液晶表示装置の製造方法は、上記第1の工程において、最下層の画素電極と走査配線あるいは信号配線とを異なる材料で形成し、上記走査配線あるいは信号配線を画素電極材を含む2層に形成することを特徴としている。

【0125】

上記の方法によれば、最下層の画素電極を形成するときに、走査配線あるいは信号配線の1層目も同時に形成し、その後画素電極材とは異なる材料を用いて配線の2層目を形成する。これにより、異なる材料の同じ箇所が断線しない限り、断線不良とはならないので、断線冗長性を持たせることが可能となる。

【0126】

上記の液晶表示装置の製造方法は、上記第1の工程と第2の工程との間で、不良箇所の有無を検査することを特徴としている。 10

【0127】

上記の方法によれば、製造過程の早い段階で良否の判定を行うことができるため、余分な材料を使用することがなく、コストダウンが図れる。

【0128】

上記の液晶表示装置の製造方法は、上記の検査の結果、不良箇所が発見された場合に該不良箇所を修正することを特徴としている。

【0129】

上記の方法によれば、最下層の画素電極と走査配線あるいは信号配線との間で最もリークが起こりやすいので、これらが形成された段階で不良箇所を修正すれば、効率よく修正を行うことができる。これにより、さらにコストダウンを図れる。 20

【0130】

【発明の効果】

以上のように、本発明の請求項1に記載の液晶表示装置は、画素電極が層間絶縁膜を介して2層以上設けられ、少なくとも最上層の画素電極には、下層にある画素電極に対向する箇所に複数の開口部が設けられているとともに、上記層間絶縁膜は有機膜からなり、上記最上層の画素電極は、上記層間絶縁膜を介してスイッチング素子と重畳している構成である。

【0131】

これにより、最上層の画素電極の膜厚分のみの凹凸しか生じず、画素電極の表面が平坦化されるので、配向乱れが生じることなく、視角特性を向上させることができるという効果が得られる。 30

【0132】

また、層間絶縁膜の膜厚を容易に厚くすることができるので、より効果的に視角特性の異なる領域を設けることが可能となる。

【0133】

また、スイッチング素子がオフのときにリーク電流が流れるのを防止することができるので、表示品位の劣化を抑えることができ、信頼性の高い液晶表示装置を得ることができる。

【図面の簡単な説明】 40

【図1】本発明の実施形態1にかかる液晶表示装置におけるアクティブマトリクス基板の1画素部分の構成を示す断面図である。

【図2】上記液晶表示装置を示す平面図である。

【図3】上記液晶表示装置の1画素内の等価回路を示す回路図である。

【図4】本発明の実施形態2にかかる液晶表示装置におけるアクティブマトリクス基板の1画素部分の構成を示す平面図である。

【図5】図4の液晶表示装置のB-B'矢視断面図である。

【図6】液晶表示装置における他の上層画素電極の構成を示す平面図である。

【図7】液晶表示装置におけるその他の上層画素電極の構成を示す平面図である。

【図8】液晶表示装置におけるさらに他の上層画素電極の構成を示す平面図である。 50

【図9】Cs on Com方式の構成を示す平面図である。

【図10】Cs on Gate方式の構成を示す平面図である。

【図11】実施形態1における液晶表示装置の検査装置を示す構成図である。

【図12】上記検査装置による検査方法を説明する説明図である。

【図13】従来の液晶表示装置におけるアクティブマトリクス基板の1画素部分の構成を示す平面図である。

【図14】図13の液晶表示装置のC-C'矢視断面図である。

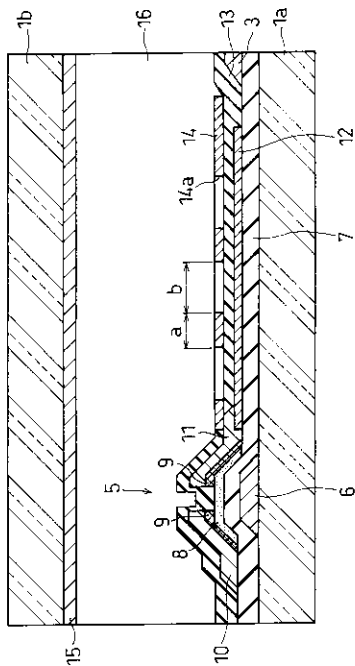
【図15】

他の従来の液晶表示装置におけるアクティブマトリクス基板の1画素部分の構成を示す断面図である。

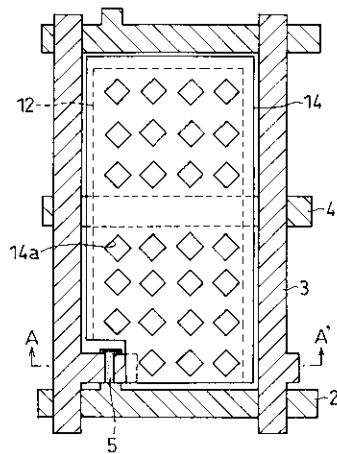
【符号の説明】

- 2 ゲート配線（走査配線）
- 3 ソース配線（信号配線）
- 5 TFT（スイッチング素子）
- 12 下層画素電極
- 13 層間絶縁膜
- 14 上層画素電極
- 14a 開口部
- 16 液晶

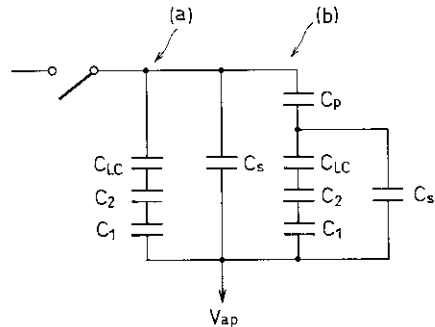
【図1】



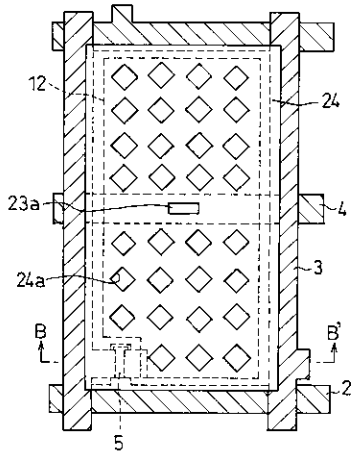
【図2】



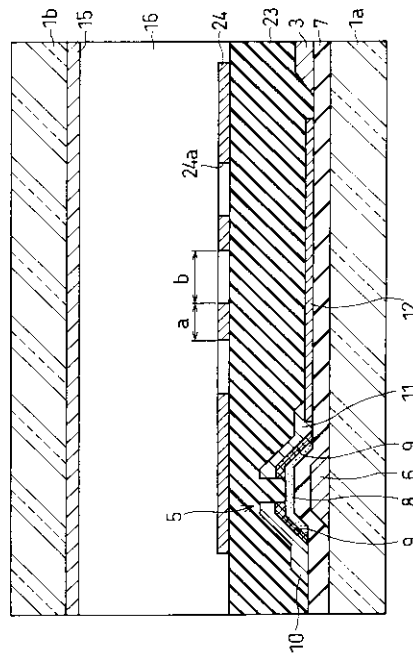
【図3】



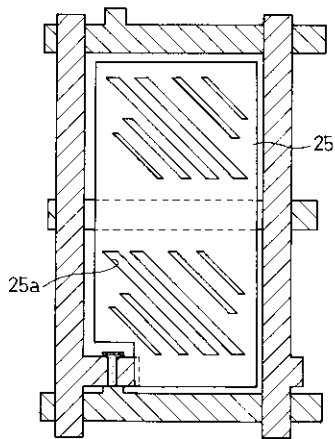
【 図 4 】



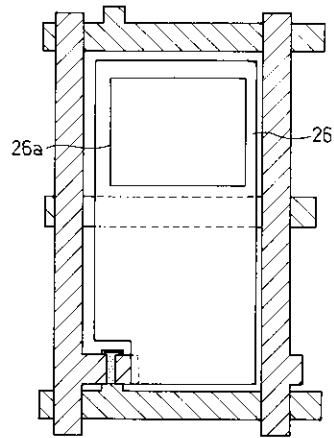
【 図 5 】



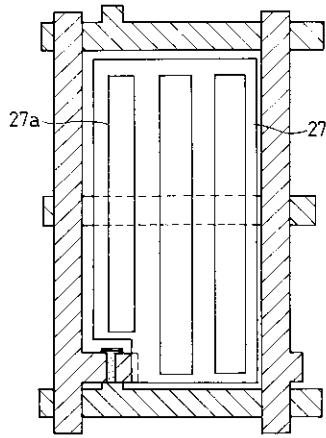
【 図 6 】



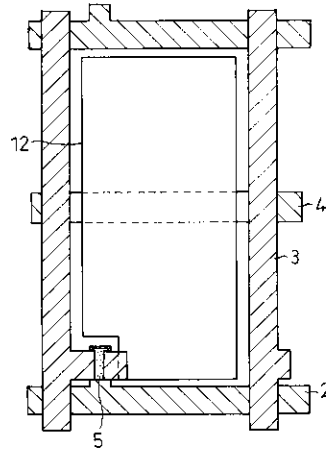
【 図 7 】



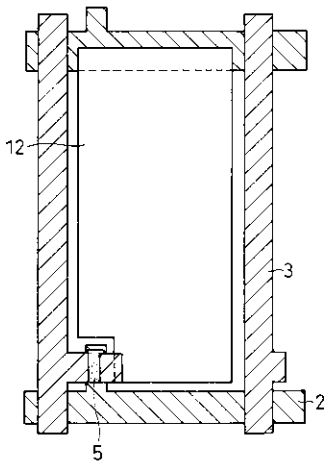
【 図 8 】



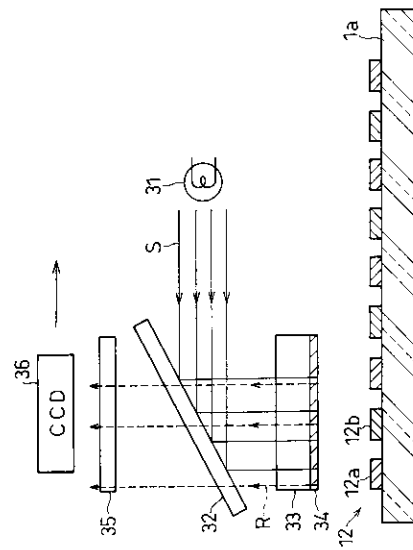
【 図 9 】



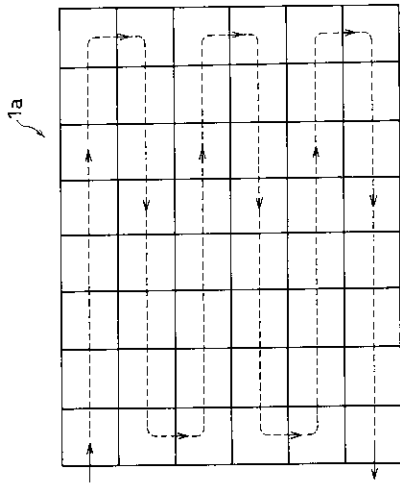
【 図 10 】



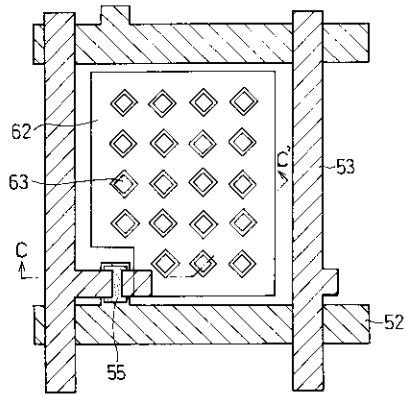
【 図 11 】



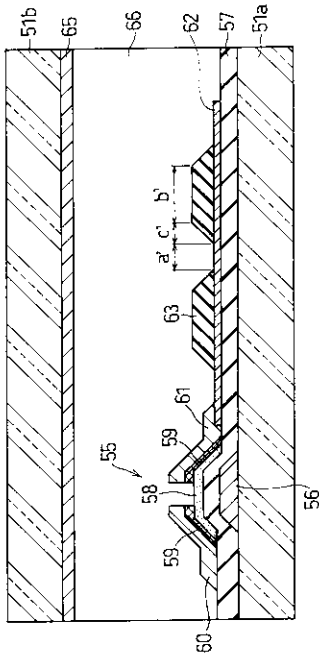
【 図 1 2 】



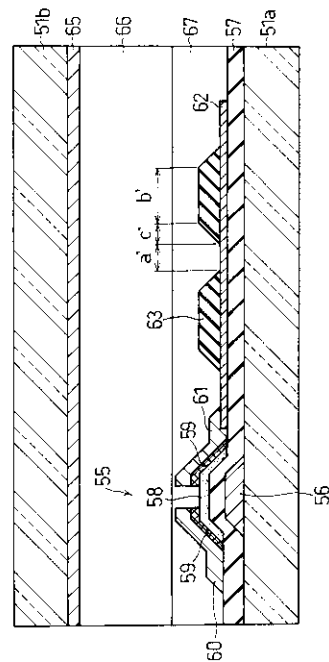
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



---

フロントページの続き

Fターム(参考) 2H092 GA13 GA17 HA04 HA05 JA26 JB54 JB58 JB69 KB25 MA10  
NA07 NA16 NA25 NA27 NA29

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2004004901A</a>	公开(公告)日	2004-01-08
申请号	JP2003175301	申请日	2003-06-19
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	平石洋一		
发明人	平石 洋一		
IPC分类号	G02F1/1337 G02F1/1343 G02F1/1368		
FI分类号	G02F1/1368 G02F1/1337 G02F1/1343		
F-TERM分类号	2H090/HA03 2H090/HA04 2H090/HA15 2H090/HB08Y 2H090/HB13X 2H090/HC05 2H090/HD07 2H090/LA04 2H090/MA07 2H090/MA15 2H090/MB01 2H092/GA13 2H092/GA17 2H092/HA04 2H092/HA05 2H092/JA26 2H092/JB54 2H092/JB58 2H092/JB69 2H092/KB25 2H092/MA10 2H092/NA07 2H092/NA16 2H092/NA25 2H092/NA27 2H092/NA29 2H192/AA24 2H192/BA24 2H192/BA25 2H192/BA42 2H192/CB05 2H192/DA02 2H192/DA12 2H192/HB22 2H192/HB25 2H290/BA04 2H290/BB44 2H290/BB45 2H290/BB48 2H290/BB74 2H290/BB75 2H290/CA42 2H290/CA46 2H290/CB02 2H290/DA01		
代理人(译)	木岛隆一 金子 一郎		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：在一个像素中有效地形成具有不同视角特性的区域而不产生定向障碍。 解决方案：在透明绝缘基板1a上依次布置栅极绝缘膜7，下层像素电极12，层间绝缘膜23和上层像素电极24。下层像素电极12通过下层像素电极12直接连接到TFT 5的漏电极11，上层像素电极24具有多个开口24a。在存在上层像素电极24的部分a中，视频信号电压原样施加到液晶16，并且在存在开口部分24a的部分b中，经由液晶16的静电电容的串联电容和层间绝缘膜23的电容施加到液晶16。施加施加的电容分压。层间绝缘膜23由有机膜制成，并且上层像素电极24通过层间绝缘膜23与TFT 5重叠。点域5

