

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A ) (11)特許出願公開番号

## 特開2003 - 280600

### (P2003 - 280600A)

(43)公開日 平成15年10月2日(2003.10.2)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マ-ド* ( 参考 )
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	535	G 0 2 F 1/133	5 C 0 0 6
	550		5 C 0 5 8
G 0 9 G 3/20	612	G 0 9 G 3/20	5 C 0 8 0
	622		Q

審査請求 未請求 請求項の数 19 O L ( 全 37数 ) 最終頁に続く

(21)出願番号 特願2002 - 77498(P2002 - 77498)

(22)出願日 平成14年3月20日(2002.3.20)

(71)出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72)発明者 新田 博幸

神奈川県横浜市戸塚区吉田町292番地 株式  
会社日立製作所システム開発研究所内

(72)発明者 古橋 勉

神奈川県横浜市戸塚区吉田町292番地 株式  
会社日立製作所システム開発研究所内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

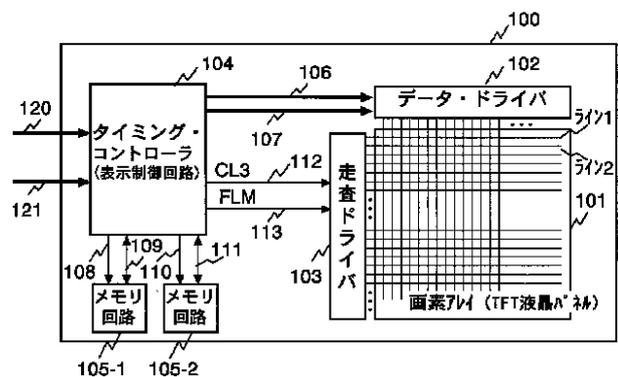
(54)【発明の名称】 表示装置およびその駆動方法

(57)【要約】

【課題】液晶表示装置等のホールド型の表示装置により表示される動画像の輪郭等に生じる「ぼやけ」を表示画像の輝度を損なうことなく抑える。

【解決手段】本発明は、表示装置に入力される映像データに基づく画像をフレーム期間毎に表示した後、ブランキング画像でマスクする。本発明では、1フレーム期間における映像データの画像表示期間とブランキング画像表示期間の比率を、夫々の期間における走査クロックに呼応した画素アレイ内の画素行の選択数、走査クロック周波数、及び映像データの水平走査期間に対する画素行毎への表示信号入力の水平期間の短縮等により調整し、映像データの画像表示輝度を確保するとともにこの表示画像をブランキング画像で効率的に消去する。

図 1



## 【特許請求の範囲】

【請求項1】第1方向とこれに交差する第2方向に沿い2次元的に配置された複数の画素を有する画素アレイと、

前記画素アレイに前記第2方向沿いに並設され且つ前記複数の画素の前記第1方向沿いに並ぶ夫々の群からなる複数の画素行を選択する走査信号を伝送する複数の第1信号線と、

前記画素アレイに前記第1方向沿いに並設され且つ前記複数の画素行の前記走査信号で選択されたものに含まれる画素にその夫々の表示階調を決める表示信号を供給する複数の第2信号線と、

前記複数の第1信号線の夫々に走査信号を出力する第1駆動回路と、

前記複数の第2信号線の夫々に表示信号を出力する第2駆動回路と、

映像データ及びその制御信号をフレーム期間毎に受け且つ前記第1駆動回路による前記走査信号の出力間隔を制御する第1クロック信号と該第1クロック信号による前記画素行の選択工程の開始を指示する走査開始信号とを該第1駆動回路へ送信し且つ該映像データから前記第2駆動回路による表示信号出力に用いられる表示データと該第2駆動回路による表示信号の出力間隔を制御する第2クロック信号とを該第2駆動回路へ送信する表示制御回路とを備え、

前記表示制御回路は前記映像データを受ける前記フレーム期間毎に前記画素アレイでの前記画素行の選択工程を少なくとも2回行わせ、該フレーム期間毎に行われる該画素行の選択工程の1回目にて前記第2駆動回路は前記表示データに拠る表示信号を夫々の画素行の選択に呼応して出力し、該画素行の選択工程の2回目にて該第2駆動回路は該画素アレイを1回目の選択工程より暗く表示する表示信号を選択された画素行の夫々に出力する表示装置。

【請求項2】前記第1駆動回路は、前記第1クロック信号に呼応して前記複数の第1信号線の隣接し合うNライン(Nは2以上の自然数)を選択する走査信号を該複数の第1信号線のNライン置きに順次出力する請求項1に記載の表示装置。

【請求項3】前記第2駆動回路は、前記表示制御回路が受ける映像データの水平走査期間より短い間隔で前記表示信号を出力する請求項1に記載の表示装置。

【請求項4】前記第1駆動回路は、前記第2クロック信号のN倍(Nは2以上の自然数)の周波数の前記第1クロック信号に呼応して前記複数の第1信号線を1ライン毎に選択する走査信号を順次出力する請求項1に記載の表示装置。

【請求項5】前記フレーム期間における前記画素行の1回目の選択工程には、該フレーム期間における前記画素行の2回目の選択工程より長い時間が割り当てられる請

求項1に記載の表示装置。

【請求項6】前記フレーム期間は前記画素行の1回目の選択工程及び2回目の選択工程のいずれにも割り当てられない時間を含み、該時間においてはその前の該1回目又は2回目の選択工程にて前記画素アレイに供給された表示信号が該画素アレイにて保持される請求項1に記載の表示装置。

【請求項7】第1方向とこれに交差する第2方向に沿い2次元的に配置された複数の画素を有する画素アレイと、

前記画素アレイに前記第2方向沿いに並設され且つ前記複数の画素の前記第1方向沿いに並ぶ夫々の群からなる複数の画素行を選択する走査信号を伝送する複数の第1信号線と、

前記画素アレイに前記第1方向沿いに並設され且つ前記複数の画素行の前記走査信号で選択されたものに含まれる画素にその夫々の表示状態を決める表示信号を供給する複数の第2信号線と、

前記複数の第1信号線の夫々に走査信号を出力する第1駆動回路と、

前記複数の第2信号線の夫々に表示信号を出力する第2駆動回路と、

前記第1駆動回路による前記第1信号線への前記走査信号の出力間隔を制御する第1クロック信号及び該第1クロック信号による前記画素アレイに亘る前記画素行の選択を開始させる走査開始信号を該第1駆動回路へ送信し、且つ該第2駆動回路による表示信号の出力間隔を制御する第2クロック信号を該第2駆動回路へ送信する表示制御回路と、

前記映像制御信号に含まれるドット・クロック信号より周波数の高い表示クロック信号を発生するクロック生成回路とを備え、

前記走査開始信号は前記表示制御回路に入力される映像データのフレーム期間毎に前記画素アレイに亘る前記画素行の選択工程を少なくとも2回行わせ、

前記表示制御回路は前記画素行選択工程の1回目にて前記映像データから前記表示クロックにより表示データを読み出し且つ前記第2駆動回路に転送し、

前記第2駆動回路は前記画素行選択工程の1回目にて前記表示データに拠る第1表示信号を前記第2クロック信号に呼応して前記画素アレイに供給し、該画素行選択工程の2回目にて該画素アレイを該第1表示信号の供給後より暗く表示する第2表示信号を該第2クロック信号に呼応して該画素アレイに供給する表示装置。

【請求項8】前記表示クロック信号は、前記映像制御信号に含まれるドット・クロック信号より高い周波数を有する請求項7に記載の表示装置。

【請求項9】前記第2クロック信号は、前記映像制御信号に含まれ且つ前記表示制御回路に前記映像データを入力する水平同期信号より高い周波数を有する請求項8に

記載の表示装置。

【請求項 10】前記第 1 駆動回路は、前記第 1 クロック信号に呼応して前記複数の第 1 信号線の隣接し合う N ライン (N は 2 以上の自然数) を選択する走査信号を該複数の第 1 信号線の N ライン置きに順次出力する請求項 7 に記載の表示装置。

【請求項 11】前記第 2 駆動回路は、前記表示制御回路が受ける映像データの水平走査期間より短い間隔で前記表示信号を出力する請求項 7 に記載の表示装置。

【請求項 12】前記第 1 駆動回路は、前記第 2 クロック信号の N 倍 (N は 2 以上の自然数) の周波数の前記第 1 クロック信号に呼応して前記複数の第 1 信号線を 1 ライン毎に選択する走査信号を順次出力する請求項 7 に記載の表示装置。

【請求項 13】前記走査開始信号には、フレーム期間毎に前記画素行選択工程の 1 回目及び 2 回目に夫々対応する第 1 パルスと第 2 パルスとが含まれ、或るフレーム期間に生じる該走査開始信号の第 1 パルスと第 2 パルスとの間隔は、該第 2 パルスと該或るフレーム期間の次のフレーム期間に生じる該走査開始信号の第 1 パルスとの間隔と異なる請求項 7 に記載の表示装置。

【請求項 14】第 1 方向とこれに交差する第 2 方向に沿って 2 次元的に配置された複数の画素を有する液晶パネルと、前記液晶パネルの前記第 2 方向沿いに並設され且つ前記複数の画素の前記第 1 方向沿いに並ぶ夫々の群からなる複数の画素行を選択する走査信号を伝送する複数の第 1 信号線と、前記液晶パネルの前記第 1 方向沿いに並設され且つ前記複数の画素行の前記走査信号で選択されたものに含まれる画素にその夫々の表示階調を決める表示信号を供給する複数の第 2 信号線と、前記複数の第 1 信号線の夫々に走査信号を出力する第 1 駆動回路と、前記複数の第 2 信号線の夫々に表示信号を出力する第 2 駆動回路と、前記液晶パネルに光を照射する照明装置と、映像データ及びその制御信号をフレーム期間毎に受け且つ前記第 1 駆動回路による前記走査信号の出力間隔を制御する第 1 クロック信号と該第 1 クロック信号による前記画素行の選択工程の開始を指示する走査開始信号とを該第 1 駆動回路へ送信し且つ該映像データから前記第 2 駆動回路による表示信号出力に用いられる表示データと該第 2 駆動回路による表示信号の出力間隔を制御する第 2 クロック信号とを該第 2 駆動回路へ送信する表示制御回路とを備え、

前記表示制御回路は、前記映像データを受ける前記フレーム期間毎に前記画素行の選択工程を少なくとも 2 回行わせ、該フレーム期間毎に行われる該画素行の選択工程の 1 回目にて前記第 2 駆動回路は前記表示データに拠る

表示信号を夫々の画素行の選択に呼応して出力し、該画素行の選択工程の 2 回目にて該第 2 駆動回路は前記液晶パネルの光透過率を該 1 回目の選択工程より低くする表示信号を選択された画素行の夫々に出力し、且つ前記照明装置を該フレーム期間毎に該画素行の 1 回目の選択期間中に点灯開始させ、該画素行の 2 回目の選択期間中に点灯終了させるように制御する表示装置。

【請求項 15】前記照明装置の前記フレーム期間毎における点灯動作の開始及び終了のタイミングは、前記表示制御回路にて前記第 1 クロック信号と同期させて生成される点灯制御信号により決められる請求項 14 に記載の表示装置。

【請求項 16】第 1 方向沿いに並ぶ複数の画素を夫々含む複数の画素行が該第 1 方向に交差する第 2 方向沿いに並設される画素アレイと該画素アレイの表示動作を制御する表示制御回路とを備えた表示装置を用い、前記表示装置に表示データをフレーム期間毎に間欠的に入力する工程と、

前記フレーム期間毎に複数の画素行の夫々を選択する走査信号の該画素アレイへの入力間隔を決める走査クロック信号、該走査クロック信号による前記画素アレイに亘る画素行の選択動作を開始させる走査開始信号、及び該走査信号により選択された画素行 (これをなす前記画素の一群) にその表示状態を決める表示信号を供給する間隔を決めるタイミング信号を前記表示制御回路から出力する工程とを備え、

前記走査開始信号は前記フレーム期間毎に前記表示データの前記表示装置への入力に呼応して出力される第 1 走査開始信号と前記表示データの前記表示装置への入力終了後に出力される第 2 走査開始信号とを含み、

前記表示信号は前記第 1 走査開始信号に呼応して前記画素アレイに入力される第 1 表示信号と前記第 2 走査信号電圧に呼応して該画素アレイに入力される第 2 の表示信号とを含み、該第 1 表示信号は前記表示データに基づいて前記表示装置で生成され、該第 2 表示信号は該画素アレイの表示輝度をこれに該第 1 表示信号が供給された後のそれより暗くする信号として該表示装置で生成される表示装置の駆動方法。

【請求項 17】前記画素アレイへの前記第 2 表示信号の入力期間にて前記走査信号の各々により選択される前記複数の画素行数は、該画素アレイへの前記第 1 表示信号の入力期間にて該走査信号の各々により選択されるそれよりも多い請求項 16 に記載の表示装置の駆動方法。

【請求項 18】前記画素アレイへの前記第 2 表示信号の入力期間における前記走査クロック信号の周波数を該画素アレイへの前記第 1 表示信号の入力期間におけるそれよりも高くする請求項 16 に記載の表示装置の駆動方法。

【請求項 19】前記走査クロック信号の周波数は前記タイミング信号のそれより高い請求項 16 に記載の表示装

置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スイッチング素子 (Switching Element) を夫々有する複数の画素を備えた液晶表示装置並びにエレクトロルミネセンス型 (Electro Luminescence-type) 表示装置、及び発光ダイオード (Light Emitting Diode) のような発光素子を夫々有する複数の画素を備えた表示装置に代表される所謂アクティブ・マトリクス型の表示装置 (Active Matrix-type Display Device) に係り、特にホールド型の表示装置 (Hold-type Display Device) における表示画像のブランキング処理 (Blanking Process) に関する。

【0002】

【従来の技術】フレーム期間毎に入力される画像データに基づき、複数の画素の各々から発する光を所定の期間 (例えば、フレーム周期の一つに相当する期間) 内に所望の量に保持する表示装置として、液晶表示装置が普及している。

【0003】アクティブ・マトリクス方式 (Active Matrix Scheme) の液晶表示装置では、図27に示す如く、二次元的又は行列 (Matrix) 状に配置された複数の画素PIXの各々に画素電極PXとこれに映像信号を供給するスイッチング素子SW (例えば、薄膜トランジスタ) が設けられる。このように複数の画素PIXが配置された素子は、画素アレイ (Pixels Array) 101とも呼ばれ、液晶表示装置における画素アレイは液晶表示パネルとも呼ばれる。この画素アレイにおいて、複数の画素PIXは画像を表示する所謂画面をなす。

【0004】図27に示された画素アレイ101には、横方向に延びる複数のゲート線10 (Gate Lines、走査信号線とも呼ばれる) と縦方向 (このゲート線10と交差する方向) に延びる複数のデータ線12 (Data Lines、映像信号線とも呼ばれる) とがそれぞれ並設 (juxtapose) される。図27に示される如く、G1, G2, G3, ...Gnなる番地で識別される夫々のゲート線10沿いには複数の画素PIXが横方向に並ぶ所謂画素行 (Pixel Row) が、D1R, D1G, D1B, ...DmBなる番地で識別される夫々のデータ線12沿いには複数の画素PIXが縦方向に並ぶ所謂画素列 (Pixel Column) が形成される。ゲート線10は、走査ドライバ103 (Scanning Driver、走査駆動回路とも呼ばれる) からその各々に対応する画素行 (図27の場合、各ゲート線の下側) をなす画素PIXに夫々設けられたスイッチング素子SWに電圧信号を印加し、夫々の画素PIXに設けられた画素電極PXとデータ線12の一つとの電気的な接続を開閉する。特定の画素行に設けられたスイッチング素子SWの群を、これに対応するゲート線10から電圧信号を印加して制御する動作は、ラインの選択又は「走査 (Scanning)」とも呼ばれ、走査ドライバ103からゲート線10に印加される上記電圧信号は走査信号とも

呼ばれる。

【0005】一方、データ線12の夫々には、データ・ドライバ102 (Data Driver、映像信号駆動回路とも呼ばれる) から階調電圧 (Gray Scale Voltage、又はTone Voltage) とよばれる電圧信号が印加され、その各々に対応する画素列 (図27の場合、各データ線の右側) をなす画素PIXの上記走査信号で選択された夫々の画素電極PXに上記階調電圧を印加する。

【0006】このような液晶表示装置をテレビジョン装置に組み込んだ場合、インタレース方式 (Interlace Mode) で受信される映像データ (映像信号) の1フィールド期間又はプログレッシブ方式 (Progressive Mode) で受信される映像データの1フレーム期間に対して、上記走査信号はゲート線10のG1からGnに順次印加され、1フィールド期間又は1フレーム期間に受信される映像データから生成された階調電圧が夫々の画素行を構成する画素の一群に順次印加される。画素の各々には、上述の画素電極PXと基準電圧 (Reference Voltage) 又はコモン電圧 (Common Voltage) が信号線11を通して印加される対向電極CTとで液晶層LCを挟む言わば容量素子が形成され、画素電極PXと対向電極CTとの間に生じる電界で液晶層LCの光透過率を制御する。上述の如く、映像データのフィールド期間毎又はフレーム期間毎にゲート線G1乃至Gnを順次選択する動作を1回行う場合、例えば或るフィールド期間に或る画素の画素電極PXに印加された階調電圧は、この或るフィールド期間に続く次のフィールド期間で別の階調電圧を受けるまで、この画素電極PXに理論的には保持される。従って、この画素電極PXと上記対向電極CTとに挟まれる液晶層LCの光透過率 (換言すれば、この画素電極PXを有する画素の明るさ) は、1フィールド期間毎に所定の状態に保たれる。このようにフィールド期間毎又はフレーム期間毎に画素の明るさを保持しながら画像を表示する液晶表示装置は、ホールド型表示装置 (Hold-type Display Device) とも呼ばれ、映像信号を受けた瞬間に画素毎に設けられた蛍光体を電子線照射により発光させる陰極線管 (Cathode-ray Tube) のような所謂インパルス型表示装置 (Impulse-type Display Device) と区別される。

【0007】テレビジョン受像機やコンピュータ等から送信される映像データは、インパルス型表示装置に対応したフォーマットを有する。上述した液晶表示装置の駆動方法とテレビジョン放送とを比較すると、テレビジョン放送の水平走査周波数の逆数に相当する時間でゲート線10毎に走査信号が印加され、その垂直周波数の逆数に相当する時間で全ゲート線G1乃至Gnへの走査信号印加が完了される。インパルス型表示装置は水平同期パルスに呼応して水平走査期間毎に画面の横方向に並ぶ画素を順次インパルスのように発光させるが、ホールド型表示装置では上述のように水平走査期間毎に画素行を選択し

て、この画素行に含まれる複数の画素に一齐に電圧信号を供給し且つ水平走査期間の終了後はこれらの画素に電圧信号を保持させる。

【0008】図27を参照して液晶表示装置を例にホールド型表示装置の動作を説明したが、この液晶層LCをエレクトロルミネセンス材料に置き換えたエレクトロルミネセンス型(EL型)の表示素子や、液晶層LCを画素電極PX及び対向電極CTで挟んだ容量素子を発光ダイオードに置き換えた発光ダイオード・アレイ型の表示装置も、その動作原理(発光材料へのキャリア(Carrier)注入量の制御で画像を表示する)は相違すれど、ホールド型表示装置として動作する。

【0009】ところで、ホールド型表示装置は、その画素の各々の明るさを例えば上述のフレーム期間毎に保持して画像を表示するため、表示画像を連続する一対のフレーム期間の間で異なるものに置換えると、画素の明るさが十分に応答しないことがある。この現象は、或るフレーム期間(例えば、第1のフレーム期間)で所定の明るさに設定された画素が、このフレーム期間に続く次のフレーム期間(例えば、第2のフレーム期間)で走査されるまで第1のフレーム期間に応じた明るさを保つことから説明される。また、この現象は第1のフレーム期間で画素に送られた電圧信号(または、これに応じた量の電荷)の一部が、第2のフレーム期間にて画素に送られるべき電圧信号(または、これに応じた量の電荷)に干渉する、いわば各画素における映像信号の履歴(Hysteresis)からも説明される。ホールド型発光を用いた表示装置における画像表示の応答性に係る斯様な問題を解決する技術は、例えば、特公平06-016223号、特公平07-044670号、特開平05-073005号、及び特開平11-109921号公報に夫々開示されている。

【0010】このうち、特開平11-109921号公報においては、液晶表示装置(ホールド型発光を用いた表示装置の一例)で動画像を再生する際に、画素をインパルス的に発光させる陰極線管に比べて物体の輪郭が不明瞭になる所謂ぼやけ現象(BlurringPhenomenon)が論じられている。特開平11-109921号公報は、このぼやけ現象を解決するために、一つの液晶表示パネルの画素アレイ(Pixels Array, 二次元的に並ぶ複数の画素群)を画面(画像表示領域)の上下に二分割し、その分割された画素アレイのそれぞれにデータ線駆動回路を設けた液晶表示装置を開示する。この液晶表示装置は、上下の画素アレイの各々のゲート線を1本ずつ、上下併せて2本を選択しながら夫々の画素アレイに設けたデータ線駆動回路から映像信号を供給する所謂デュアルスキャン動作(Dual Scanning Operation)を行う。このデュアルスキャン動作を1フレーム期間内に行いながら、上下位相をずらして一方に表示画像に相当する信号(所謂映像信号)を、他方にブランキング画像(Blanking Image, 例えば黒画像)の信号を夫々のデータ線駆動回路から画素ア

レイに入力する。従って、1フレーム期間において上下いずれの画素アレイにも、映像表示を行う期間とブランキング表示を行う期間とが与えられ、画面全体において映像がホールドされる期間が短縮される。これにより、液晶表示装置においても、ブラウン管並みの動画表示性能が得られる。

【0011】従来の技術として、特開平11-109921号公報には、一つの液晶表示パネルを上下2つの画素アレイに分割し、その分割された画素アレイのそれぞれにデータ線駆動回路を設け、上下の画素アレイの各々に1本ずつ、上下併せて計2本のゲート線を選択し、上下2分割した表示領域をそれぞれの駆動回路でデュアルスキャンしながら、1フレーム期間内に上下位相をずらしてブランキング画像(黒画像)を挿入することが開示されている。つまり、1フレーム期間が映像表示期間とブランキング期間の状態を取ることとなり、映像ホールド期間を短縮することができる。そのため液晶ディスプレイで、ブラウン管のようにインパルス型発光の動画表示性能を得ることができる。

【0012】

【発明が解決しようとする課題】上述のように特開平11-109921号公報に記載された発明は、液晶表示パネルでインパルス型表示装置並みの高品質な動画を表示させる技術として期待されたが、これを製品に適用するには幾つかの課題も残されていた。

【0013】まず、この技術によれば、液晶表示パネル内の画素アレイを画面の垂直方向に2つの領域に分割し、且つ各領域にデータ線駆動回路を設けざるを得ない。このため、液晶表示パネルに搭載すべき部品数も増し、製造工程及びその経費も増加する。液晶表示パネルの大画面化及び高精細化が要求される昨今においても、この技術を適用した液晶表示パネルの寸法は必要以上に大きく、またその構造も必要以上に複雑にならざるを得ない。従って、液晶表示パネルの製造経費も通常の液晶表示パネルに要するそれより増大する。

【0014】また、この技術を適用した液晶表示パネルにより表示映像毎に施されるブランキング処理が、その画面全体の輝度を低下させる問題も無視できない。このような輝度低下を含めても、この技術が適用された液晶表示パネルの動画表示特性が飛躍的に向上されるが、この液晶表示パネルでパーソナル・コンピュータのデスクトップ映像に代表されるような静止画を表示すると、その品質は既存の液晶表示パネルと変わらない。つまり、上記特開平11-109921号公報に記載された液晶表示パネルは、ノート型パーソナル・コンピュータをはじめとしたモニタ用途に普及させるにはオーバー・スペックであり、マルチメディア用途の高級品種に限定せざるを得ない。従って、この液晶表示パネルは量産に向かず、陰極線管に代わる次世代の表示装置として普及させるには適さない。

【0015】本発明は、従来最善とされた液晶表示パネルにも未だに残るダウン・サイジング（Downsizing）及び簡素化の課題を克服しながら、この液晶表示パネル以上に動画ばやけ等に起因する画質劣化を抑制し、且つ表示画像の輝度をも改善し得る表示装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明による表示装置の一例は、第1方向（例えば、表示画面の水平方向）とこれに交差する第2方向（例えば、表示画面の垂直方向）に沿い2次的に配置された複数の画素を有する画素アレイと、この画素アレイの第2方向沿いに並設され且つ複数の画素の第1方向沿いに並ぶ夫々の群からなる複数の画素行を選択する走査信号を伝送する複数の第1信号線（例えば、走査信号線やゲート線）と、この画素アレイの第1方向沿いに並設され且つ複数の画素行の走査信号で選択されたものに含まれる画素にその夫々の表示状態（例えば、表示階調）を決める表示信号（例えば、階調電圧）を供給する複数の第2信号線（例えば、映像信号線やデータ線）と、複数の第1信号線の夫々に走査信号を出力する第1駆動回路と、複数の第2信号線の夫々に表示信号を出力する第2駆動回路と、映像データ（例えば、テレビジョン放送での映像信号）及びその制御信号（垂直同期信号、水平同期信号、ドット・クロック信号等）をフレーム期間毎に受け且つ上述の第1駆動回路による走査信号の出力間隔を制御する第1クロック信号（走査クロックとして後述）及び第1クロック信号による画素行の選択工程（画素アレイ1画面分の走査工程）の開始を指示する走査開始信号を第1駆動回路へ送信し且つ上述の映像データから第2駆動回路による表示信号出力に用いられる表示データと第2駆動回路による表示信号の出力間隔を制御する第2クロック信号（水平データ・クロックとして後述）とを第2駆動回路へ送信する表示制御回路とを備える。

【0017】この表示制御回路は、表示装置の外部回路から映像データを受けるフレーム期間毎（映像データの垂直走査期間毎）に画素アレイでの上記画素行選択工程を少なくとも2回行わせる。このフレーム期間毎に行われる画素行選択工程の1回目にて第2駆動回路は表示データに拠る表示信号を夫々の画素行選択に呼応して出力し、この選択工程の2回目にて第2駆動回路は画素アレイを1回目の選択工程より暗く表示する表示信号を選択された画素行の夫々に出力する。この画素行選択工程の2回目における画素アレイの動作は、ブランキング画像表示として後述される。

【0018】本発明による表示装置の2番目の例は、上述と同様の画素アレイ、これに並設された複数の第1信号線（走査信号線等）並びに複数の第2信号線（映像信号線）、及び第1駆動回路並びに第2駆動回路を備える。更に2番目として例示される表示装置は、第1駆動

回路から第1信号線への走査信号の出力間隔を制御する第1クロック信号（走査クロック）及び第1クロック信号による画素アレイに亘る画素行選択（画素アレイの1画面分の走査）を開始させる走査開始信号を第1駆動回路へ送信し、且つ第2駆動回路から表示信号の出力間隔を制御する第2クロック信号（水平データ・クロック）を第2駆動回路へ送信する表示制御回路と、映像制御信号に含まれるドット・クロック信号（Dot Clock Signal）より周波数の高い表示クロック信号（Display Clock Signal）を発生するクロック生成回路とを備える。この本発明による2番目の表示装置では、上記走査開始信号により上記表示制御回路に入力される映像データのフレーム期間毎に画素アレイに亘る（1画面分の）画素行の選択工程を少なくとも2回行わせる。上記表示制御回路は、上記画素行選択工程の1回目にて映像データから上述の表示クロックにより表示データを読み出し且つ第2駆動回路に転送する。また、第2駆動回路は上記画素行選択工程の1回目にて上記表示データに拠る第1表示信号を前記第2クロック信号に呼応して前記画素アレイに供給し、該画素行選択工程の2回目にて該画素アレイを該第1表示信号の供給後より暗く表示する第2表示信号を該第2クロック信号に呼応して該画素アレイに供給する。この第2表示信号による画素アレイの動作をブランキング画像表示とも呼ぶ。

【0019】本発明による上述のいずれの表示装置においても、上記表示信号は画素アレイの構造に応じて階調信号、電圧信号（例えば、画素アレイが液晶パネルの場合）、又は電流信号（例えば、画素アレイがエレクトロルミネセンス素子アレイや発光素子アレイの場合）とも呼ばれる。

【0020】本発明による上述のいずれの表示装置において、上述の第1駆動回路は、第1クロック信号に呼応して複数の第1信号線の隣接し合うNライン（Nは2以上の自然数）を選択する走査信号を第1信号線のNライン置きに順次出力してもよく、また、第2クロック信号のN倍（Nは2以上の自然数）の周波数を有する第1クロック信号に呼応して複数の第1信号線を1ライン毎に選択する走査信号を順次出力してもよい。

【0021】また、本発明による上述のいずれの表示装置において、上述の第2駆動回路は、表示制御回路が受ける映像データの水平走査期間より短い間隔で表示信号を出力してもよく、第2クロック信号の周波数を映像制御信号に含まれ且つ表示装置の表示制御回路に映像データを入力する水平同期信号より高くしてもよい。

【0022】上述のフレーム期間における画素行の1回目の選択工程に、このフレーム期間における画素行の2回目の選択工程より長い時間を割り当てても、フレーム期間毎に画素行を選択する1回目及び2回目に夫々対応する走査開始信号の第1パルスと第2パルスとの間隔を1つ置きに交互に異ならせてもよい。

【0023】さらに、本発明による上述のいずれの表示装置において、上述のフレーム期間に画素行の1回目の選択工程にも2回目の選択工程にも割り当てられない時間を含ませ、この時間をその前の選択工程にて供給された表示信号を画素アレイに保持する時間に割り当ててもよい。

【0024】本発明による表示装置の上記2番目の例において、表示クロック信号の周波数を映像制御信号に含まれるドット・クロック信号のそれより高くしてもよい。

【0025】また、上述の画素アレイとして液晶パネルを用い且つこれに光を照射する照明装置を含む表示装置においては、この照明装置の点灯動作を上述の表示制御回路によりフレーム期間毎に画素行の1回目の選択期間中に開始させ且つ画素行の2回目の選択期間中に終了させるように制御するとよい。

【0026】さらに、上述の表示データ生成を表示装置の外部で行う場合、本発明による第1方向沿いに並ぶ複数の画素を夫々含む複数の画素行がこの第1方向に交差する第2方向沿いに並設される画素アレイとこの画素アレイの表示動作を制御する表示制御回路とを備えた表示装置は下記のように駆動される。この表示装置の駆動方法は、表示装置の外部で生成された表示データをフレーム期間毎に間欠的に表示装置に入力する工程と、このフレーム期間毎に複数の画素行の夫々を選択する走査信号の画素アレイへの入力間隔を決める走査クロック信号、画素アレイに亘り画素行を走査クロック信号に呼応して選択する動作（画素アレイ1画面分の走査）を開始させる走査開始信号、及び走査信号により選択された画素行（これをなす前記画素の一群）にその表示状態を決める表示信号を供給する間隔を決めるタイミング信号を表示制御回路から夫々出力する工程とを含む。走査開始信号は、フレーム期間毎に表示データの表示装置への入力に呼応して出力される第1走査開始信号とこの表示データの表示装置への入力終了後に出力される第2走査開始信号とを含むように生成され、表示信号はこの第1走査開始信号に呼応して画素アレイに入力される第1表示信号と第2走査信号電圧に呼応して画素アレイに入力される第2の表示信号とを含めて生成される。第1表示信号は表示データに基づいて、第2表示信号は画素アレイの表示輝度をこれに第1表示信号が供給された後のそれより暗くする信号として、ともに表示装置内部で生成される。

【0027】このような表示装置の駆動方法において、画素アレイに第2表示信号を入力する期間に走査信号の各々で選択される画素行の数は、この画素アレイに第1表示信号を入力する期間におけるそれより多くしても、画素アレイに第2表示信号を入力する期間の走査クロック信号の周波数をこの画素アレイに第1表示信号を入力する期間のそれより高くしてもよい。

【0028】また、走査クロック信号の周波数を上述のタイミング信号のそれより高くしてもよい。

【0029】以上に記した本発明の作用並びに効果、及びその望ましき実施形態の詳細に関しては、後述の説明で明らかになるう。

【0030】

【発明の実施の形態】以下、本発明による表示装置及びその駆動方法に関する具体的な実施形態を、第1乃至第6の実施例及びこれに関連する図面を参照して説明する。夫々の実施例の説明にて参照する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、夫々の実施例において、本発明による表示装置はノーマリ・ブラック方式で画像を表示する液晶表示装置として記述されるが、その画素構造を先述の如く変更することにより、本発明によるエレクトロルミネセンス型や発光素子アレイ型の表示装置が具現され得ることは言うまでもない。

【0031】第1の実施例 本発明の第1の実施例による表示装置及びその駆動方法を図1から図6を参照して説明する。図1は、本発明による表示装置（液晶表示装置）の構成図（システム・ブロック図）を、図2はこの表示装置に設けられた表示制御回路への入力信号及びこれからの出力信号の波形を示すタイミング図（Timing Chart）を夫々示す。表示制御回路は、タイミング・コントローラ（Timing Controller）とも呼ばれ、液晶表示パネルを備えた本実施例の表示装置では液晶表示タイミング・コントローラ（Liquid Crystal Display Timing Controller）104として図1に示される。図1に示される画素アレイ（以下、TF T型液晶パネル）101には、図27を参照して既に説明したように、横方向に延在し且つ縦方向（横方向に交差する方向）に並ぶ複数のゲート線とその夫々に沿って設けられた複数の画素行とが、縦方向に延在し且つ横方向に並ぶ複数の信号線（データ線とも呼ばれる）とその夫々に沿って設けられた複数の画素列とが、夫々形成される。画素アレイ（液晶表示パネルの画面をなす）101の上端に設けられた複数のゲート線の一对には、ライン1及びライン2が夫々付記される。

【0032】<表示装置の概要>図1に示される本実施例の表示装置は、XGAクラスの解像度を有するTF T型液晶パネル101を備えた液晶表示装置100であり、この表示装置へテレビジョン受信機、パーソナル・コンピュータ、DVDプレーヤ（Digital Versatile Disc Player）等の映像信号源から供給される映像信号（以下、映像データ）120及びこの映像信号から映像を再生させる制御信号（以下、映像制御信号）121は液晶表示装置100に備えられた液晶タイミング・コントローラ104に入力される。映像制御信号120は、例えば、先述の垂直周波数に呼応した電圧パルス列を含む垂直同期信号VSYNC、水平周波数に呼応した水平同期パルスを含む水平

同期信号H S Y N C、水平走査期間及び垂直走査期間毎に設けられた水平帰線期間(Horizontal Retracing Period)及び垂直帰線期間(Vertical Retracing Period)を表示装置に認識させディスプレイ・タイミング信号(Display TimingSignal)DTMG、及び水平走査期間毎に入力される個々の映像情報を表示装置に識別させるドット・クロック信号(Dot Clock Signal)DOTCLKを含む。

【0033】液晶タイミング・コントローラ104には、2つのメモリ回路(フレーム・メモリとも呼ばれる)105-1、105-2が設けられ、表示装置に入力される映像データ120はそのフレーム期間毎(プログレッシブ方式での映像データ入力の場合)又はフィールド期間毎(インタレース方式での映像データ入力の場合)にメモリ回路のいずれかに交互に書き込まれ、且つこれから読み出される。本実施例の場合、例えば、第1のフレーム期間に表示装置に入力された映像データがメモリ回路105-1に書き込まれた後、第1のフレーム期間に続く第2のフレーム期間において表示装置に入力される映像データがメモリ回路105-2に書き込まれ、且つメモリ回路105-1に書き込まれた映像データが表示装置における映像再生に適した様式で読み出される。次に、第2のフレーム期間に続く第3のフレーム期間において表示装置に入力される映像データがメモリ回路105-1に書き込まれ、且つメモリ回路105-2に書き込まれた映像データが表示装置における映像再生に適した様式で読み出される。このような映像データのメモリ回路105への書込みとこれからの読み出しがフレーム期間毎に繰り返される。本実施例では、映像データ処理用のメモリ回路105を2つ設けているが、その数は表示装置に要請される機能に応じて適宜変更し得る。なお、メモリ回路を示す参照番号に付されたサフィックス(Suffix)-1、-2は、本実施例の表示装置に備えられた表示制御回路(液晶タイミング・コントローラ)に接続された2つのメモリ回路を識別させるものであり、これらのサフィックスが省かれて記される参照番号105はメモリ回路を総称するものとして理解されたい。また、以降、映像データの表示装置への入力の周期(上述の垂直走査期間)をフレーム期間と総称するが、このフレーム期間はインタレース方式で映像データを表示装置に入力する場合にフィールド期間と読み替えられる。

【0034】表示装置に入力された映像データは、そのフレーム期間毎に液晶タイミング・コントローラ104の第1ポート109からメモリ回路105-1の制御信号108に応じてメモリ回路105-1に書き込まれ又はこれから読み出され、或いは第2ポート111からメモリ回路105-2の制御信号110に応じてメモリ回路105-2に書き込まれ又はこれから読み出される。映像データのメモリ回路105-1、105-2への書込みとこれからの読み出しは、上述の如く1フレーム期間おきに交互に行われる。このため、制御信号

108、110は、フレームメモリ制御信号とも呼ばれる。また、制御信号108による第1ポート109を通しての映像データのメモリ回路105-1への書込み及びこれからの読み出しと、制御信号110による第2ポート111を通しての映像データのメモリ回路105-2への書込み及びこれからの読み出しとは、独立して行える。

【0035】<表示制御回路での映像データ処理>本実施例では、図2に示す如く、映像データはその水平走査期間毎に、水平同期信号H S Y N Cのパルスに呼応して、L1、L2、L3、...のデータ群に分かれて順次表示装置の表示制御回路に入力される(入力データの波形参照)。データ群L1、L2、L3、...は、夫々の水平走査期間の間に転送される帰線期間(Retracing Periods、水平帰線期間とも呼ばれる)RETにより時間軸方向に仕切られ、表示装置により水平走査期間毎に認識される。しかし、表示制御回路104からデータ・ドライバ102に転送される所謂ドライバ・データ(Driver Data)は、上記水平走査期間毎のデータ群を1水平走査期間おきに、例えば奇数番目の水平走査期間に対するデータ群L1、L3、L5、...として、表示制御回路104から順次出力される。このように表示制御回路104からのデータ群の出力を、これに入力される映像データのデータ群の一部のみを用いて行う理由は後述するが、表示制御回路104に入力された映像データは表示装置における映像再生に合わせてその出力態様も変わるため、映像データのフレーム期間に応じて表示制御回路104から出力される水平走査方向別の上記データ群を纏めて、以後、表示データ(Display Data)と呼ぶ。

【0036】このため、本実施例では、例えば、上述の第1のフレーム期間で第1ポート109を通してメモリ回路105-1に書き込まれた映像データの奇数番目の水平走査期間に対応するデータ群のみを上記第2のフレーム期間の前半において制御信号108に呼応させてメモリ回路105-1から第1ポート109を通して読み出し、ドライバ・データ(表示データ)106としてデータ・ドライバ102に転送する。また、この第2のフレーム期間で第2ポート111を通してメモリ回路105-2に書き込まれた映像データの偶数番目の水平走査期間に対応するデータ群のみを上記第3のフレーム期間の前半において制御信号110に呼応させてメモリ回路105-2から第1ポート111を通して読み出し、ドライバ・データ106としてデータ・ドライバ102に転送する。この例では、第2のフレーム期間における第1ポート109からの表示データの読み出し中に第1ポート109を通してメモリ回路105-1への映像データの書込みは行われず、同様に第3のフレーム期間における第1ポート110からの表示データの読み出し中に第2ポート111を通してメモリ回路105-2への映像データの書込みも行われない。本実施例では、ここで例示した第2のフレーム期間や第3のフレーム期間の前半のように、フレーム期間毎にこれを2等分して得られる前半の時間帯

(Time Zone)を第1フィールド、フレーム期間毎の後半の時間帯を第2フィールドと便宜的に呼ぶ。

【0037】本実施例による表示装置に備えられたTFT型の液晶パネル101は、その水平方向(図1の横方向)に1024ドットの画素群を配列してなる画素行が、その垂直方向(図1の縦方向)に768本並設されたXGAクラスの解像度(精細度)を有する。カラー映像表示に対応する機種の場合、夫々の画素は、例えば光の3原色に応じて液晶パネル101の水平方向に3分割される(図1の横方向に3072ドットの画素が並ぶ)。この液晶パネル101には、水平方向に並ぶ画素の夫々に対して垂直方向に延在する3072本(カラー映像表示対応の液晶パネルの場合)の信号線が水平方向に並設され、垂直方向に並ぶ画素行の夫々に対して水平方向に延在する768本のゲート線が垂直方向に並設される。液晶パネル101には、その信号線の夫々に表示データに応じた電圧を供給するデータ・ドライバ(映像信号駆動回路)102が、そのゲート線の夫々に走査信号に応じた電圧を与える走査ドライバ(走査信号駆動回路)103が設けられる。データ・ドライバ102には、上述のドライバ・データ(表示データ)106の他に、データ・ドライバ102においてドライバ・データ106に基づいて信号線の夫々に供給すべき階調電圧を発生させるデータ・ドライバ駆動信号群107が表示制御回路104から転送される。データ・ドライバ駆動信号群107には、ドライバ・データ106に含まれるデータ群とその各々に対応する水平走査期間との関係をデータ・ドライバ102に認識させる水平データ・クロック(Horizontal Data Clock)CL1と、各水平走査期間に対応するデータ群に含まれるデータの夫々と液晶パネル101の信号線との関係をデータ・ドライバ102に認識させるドット・クロック(Dot Clock)CL2とが含まれる。また、画素アレイの1画面を表示制御回路104から水平走査期間毎に転送されるデータ群で走査する一連の工程の開始と終了を指示する走査開始信号(Scanning Start Signal)FLMも必要に応じてデータ・ドライバ102に転送される。一方、走査ドライバ103には、上記水平走査期間に呼応して階調電圧を供給すべき画素行を選択する、換言すれば夫々の画素行に対応するゲート線に走査信号を印加するタイミングを制御する走査クロック(Scanning Clock)112と上述の走査開始信号112とが表示制御回路104から転送される。

【0038】図2の入力データの波形に示されるように、テレビジョン受信機、パーソナル・コンピュータ、DVDプレーヤなどの映像信号源から送信される映像データは、これとともに映像信号源から送信される水平同期信号HSYNCのパルスに呼応した水平走査期間毎のデータL1, L2, L3, ...として順次表示装置に入力され、これに設けられたメモリ回路105-1, 105-2のいずれかに格納される。水平走査期間毎に表示装置に入力さ

れたデータは、従来表示装置のゲート線毎に対応する1ライン分の表示データとして扱われ、夫々のゲート線に対応する画素行に供給される階調電圧の生成に用いられていた。例えば、図2における入力データL1, L3, L5, ...は奇数ラインのデータとして、入力データL2, L4, ...は偶数ラインのデータとして、表示装置の画素アレイの夫々に対応する画素行に表示されていた。映像信号源より水平走査期間毎に転送される一連のデータの表示装置への入力完了することにより、表示装置内に1画面の映像を再生させる情報が出揃う。この状態を換言すれば、1フレーム期間の映像データの表示装置への入力完了される。1フレーム期間の映像データの表示装置への入力は、これとともに映像信号源から送信される垂直同期信号VSYNCのパルスに呼応して開始され、この垂直同期信号VSYNCのパルスに続く次の垂直同期信号VSYNCのパルスにて終了する。また、次の垂直同期信号VSYNCのパルスに呼応して、この1フレーム期間に続く次の1フレーム期間の映像データの表示装置への入力開始される。従って、1画面分の映像データが表示装置に入力される1フレーム期間は、図2に示すように垂直同期信号VSYNCのパルスの間隔に概ね対応する。

【0039】本実施例では、表示装置に入力された映像データをその水平走査期間毎、換言すれば、ライン毎に読み出す代わりに、図2のドライバ・データの波形に示される如く、その奇数番目又は偶数番目の水平走査期間(ライン)毎に読み出して、ドライバ・データ(表示データ)を生成する。この奇数番目又は偶数番目の水平走査期間(ライン)毎に映像データを読み出す工程は、上述の水平データ・クロックの波形CL1のパルスに呼応させて行われる。このため、表示装置に入力された1フレーム期間分の映像データは、これをメモリ回路105に書き込む際に要する水平同期信号(HSYNC)パルスの半数の水平データ・クロック(CL1)パルスでドライバ・データとして読み出される。従って、水平データ・クロックCL1の周波数を水平同期信号HSYNCのそれと同じに設定した場合、フレーム期間毎にその1/2の期間である第1フィールド期間で1画面分の奇数ライン分又は偶数ライン分の映像データがドライバ・データ(表示装置の駆動に用いられる表示データ)として読み出される。

【0040】一方、1画面分の奇数ライン分又は偶数ライン分の映像データをドライバ・データ(表示データ)として読み出す一連の工程は、走査開始信号FLMのパルスにより開始され、これに続く次の走査開始信号FLMのパルスで終了する。また、次の走査開始信号FLMのパルスに呼応して、次のドライバ・データを読み出す一連の工程が開始される。このため、水平データ・クロックCL1と水平同期信号HSYNCとを同じ周波数(同じ間隔でパルスが発生される波形)に設定し、且つ

走査開始信号 F L M のパルス間隔を垂直同期信号 V S Y N C のその 1 / 2 に設定することで、映像データの 1 フレーム期間内に 1 画面分のドライバ・データを 2 回繰り返して読み出し且つその映像情報で画素アレイを 2 回走査できる。

【 0 0 4 1 】本実施例では、このように水平データ・クロック C L 1 と走査開始信号 F L M との周波数を夫々設定した状態で、同じ映像情報（上記 1 フレーム期間に読み出されるドライバ・データに基づく）で画素アレイを 2 回走査せず、この映像情報により画素アレイを 1 フレーム期間の始めに 1 回走査し、その次にこの映像情報より画素アレイを暗く表示するデータ、即ちブランキング・データ（又は、マスキングデータ）で画素アレイを 1 回走査する。画素アレイの映像表示動作を制御する上述の水平データ・クロック C L 1、ドット・クロック C L 2、走査開始信号 F L M、及び走査クロック（後述の波形 C L 3 を有する）を含む表示制御信号の各々は表示制御回路 104 又はこれとその周辺の回路とで生成される。

本実施例では、これらの表示制御信号を映像データと共に表示装置に入力される映像制御信号（上述の垂直同期信号 V S Y N C 等）を分周器（Frequency divider）等に通して生成したが、映像制御信号の一部を表示制御信号に転用しても、表示制御回路内又はその周辺に設けたパルス発振器（Pulse Oscillator）で生成してもよい。

【 0 0 4 2 】上述のように、本実施例の表示装置は、これに入力された映像データの半分を読み出してドライバ・データ（表示データ）を生成するため、そのライン数は画素アレイの画素行数より小さくなる。しかし、1 ライン分の映像データを読み出して生成されたドライバ・データの各々を、画素アレイにおいて垂直方向に隣接する一対の画素行に入力させることにより、ドライバ・データのライン数と画素アレイの画素行数（ゲート線のライン数）との差を解消する。また、1 フレーム期間置きに映像データの奇数ライン群と偶数ライン群とを交互に読み出してドライバ・データを生成することにより、表示画像の品質を確保する。さらに、1 フレーム期間毎に画素アレイに書き込まれた映像を、この映像より画素アレイを暗く（例えば、黒色やこれに近い色で）表示するブランキング・データでマスクして、特に動画像として表示される物体の輪郭のぼやけ（Blurring）を解消する。

【 0 0 4 3 】図 2 のタイミング・チャートの如く読み出されたドライバ・データ（上記映像データを表示装置の動作に適合させた表示データ）は、液晶パネル 101（本実施例での画素アレイ）において、データ・ドライバ 102 により階調電圧に変換され、水平データ・クロック C L 1 に呼応して各信号線に逐次出力される。水平データ・クロック C L 1 の隣接し合う一対のパルス間で規定される画素アレイの水平走査期間に対応して、走査ドライバ 103 から夫々の水平走査期間に選択されるべきゲート

線に走査信号が印加され、これに対応する画素行に含まれる画素の各々に上記階調電圧が供給される。走査ドライバ 103 は、表示制御回路 104 からこれに供給される走査クロック C L 3 のパルスに呼応して走査信号を夫々のゲート線へ出力する。上述のとおり、本実施例では映像データを 1 ラインおきに読み出して水平走査期間毎にドライバ・データを生成し、このドライバ・データに基づいて生成した階調電圧を画素行の隣接し合う一対に印加するため、画素アレイの水平走査期間毎にゲート線を逐一選択する従来の方法とは異なる方法で表示装置は駆動される。本実施例による表示装置の駆動方法の 2 つの例は、図 3 及び図 4 のタイミング・チャートに夫々示される。なお、画素アレイの表示動作における水平走査期間及び垂直走査期間は、先述の映像データと共に表示装置に入力される水平走査期間及び垂直走査期間の夫々と明確に区別するため、以降、前者を水平期間（Horizontal Period）、後者を垂直期間（Vertical Period）と呼ぶ。

【 0 0 4 4 】<画素アレイの駆動例：その 1> 図 3 は、走査クロック C L 3 の 1 パルスに呼応して複数のゲート線に走査信号（後述のゲート選択パルス）を印加できる走査ドライバ 103 を備えた液晶パネル 101 の駆動方法の一例を示す。この液晶パネル 101 に並設された複数のゲート線（その夫々に対応する画素行）の隣接する一対は、走査クロック C L 3 のパルス毎にその垂直方向沿いに順次選択される。このような画素アレイの駆動方法は、2 ライン同時選択による画素アレイの走査とも呼ばれる。図 3 の駆動方法では、走査クロック C L 3 の周波数及びその電圧パルスの位相を水平データ・クロック C L 1 のそれらに合わせている。水平データ・クロック C L 1 の隣接し合う一対の電圧パルスの間隔は、画素アレイの動作における 1 水平期間に相当する。図 3 に示されるデータ・ドライバ出力電圧は、表示制御装置 104 から水平期間毎にデータ・ドライバ 102 へ転送されるドライバ・データに基づいてデータ・ドライバ 102 で生成される階調電圧群に相当する。この階調電圧群は、1 水平期間分のドライバ・データからドット・クロック C L 2 に呼応して夫々の信号線に対応する要素をデータ・ドライバ 102 に認識させ、その認識に基づいて水平期間毎に夫々の信号線に対応する画素に印加すべき電圧信号をデータ・ドライバ 102 に設定させる。

【 0 0 4 5 】図 2 及び図 3 のタイミング・チャートは、垂直同期信号 V S Y N C のパルスに呼応して表示制御装置に入力される 1 フレーム期間分の映像データをなす水平同期信号 H S Y N C のパルスに呼応したライン毎のデータ群を奇数番ライン（奇数番目の水平走査期間）に対応するもののみをドライバ・データとして読み出すフレーム期間の前半（先述の第 1 フィールド）を部分的に示す。上述のように、本実施例による表示装置に入力された映像データは、これに設けられたメモリ回路 105-1、1

05-2のいずれかに一旦格納されるため、図2に示されるドライバ・データの波形は、これに示される入力データより少なくとも1フレーム期間前に表示された別の入力データに対応する。しかし、フレーム期間毎に入力される映像データの水平同期信号H S Y N Cのパルスに呼応したデータ群L 1, L 2, L 3, L 4, L 5, ...の配列及びこのデータ群間に挿入される水平帰線期間R E Tの長さは概ね同じである。

【0046】一方、図2に示されるフレーム期間の第1フィールドにて水平データ・クロックC L 1のパルスに呼応してドライバ・データ(表示データ)として読み出される奇数ラインのデータ群L 1, L 3, L 5, L 7, L 9, ...はデータ・ドライバ102に転送され、画素アレイの水平期間毎に図3に示すようなデータ・ドライバ出力電圧の波形L 1, L 3, L 5, L 7, L 9, ...が生成される。ドライバ・データをなすデータ群L 1, L 3, L 5, L 7, L 9, ...の間には、映像データと同様に水平帰線期間R E Tが挿入されるが、図3に示される如く、データ・ドライバ出力電圧の波形L 1, L 3, L 5, L 7, L 9, ...の間にはこれが挿入されない。水平期間毎に電子線を画面の水平方向に掃引(Sweep)する陰極線管と異なり、水平期間毎に選択される複数の画素に階調電圧を同時に供給できる液晶表示装置等のホールド型表示装置では、ある水平期間における階調電圧の出力が終了されるや否やその次の水平期間における階調電圧の出力が開始できるため、水平帰線期間や垂直帰線期間を挿入する必要が無い。

【0047】このような水平期間毎のデータ・ドライバ出力電圧L 1, L 3, L 5, L 7, L 9, L 11, ...の夫々に対し、画素アレイ内のゲート線には、その最上端に位置する一対G 1, G 2(図1のライン1, ライン2に夫々相当)、次の一対G 3, G 4, その次の一対G 5, G 6の順に2ライン毎にHigh-levelの走査信号が印加される。各ゲート線に印加される走査信号の波形は、夫々のゲート線の番地G 1, G 2, G 3, G 4, G 5, G 6, ...の右側に示され、そのLevelがHighのゲート線のみが選択され、これがLowのゲート線は選択されない。このように夫々のゲート線の走査信号に生じるパルス状の波形(図3の場合、High-levelとなる期間)はゲート選択パルスとも呼ばれ、表示制御回路104から送られる走査クロックC L 3のパルスに呼応して走査ドライバ103にて生成される。通常の走査ドライバは走査クロックC L 3のパルス毎にゲート選択パルスを1本のゲート線に出力するが、図3に示す駆動方法に用いられる走査ドライバ103はその動作モードの設定により走査クロックC L 3のパルス毎にゲート選択パルスを複数本のゲート線に出力することができる。また、一対のゲート線G 1, G 2から夫々のゲート線対(Respective Pair of Gate Lines)を順次選択する一連の工程は、走査開始信号F L Mのパルス(図3にて、その波形がHi

gh-levelとなる期間)に呼応して開始される。上述のとおり、本実施例の表示装置にはX G Aクラスの解像度を有する液晶パネル101が搭載されているため、その表示画面の垂直方向に並設される768本のゲート線(768行の画素)の選択は、走査クロックC L 3に生じる384個のパルスで完了する。また、図2に示すドライバ・データL 1, L 3, L 5, L 7, L 9, ...が読み出され、図3に示すデータ・ドライバ出力電圧L 1, L 3, L 5, L 7, L 9, ...が各信号線に印加されるフレーム期間に続く次のフレーム期間(その第1フィールド)では、偶数ラインの映像データのみに対応するドライバ・データL 2, L 4, L 6, L 8, ...が読み出され、データ・ドライバ出力電圧L 2, L 4, L 6, L 8, ...が各信号線に印加される。

【0048】<画素アレイの駆動例:その2>一方、図4は、2ライン同時選択機能を有しないシフトレジスタ動作の走査ドライバ103を備えた液晶パネル101の駆動方法の一例を示す。この駆動例では、走査クロックC L 3の周波数を水平データ・クロックC L 1のその2倍に設定して、そのパルスを画素アレイの水平期間毎に2回発生させる。この駆動例においても、図2に示されるフレーム期間の第1フィールドにて水平データ・クロックC L 1のパルスに呼応して映像データの奇数ラインのデータ群L 1, L 3, L 5, L 7, L 9, ...をドライバ・データとして読み出してデータ・ドライバ102に転送し、画素アレイの水平期間毎に図4に示すようなデータ・ドライバ出力電圧の波形L 1, L 3, L 5, L 7, L 9, ...を生成する。また、図2に示すドライバ・データL 1, L 3, L 5, L 7, L 9, ...を読み出すフレーム期間に続く次のフレーム期間(その第1フィールド)では、偶数ラインの映像データのみに対応するドライバ・データL 2, L 4, L 6, L 8, ...が走査ドライバ103に転送され、図4に示すデータ・ドライバ出力電圧もこのドライバ・データL 2, L 4, L 6, L 8, ...に対応したものに置き換わる。

【0049】図4の駆動例では、水平データ・クロックC L 1を表示装置に入力される映像データの水平同期信号H S Y N Cと同じ周波数に設定し、映像データ(図2の入力データ)の水平走査期間と同じ水平期間でデータ・ドライバ102から夫々の画素行に印加される階調電圧群を出力する。水平データ・クロックC L 1のパルス間隔で規定される水平期間毎にデータ・ドライバ102から信号線の夫々に出力されるデータ・ドライバ出力電圧L 1, L 3, L 5, L 7, L 9, ...の各々は、ゲート線の2ラインに対応する画素群(2つの画素行をなす)に入力されるが、図3の駆動例と異なり、一つおきに並ぶ画素行(例えば、奇数番の画素行)には連続する一対の水平期間に出力される2つのデータ・ドライバ出力電圧が入力される。図4の駆動例に用いられる走査ドライバ103は、走査クロックC L 3の1パルスに呼応して複数の

ゲート線にゲート選択パルスを出力できないため、これによる1本のゲート線毎へのゲート選択パルスの出力間隔を短くする。このため、走査クロックCL3の周波数を水平データ・クロックCL1のそれより高めることで、各フレーム期間の上記第1フィールドに完了されるデータ・ドライバ102からの一連の階調電圧(例えば、図4に示されるデータ・ドライバ出力電圧L1, L3, L5, L7, L9, ...)の出力に画素アレイの1画面分の走査を追従させる。しかし、走査クロックCL3の周波数を水平データ・クロックCL1のその2倍に設定し、夫々のゲート線に印加されるゲート選択パルスを走査クロックCL3のN番目(Nは自然数)のパルスに呼応して発生させ且つ(N+1)番目のパルスに呼応して消すと、夫々の画素行にデータ・ドライバ出力電圧が供給される時間も短くなり、フレーム期間毎に画面に表示される映像の輝度が不足する。

【0050】これに対して図4の駆動例は、ゲート線毎のゲート選択パルスを走査クロックCL3のN番目のパルスに呼応して発生させ且つその(N+2)番目のパルスに呼応して消すことで、これがゲート線に印加される期間を図3の駆動例と同様に画素アレイの1水平期間と同じ長さには延ばす。このため、ゲート線の一群には画素アレイの1水平期間(水平データ・クロックCL1のパルス)に呼応してゲート選択パルスが印加され、他の群には水平データ・クロックCL1のパルスより位相をずらしてゲート選択パルスが印加される。図4の駆動例では、偶数番のゲート線群G2, G4, G6, ...にゲート選択パルスが水平データ・クロックCL1のパルスに同期して順次印加され、奇数番のゲート線群G1, G3, G5, ...にゲート選択パルスが水平データ・クロックCL1のパルスより1水平期間の1/2だけ早いタイミングで順次印加される。従って、後者のうち、例えばゲート線G3に対応する画素行にはデータ・ドライバ出力電圧L1とL3が、ゲート線G5に対応する画素行にはデータ・ドライバ出力電圧L3とL5が夫々印加される。ゲート選択パルスは、図4のタイミング・チャートに示される駆動例に限らず、例えば、奇数番のゲート線群G1, G3, G5, ...にゲート選択パルスを水平データ・クロックCL1のパルスに同期させて順次印加し、且つ偶数番のゲート線群G2, G4, G6, ...にゲート選択パルスを水平データ・クロックCL1のパルスより1水平期間の1/2だけ遅いタイミングで順次印加される。

【0051】このように1行置きに配置される画素行に連続する一対の水平期間の夫々に対応したデータ・ドライバ出力電圧(階調電圧)を入力すると、図3の駆動例の如く2行の画素行毎に同じデータ・ドライバ出力電圧を入力する場合に比べて画面の垂直方向における見かけの解像度が向上する。図4の駆動例では、データ・ドライバ出力電圧の例えばL3が、これに対応する水平期間の前半にゲート線の2ラインG3, G4に対応する画素

行へ、その後半にゲート線の2ラインG4, G5に対応する画素行へ夫々供給される。従って、図4に示される駆動例は図3に示されるそれとは異なるが、擬似的な2ライン同時選択で画面上に映像を生成する。また、ゲート線G1に対応する画素行にはデータ・ドライバ出力電圧L1が水平期間の1/2に相当する時間内に供給されるのみであるため、その輝度不足が懸念されるが、この画素行は画素アレイの端部にあるため、その輝度不足は表示装置のユーザに視認され難い。

【0052】<画像表示タイミング>本実施例では、図3及び図4を参照して上述したいずれかの方法で表示装置を駆動させて、これに入力される映像データのフレーム期間毎に、その前半(第1フィールド)で映像データに基づく映像を画素アレイに生成し、その後半(第2フィールド)に第1フィールドで生成された映像をブランキング・データにより言わばマスクする。図5のタイミング・チャートは、時間軸沿いに連続する3つのフレーム期間(その各々は、両端に矢印が付された線で示される)を例に、夫々のフレーム期間における映像の生成とそのマスクの工程の概要を説明する。説明の便宜上、図5に示される3つのフレーム期間の各々を、これを示す線の上側に付された番号に応じて図5の左側から第1フレーム期間、第2フレーム期間、第3フレーム期間と名付ける。

【0053】図5に示された第1フレーム期間、第2フレーム期間、及び第3フレーム期間の各々は、更に第1フィールドとこれに続く第2フィールドに分かれる。第1フィールド及び第2フィールドは、両端に矢印が付された線で夫々示され、その線の上側に付された番号で識別される。図5からも明らかなように、各フレーム期間の開始に応じた走査開始信号FLMのパルス(第1パルス)に呼応して第1フィールドが開始し、この第1パルスに次いで生じる走査開始信号FLMのパルス(第2パルス)に呼応して第1フィールドが終了し且つ第2フィールドが開始する。更に、走査開始信号FLMの第2パルスに次いで生じるパルスに呼応して、このフレーム期間がその第2フィールドとともに終了し且つ次のフレーム期間がその第1フィールドとともに開始する。このような走査開始信号のパルスFLM毎による第1フィールドと第2フィールドとの切替えが、フレーム期間毎に繰り返される。

【0054】先述のとおり、画素アレイのゲート線を順次選択する一連の工程は、走査開始信号FLMのパルス(図5にて、その波形がHigh-levelとなる期間)に呼応して開始される。画素アレイのゲート線を2本毎に順次選択する図3の駆動例においても、画素アレイのゲート線を水平データ・クロックCL1より周波数の高い走査クロックで1本毎に順次選択する図4の駆動例においても、画素アレイ全域の走査(画素アレイへの1画面分の画像入力)は1フレーム期間の1/2に相当する時間

内に(上述の第1フィールド及び第2フィールドのいずれにおいても)完了する。従って、走査開始信号FLMのパルスに呼応して開始される第1フィールドにて、映像データの奇数ライン分又は偶数ライン分をドライバ・データとして読み出し且つこのドライバ・データに応じた階調電圧群(図3及び図4にデータ・ドライバ出力電圧として示す)を水平データ・クロックCL1のパルスに呼応して(画素アレイの水平期間毎に)画素アレイの信号線の夫々に順次出力する一連の工程を図3及び図4の駆動例により画素アレイのゲート線を順次選択する一連の工程に対応させ(同期させ)、夫々の工程を第1フィールドの終了時まで完了させることが可能となる。上述のように、映像データはその垂直帰線期間でフレーム期間毎に断続されて表示装置に入力されることでもあるので、夫々の工程の終了時刻は第1フィールド(映像データのフレーム期間の1/2として定まる)の終了時刻より早まることもある。

【0055】本実施例では、表示装置100に入力される映像データ120をそのフレーム期間毎にメモリ回路105-1,105-2に交互に格納(store)する。また、フレーム期間毎に、その第1フィールドにて映像データが格納されたメモリ回路105からその奇数ライン分又は偶数ライン分を表示制御装置(液晶タイミング・コントローラ)104によりドライバ・データ106として読み出し且つデータ・ドライバ102に転送し、このドライバ・データに対応する階調電圧群を水平期間毎にデータ・ドライバ102から順次出力させる。この階調電圧の出力を、図3又は図4に示す画素アレイのゲート線選択工程に呼応させて(図3の駆動例ではしばしば同期させて)行う。このようにして、第1フィールドにおける画素アレイへの画像の入力が完了する。この画像とは、上述のとおり表示装置に入力される映像データに基づいて生成される。第1フィールドにて画素アレイに設けられた画素の夫々に供給される階調電圧を説明の都合上、第1階調電圧と呼び、画素アレイの全画素に供給される第1階調電圧を纏めて第1階調電圧群と呼ぶ。

【0056】第1フィールドに続く第2フィールド(本実施例ではフレーム期間の後半)では、データ・ドライバ102から第1階調電圧群とは異なる階調電圧群が、水平期間毎に図3又は図4に示す画素アレイのゲート線選択工程に呼応して出力される。第2フィールドにて画素アレイの画素の夫々に供給される階調電圧(以下、第2階調電圧)の少なくとも一つは、これに対応する第1階調電圧(同じ番地の画素に第1フィールドにて供給される)より画素を暗く表示するように設定される。説明の都合上、第2フィールドにて画素アレイの全画素に供給される第2階調電圧を纏めて第2階調電圧群と呼ぶ。例えば、第2階調電圧群をなす第2階調電圧の全てを、画素を黒く表示する(液晶表示装置の場合、液晶層の光透過率を最小にする)電圧値や、画素を所定の階調より低

い色(黒に近い灰色)に表示する(液晶表示装置の場合、液晶層の光透過率を所定の低さに抑える)電圧値に設定する。この前者の例による第2階調電圧群は黒データ(Black Data)又は黒電圧(Black Voltage)とも呼ばれ、後者の例による第2階調電圧群は灰色データ(Gray Data)又は灰色電圧(Gray Voltage)とも呼ばれる。第2階調電圧群をなす第2階調電圧の電圧値は、上述の設定例以外にも、例えば一部の第2階調電圧をこれが供給される画素に応じて他の第2階調電圧と異ならせてもよい。この場合、第1フィールド期間に読み出されるドライバ・データの内容に応じて、第1階調電圧で他の画素よりひときわ明るく表示される画素(又は画素群)に黒電圧を、他の画素に灰色電圧を第2階調電圧として供給し、または、第1階調電圧で暗く表示される画素(又は画素群)に灰色電圧を、その他の画素に黒電圧を第2階調電圧として供給する。

【0057】本実施例では、上述の第2階調電圧群で画素アレイを走査して、画素アレイ全域の輝度を落とし、第1階調電圧群で画素アレイに表示された画像を黒又はこれに近い暗い色で覆う。これにより、フレーム期間毎に第1階調電圧群で表示された画像が第2階調電圧群で画面から消されるため、フレーム期間毎に変化する画像はインパルス表示に近い状態で画面に生成される。従って、第2階調電圧群により画素アレイに生成される画像はブランキング画像(Blanking Image)とも呼ばれ、データ・ドライバ102に第2階調電圧群を出力させるデータをブランキング・データ(Blanking Data)とも呼ぶ。ブランキング・データは、第1階調電圧群に対応するドライバ・データと同様に表示制御回路104又はその周辺で生成してデータ・ドライバ102へ転送しても、又はデータ・ドライバ102に予め格納してもよい。例えば、画素アレイを一様に暗く表示する第2階調電圧群(例えば、その全ての第2階調電圧が黒電圧又は灰色電圧を示す)をデータ・ドライバ102に出力させる場合、第2フィールドを開始させる走査開始信号FLMのパルスに応じて、データ・ドライバ102の出力端子の各々から所定の第2階調電圧を第2フィールドが終了するまで立て続けに出力させてもよい。本明細書においては、上述した種々の第2階調電圧群の出力方法を包括して、本実施例で説明した如き第2フィールドにおける画素アレイの表示動作を、ブランキング画像表示又はブランキング・データによる画像表示と定義し、第2階調電圧をブランキング・データに基づいて生成された階調電圧と定義する。

【0058】XGAクラスの解像度を有する液晶パネルを画素アレイとして用いる本実施例では、これの図3の駆動例に倣う動作により、水平データ・クロックCL1及び走査クロックCL3の384パルスで、第1フィールドにおける映像データに基づく映像表示及び第2フィールドにおけるブランキング・データに基づくブランキ

ング表示の各々が完了する。また、この液晶パネルの図4の駆動例に倣う動作により、水平データ・クロックCL1の384パルスと走査クロックCL3の768パルスで、第1フィールドの映像表示と第2フィールドのブランキング表示とが夫々完了する。

【0059】上述の第1フィールドにおける第1階調電圧群（映像データに基づき生成される）での画素アレイ1画面分の走査とこれに続く第2フィールドにおける第2階調電圧群（ブランキング・データに基づき生成される）での画素アレイ1画面分の走査は、図5に示される第1フレーム期間、第2フレーム期間、及び第3フレーム期間にて繰り返される。しかしながら、これらのフレーム期間の第1フィールドにおける第1階調電圧群の生成は、1フレーム期間置きに交互に変わる。第1フレーム期間及び第3フレーム期間では、各々に対応して2つのメモリ回路105-1、105-2の一方に格納された映像データの奇数ライン分及び偶数ライン分の一方が読み出されて第1階調電圧群が生成され、第2フレーム期間では、これに対応して2つのメモリ回路105-1、105-2の他方に格納された映像データの奇数ライン分及び偶数ライン分の他方が読み出されて第1階調電圧群が生成される。

【0060】上述の第1フィールドにおける第1階調電圧群の画素アレイへの入力（図5のImage Input）と第2フィールドにおける第2階調電圧群の画素アレイへの入力（図5のBlack Data Input）とに対し、画素の明るさの応答は画素アレイの種類により相違する。画素毎にエレクトロルミネセンス素子や発光ダイオードを備えた表示装置に対し、液晶パネルを画素アレイとして用いる表示装置では、各画素に対応する液晶層の光透過率がこれに印加される電界の変化に対して或る時定数に拠る対数関数的な変化を示す。従って、図5に示すフレーム期間毎の一連の表示動作における画素の表示輝度の応答も、例えば図6のように示される。

【0061】本実施例で用いた液晶パネル101は、ノーマリ黒表示モード（Normally Black Display Mode）で動作するため、画素に供給される階調電圧（図27の画素電極PXに印加される）と基準電圧（図27の対向電極CTに印加される）との差が最小となる（所謂表示オフ状態の）とき画素は黒く表示され、その差が最大となる（所謂表示オン状態の）とき画素は白く表示される。スイッチング素子SWを通して画素電極PXに供給される電流量が最小のとき画素が黒く表示され、それが最大のとき画素が白く表示されるため、前者の表示状態が画素アレイに送られる表示オフデータに、後者の表示状態が画素アレイに送られる表示オンデータにそれぞれ相当する。エレクトロルミネセンス型の表示装置や発光素子アレイ型の表示装置でも上述の如くノーマリ黒表示モードで動作する。図6に示した本実施例による表示輝度の応答は、連続する2つのフレーム期間の各々において、その第1フィールドに画像データ（Image Data）として表

示オンデータを、その第2フィールドに黒データ（Black Data）として表示オフデータを、画素に表示させて得られる。

【0062】第1フィールドの冒頭における画素電極への第1階調電圧（上記表示オンデータに対応した電圧）の印加に対して表示輝度は対数関数的に緩慢な上昇を示すが、表示輝度は第1フィールドの終了時刻までに所望のレベルに達する。また、第2フィールドの冒頭における画素電極への第2階調電圧（上記表示オフデータに対応した電圧）の印加に対して表示輝度は対数関数的に緩慢な減衰を示すものの、第2フィールドの終了時刻までに画素を黒く表示させるレベルに達する。このように画素の表示輝度の時間に対する変化は、第1フィールドで画素を白表示させるレベルを、第2フィールドで画素を黒表示させるレベルをそれぞれ示す矩形波（Rectangular Wave）にはならないものの、1フレーム期間を通して視認される画素の輝度は、その前半に映像データにตอบสนองし、その後半に黒輝度にตอบสนองするように変動する。従って、本実施例によれば、液晶表示装置の如きホールド型の表示装置においても所謂インパルス型の画像表示が行え、その画面に生成される動画像のぼやけが低減できる。なお、本実施例では、1フレーム期間における映像データの表示期間とブランキング・データの表示期間との各々を、このフレーム期間の50%に設定したが、ブランキング・データの表示期間における走査クロックCL3の周波数を映像データの表示期間におけるそれより高めることや、映像データの表示期間におけるゲート線の選択を走査クロックCL3の複数のパルスに呼応させることにより1フレーム期間における映像データの表示期間の割合を大きくして表示画像の輝度を上げてよい。

【0063】第2の実施例 以下、本発明の第2の実施例を図1、図3、図4、及び図7乃至図9を用いて説明する。本実施例では、第1の実施例にて用いた液晶表示装置と同様な表示装置を用いられるが、図7のタイミング図に示されるこの表示装置に備えられた表示制御回路（タイミング・コントローラ）104への入力信号及びこれからの出力信号の夫々の波形から明らかなように、ドライバ・データ（出力信号として、メモリ回路105から読み出される表示データ）の水平帰線期間RETが入力データ（入力信号として、メモリ回路105に入力される映像データ）の水平帰線期間RETより短縮される。これにより、本実施例でのドライバ・データの読み出しとそのデータ・ドライバ102への転送は、図2のタイミング図を参照して説明された第1の実施例によるこれらの動作よりも短い時間で完了されるため、第1実施例にて述べた第1フィールドが本実施例では1フレーム期間の1/2の時間より短くなる。従って、本実施例においてその第2フィールドにおけるブランキング・データでの画素アレイの走査を上述の第1実施例のタイミングで

行っても、1フレーム期間における第1フィールド及び第2フィールドでの画素アレイの表示動作は、この1フレーム期間よりも早く終了する。換言すれば、本実施例では、第1フィールド及び第2フィールドのいずれにも属さない余剰な時間がフレーム期間毎に生じる。

【0064】<表示制御回路での映像データ処理>本実施例では、フレーム期間毎に、第1フィールドと第2フィールドとの表示装置の動作期間に対して余剰な時間を設け、第1フィールドで画素アレイに生成された画像を第2フィールドでブランキング画像で覆う前にこの余剰時間だけ画面内に保つ。従って、XGAクラスの解像度を有する液晶パネルからなる画素アレイを図3の駆動例に倣い動作させる場合、水平データ・クロックCL1及び走査クロックCL3の周波数を第1の実施例におけるこれらの1.25倍に設定し、夫々の384パルスで第1フィールドを完了させた後、夫々の192パルスに対して画素アレイの走査を止め、更に夫々の384パルスで第2フィールドを完了させることにより、1フレーム期間の60%を映像データの表示に、残り40%をブランキング・データの表示に夫々割り当てることができる。本実施例では、第1の実施例と同様に1フレーム期間のうちの映像データを画素アレイに入力する(書き込む)期間を第1フィールドと定義するも、これに続く画素アレイの走査を止める期間を第2フィールドと定義し、且つ第1の実施例で第2フィールドと定義したブランキング・データを画素アレイに入力する(書き込む)期間を新たに第3フィールドと定義する。

【0065】本実施例では、上述のように表示装置に入力される映像データの帰線期間RETの一部をフレーム期間毎にドライバ・データの読み出しに割り当ててその終了時刻を繰り上げるため、画素アレイをドライバ・データで走査する水平期間を表示装置に映像データを入力する水平走査期間より短くする。図7に示すように、入力データの帰線期間RETに対してドライバ・データのそれを短縮する処理の一例では、映像データ120を表示装置に入力するドット・クロック信号DOTCLK(映像制御信号121の一つとして先述)の帰線期間に対応するパルス数より、ドライバ・データ106とともにデータ・ドライバ102に転送するドット・クロックCL2(データ・ドライバ駆動信号群107に含まれる)の帰線期間に対応するパルス数が少なくされる。このドット・クロックCL2は、画素アレイの或る水平期間におけるデータ・ドライバ102からの階調電圧群の出力とこれに続く水平期間でのデータ・ドライバ102からの階調電圧群の出力との間隔をその間に挿入される帰線期間をも含めて決め、その間隔に応じて水平データ・クロックCL1のパルス間隔も決まる。さらに、この間隔に応じて走査クロックCL3のパルス間隔(ゲート線の選択タイミング)も決まる。従って、第1実施例にて用いた液晶表示装置を本実施例で用いる場合、これに備えられたタイミ

ング・コントローラ(表示制御回路)104は第1実施例でのそれと異なるタイミング制御を行う。例えば、本実施例での映像データ入力の水平走査期間HSYNCに対する水平データ・クロックCL1及び走査クロックCL3の夫々の周波数は、画素アレイの動作を図3及び図4に示す駆動例のいずれに倣う場合も第1実施例でのそれらよりも高くなる。

【0066】更に、本実施例では上述の如く、1フレーム期間を3つのフィールドに分割し、その第1フィールドで画素アレイに映像データを書き込み、これにより生成された画像を次の第2フィールドで画素アレイにホールドし、最後の第3フィールドで画素アレイにブランキング・データを書き込み、この画像をブランキング画像で覆う。

【0067】映像データの書き込み及び読み出しが独立に行える2つのメモリ回路105が接続される表示制御回路(タイミング・コントローラ)104を備えた第1実施例と同じ表示装置を本実施例で用いる場合、表示制御回路104はフレーム期間毎に表示装置に入力された映像データを第1ポート109又は第2ポート111を通してメモリ回路105-1、105-2の一方に書き込みながら、その第1フィールドにて前のフレーム期間にメモリ回路105-1、105-2の他方に書き込まれた映像データを読み出す。第1フィールドの表示動作に1フレーム期間の40%を割り当てる本実施例では、映像データをライン毎にメモリ回路105へ書き込む時間の約40%に相当する時間で1ライン置きにドライバ・データとして読み出す。本実施例では、第1実施例と同様に、或るフレーム期間では映像データの奇数ライン分を、その次のフレーム期間では映像データの偶数ライン分を夫々読み出す工程をフレーム期間毎に繰り返す。また、各フレーム期間の第1フィールドにて1ライン分毎に読み出されたドライバ・データに基づいて階調電圧群(各データ線に対するドライバ出力電圧)を逐次生成し、その各々を第1実施例と同様に図3又は図4の駆動例に応じて画素アレイの2ライン(画素行の2行)へ出力する。即ち、本実施例でも画素アレイは所謂2ライン同時選択駆動を行う。しかしながら、これらの動作(画素アレイの1画面分の表示動作)に1フレーム期間の50%に相当する期間を割り当てる第1実施例に対し、本実施例は1フレーム期間の40%に相当する期間を割り当てる。

【0068】本実施例では、1フレーム期間の40%に相当する期間で画素アレイ(液晶パネル)101に生成された画像をこれに続く1フレーム期間の20%に相当する期間(第2フィールド)を通して継続して表示し、更にこの第2フィールドに続く1フレーム期間の40%に相当する期間(第3フィールド)で、画素アレイ(液晶パネル)101をブランキング表示させる。このブランキング表示動作は、第1実施例と同様に表示制御回路(タイミング・コントローラ)104からブランキング・データを

データ・ドライバ102に供給して行っても、又は後述の走査開始信号FLMのパルスに呼応してデータ・ドライバ102自体にブランキング表示用の階調電圧群を発生させてもよい。

【0069】本実施例では、上述の第1フィールドでの画像表示のみならず、第3フィールドにおける画像表示（ブランキング表示）においても、画素アレイの各水平期間における帰線期間を表示装置に入力される映像データの水平帰線期間よりも図7に示すように短くする。換言すれば、第3フィールドにてブランキング・データに

10 応じたデータ・ドライバ102からの画素アレイ全域への階調電圧出力も1フレーム期間の40%で行われる。なお、第3フィールドにおいても、第1フィールドと同様に図3又は図4の駆動例に応じ、階調電圧の出力毎に画素アレイのゲート線（走査線）の2ライン（これらに対応する画素行の2行）を走査ドライバ103で選択する、所謂2ライン同時選択駆動が行なわれる。

【0070】本実施例の第2フィールドでは、第1フィールドにて画素アレイ101に生成された画像を保持する

20 ため、走査ドライバ103による画素行の選択を止めるとよい。上述のように、走査クロックCL3に呼応した走査ドライバ103による画素アレイの1画面分のゲート線（及びこれに対応する画素行）の選択は走査開始信号FLMのパルスに呼応して開始されるため、本実施例では、このパルスの第1フィールド及び第3フィールドの夫々の開始時に発生させ、又は走査開始信号FLMのパルスを1フレーム期間の20%に相当する期間毎に発生させ且つこのうちの第1フィールド及び第3フィールドの開始に呼応するものだけに走査ドライバ103を感応させる。このため、本実施例では、表示制御回路（タイミ

30 ング・コントローラ）104からデータ・ドライバ102に供給される水平データ・クロックCL1のパルス間隔をその帰線期間を水平同期信号HSYNCより短くした分だけ詰め、この水平データ・クロックCL1のパルス間隔に合わせて表示制御回路104から走査ドライバ103に供給される走査クロックCL3のパルス間隔を調整するのみならず、これから走査ドライバ103に供給される走査開始信号FLMのパルス間隔も第1実施例とは異なる手法で調整することが望ましい。

【0071】<画像表示タイミングとその制御>図8

40 は、本実施例での画素アレイ101による映像データとブランキング・データの表示タイミングを示す図（タイミング・チャート）、図9は画素アレイ101を図8に示す表示タイミングに応じて動作したときの輝度応答の一例を示す図である。図8のタイミング・チャートにおいて、時間軸沿いに連続する2つのフレーム期間（両端に矢印が付された線で夫々示される第1フレーム期間及びこれに続く第2フレーム期間）の各々を時間軸に沿って第1フィールド、第2フィールド、及び第3フィールドに順次分割し、上述したように第1フィールドでドライ

50

バ・データに応じた階調電圧群（第1実施例にて述べた第1階調電圧群）を画素アレイの画素群に夫々供給し、第2フィールドで画素群の各々に第1階調電圧を保持し、第3フィールドでブランキング・データに応じた階調電圧群（第1実施例にて述べた第2階調電圧群）を画素アレイの画素群に夫々供給する。

【0072】画素アレイとして第1実施例にて述べたXGAクラスの解像度を有するノーマリ黒表示モードの液晶パネルを用い、第1フレーム期間及び第2フレーム期間の各々において、その第1フィールドに画像データ（Image Data）として表示オンデータを、その第3フィールドに黒データ（Black Data）として表示オフデータを液晶パネルに表示させることで、図9の輝度応答（液晶パネルにおける液晶層の光透過率の変動）が得られる。本実施例の第2フィールドでは、画素アレイ101に設けられた各データ線に階調電圧が出力されないため、第1フィールドにて画素アレイに生成された画像は、理論的には暫し静止状態（Still State）に保たれる。しかしながら、特に画素アレイとして液晶パネルを用いるとき、液晶層の光透過率はその内部に生じた電界の強度変化に遅れて応答するため、その表示輝度（Display Brightness）は図9の第1フレーム期間及び第2フレーム期間の各々に示される如く、第2フィールドにおいても第1階調電圧で上昇し続ける。

【0073】表示装置のユーザにより視認される画素アレイの明るさが時刻毎における表示輝度の積分値に相当し、且つ黒データを液晶パネルに表示する期間を1フレーム期間の50%から40%に減じても視認される黒の度合いに大きな差がないと仮定すると、本実施例による表示装置の駆動方法は次のような利点をもたらす。本実施例では、1フレーム期間の始めの40%で画像データを画素アレイに書き込み、次の20%でこの画像データを画素アレイに保持することにより、画像データに基づく画像を画素アレイにより明るく表示する。即ち、第1実施例のそれに比べて映像データに応じた電界が液晶層に印加される時間が長くなるため、その光透過率（換言すれば、画素の表示輝度）が映像データに応じた値まで近づけ、又はその値に応答しきる。その後、1フレーム期間の終わりの40%で液晶層に印加される電界を消し、その光透過率を落とすため、1フレーム期間を通して第1実施例より高いコントラスト比で表示輝度が変化する印象をユーザに与える。

【0074】一方、本実施例では、図8に示すように走査開始信号FLMのパルスを第1フレーム期間及び第2フレーム期間の各々において、第1フィールド及び第3フィールドに生成させる。従って、走査開始信号FLMのパルスは図5に示す第1実施例のそれと異なり、等間隔で発生しなくなる。このような走査開始信号FLMのパルスは、例えば表示制御回路104又はその周辺回路において、発生された走査クロックCL3のパルスをカウ

ントし、そのカウント数に応じてフレーム期間毎の開始時刻とともに第1フィールド及び第3フィールドの夫々の開始時刻を検知して生成される。

【0075】走査クロック信号CL3を表示制御回路104に接続させたパルス発振器で等間隔のパルスを含む信号として発生させ、XGAクラスの液晶パネルを図8に示す表示タイミングに則して動作させるとき、この動作を図3に示す駆動例に倣って行う場合は960パルスの走査クロック信号CL3で、この動作を図4に示す駆動例に倣って行う場合は960パルスの走査クロック信号CL3で、動作させる場合は1920パルスの走査クロック信号CL3で、1フレーム期間の表示動作が完了する。従って、図3に示す駆動例に倣って画素アレイを動作させるとき、走査クロックCL3の $n+1$ 番目( $n$ は任意の自然数)のパルスでその第1フィールドの画素アレイ走査を開始させる走査開始信号FLMの1パルスが生成されるフレーム期間において、走査クロック信号CL3の $n+576$ 番目のパルスでこのフレーム期間の第3フィールドでの画素アレイ走査を開始させる走査開始信号FLMの次の1パルスが生成され、走査クロック信号CL3の $n+960$ 番目のパルスでこのフレーム期間に続く次のフレーム期間の第1フィールドの画素アレイ走査を開始させる走査開始信号FLMのその次の1パルス(the Pulse after theNext)が生成される。このようなフレーム期間ごとの画素アレイの動作を図4に示す駆動例に倣い行う場合は、走査クロックCL3の $n+1$ 番目のパルスでフレーム期間の第1フィールドの画素アレイ走査を開始させる走査開始信号FLMの1パルスが、その $n+1152$ 番目のパルスでこのフレーム期間の第3フィールドでの画素アレイ走査を開始させる走査開始信号FLMの次の1パルスが、その $n+1920$ 番目のパルスでこのフレーム期間に続く次のフレーム期間の第1フィールドの画素アレイ走査を開始させる走査開始信号FLMのその次の1パルスが夫々生成される。このような走査開始信号FLMのパルスは、走査クロックCL3に代えて水平データ・クロックCL1のパルスをカウントして生成してもよい。このように走査開始信号FLMのパルスを発生させるいずれの場合においても、フレーム期間毎に第1フィールドを開始させる走査開始信号FLMのパルスに呼応した画素アレイの走査は、その1画面分のデータ書き込みが終了すると次の走査開始信号FLMのパルスを受けるまで休止される。図3に示す駆動例に倣って画素アレイを動作させる上述の例では、走査クロック信号CL3の $n+385$ 番目のパルスから $n+575$ 番目のパルスまで走査ドライバ103はゲート選択パルスを出力しない。このため、走査クロック信号CL3の $n+1$ 番目から $n+384$ 番目迄のパルス群に呼応して画素アレイの各画素に入力された第1階調電圧は、少なくとも走査クロック信号CL3の $n+385$ 番目のパルスから $n+575$ 番目のパルスまで各画素に保持さ

れる。

【0076】上述のように、本実施例では走査開始信号FLMのパルス間隔をフレーム期間ごとに第1の間隔とこれと異なる第2の間隔とで交互に替えたが、このような走査開始信号FLMの採用に代えて、走査ドライバ103に走査クロックCL3のパルスをカウントする機能を付加し、そのカウント数に応じてこれによるゲート選択パルス出力動作の第2フィールドでの休止との第3フィールドでの再開を制御してもよい。この場合、走査開始信号FLMはフレーム期間毎にその開始時刻に呼応した(換言すれば、その第1フィールドにおける画素アレイ走査を開始させる)パルスのみを発生すれば十分であるが、その反面、走査ドライバ103の構造が複雑になることは否めない。上述した走査開始信号FLMのパルスをフレーム期間毎に不等間隔で発生させる手法は、走査ドライバ103として市販の集積回路素子を利用し、且つ表示制御回路又はその周辺の設定変更を最小限に留める点で有利である。

【0077】なお、図8に示した第1フレーム期間の第1フィールドでは、図3又は図4に示した如き駆動例に倣い、画素アレイの全域に映像データの奇数ライン分を1回書き込み、その第2フィールドでは奇数ラインの映像データのみによる映像を画素アレイにそのままホールドし、その第3フィールドでは第1フィールドと同じ手法で画素アレイを走査してその全域にブランキング・データを1回書き込む。また、第1フレーム期間に続く第2フレーム期間の第1フィールドでは、第1フレーム期間の第1フィールドと同様に図3又は図4に示した如き駆動例に倣い、画素アレイの全域に映像データの偶数ライン分を1回書き込み、その第2フィールドでは偶数ラインの映像データのみによる映像を画素アレイにそのままホールドし、その第3フィールドでは第1フィールドと同じ手法で画素アレイを走査してその全域にブランキング・データを1回書き込む。このような一連の画素アレイの動作は1フレーム期間置きに繰り返される。また、第1フレーム期間の第1フィールドで画素アレイに映像データの偶数ライン分を書き込み、第2フレーム期間の第1フィールドで画素アレイに映像データの奇数ライン分を書き込んでよい。

【0078】本実施例において、フレーム期間毎にその第3フィールドで、ブランキング・データとして、画素アレイの各画素の輝度を最小に近づける所謂黒データが画素アレイに書き込まれることにより、夫々のフレーム期間の第1フィールド及び第2フィールドを通して映像データに応じた輝度に応答した画像を表示する画面が第3フィールドになるや否や漆黑に変わる。このため、連続する複数のフレーム期間を通して表示画像を変えらる所謂動画像を画素アレイに生成するとき、その画面に生じる動画ばやけ(表示物体の輪郭のにじみ)が低減される。

【0079】なお、本実施例では、映像データの表示期間とブランキング・データの表示期間をフレーム期間の60%及び40%に夫々設定したが、画素アレイの明るさに応じ、上述の第2フィールド（ゲート選択パルス出力の休止期間）と第3フィールド（画素アレイへの黒データ書き込み期間）とを時間軸沿いに入れ替えてもよい。この場合、1フレーム期間の始めの40%での画素アレイへの映像データ書き込みが終わるや否や、その次の40%での画素アレイへの黒データ書き込みが開始され、その最後の20%で画素アレイはブランキング画像表示状態にホールドされる。これにより、1フレーム期間における映像データの表示期間とブランキング・データの表示期間との比率は、40%：60%に逆転される。

【0080】第3の実施例 以下、本発明の第3の実施例を図1乃至図4、及び図10乃至図13を用いて説明する。本実施例では、ブランキング・データの画素アレイへの書き込みをその走査線（ゲート線）を4ライン置きに逐次選択して行い、又はブランキング・データに対応する階調電圧群の出力期間にこの階調電圧群を4ラインの走査線で夫々制御される画素行に供給することにより、表示装置に入力される映像データのフレーム期間毎にその75%で映像データを、その25%でブランキング・データを画素アレイに順次表示する。従って、フレーム期間毎にその50%で映像データを、その50%でブランキング・データを画素アレイに順次表示する第1実施例に比べて、本実施例ではフレーム期間毎の映像データに応じた画像表示期間の比率が高い。また、本実施例では、第2実施例で述べたように各フレーム期間の冒頭で画素アレイに映像データを書き込み、その終了後に暫く映像データを画素アレイに保持する。従って、図10のタイミング・チャートに示されるように夫々のフレーム期間（図10には第1フレーム期間とこれに続く第2フレーム期間が示される）を3つのフィールドに分割し、第1フィールドでは映像データを画素アレイに書き込み、これに続く第2フィールドで映像表示を画素アレイにホールドする。本実施例では、この第1フィールドと第2フィールドとを合わせた1フレーム期間の75%に相当する時間に亘り、画素アレイでの映像表示が行われる。更に本実施例では、この第2フィールドに続く第3フィールド（1フレーム期間の25%に相当）で画素アレイにブランキング・データを書き込み、画素アレイでのブランキング表示が行われる。本実施例では、第1フィールドでは映像データを画素アレイに書き込み、これに続く第2フィールドで映像表示を画素アレイにホールドする。本実施例では、1フレーム期間の50%を第1フィールドに、その25%を第2フィールドに夫々割り当てて、画素アレイに配置された各画素への階調電圧の印加時間を第2実施例のそれより長くする。従って、或る映像データによる画像を同じ輝度で画素アレイに表示

させるとき、本実施例ではデータ・ドライバ102に加わる負荷が軽減される。

【0081】<表示データと表示制御信号の生成>本実施例では、第1実施例及び第2実施例と同様に、XGAクラスの解像度を有し且つノーマリ黒表示モードで画像を表示する液晶パネルが画素アレイとして搭載された表示装置を用いる。その構成及び機能は、第1実施例で図1を参照して述べたそれと概ね同じである。本実施例でも第1実施例と同様に、図2に示される入力データの如く、映像データが水平同期信号HSYNCに同期して1ライン毎に表示装置に入力される。表示装置に入力された映像データはフレーム期間毎にその表示制御回路（タイミング・コントローラ）に接続された2つのメモリ回路105のいずれか一方に交互に一旦記憶される（図1参照）。2つのメモリ回路105のいずれか一方に映像データを記憶させたフレーム期間の終了後、次のフレーム期間で表示装置に入力される映像データをメモリ回路105の他方に記憶させながら、メモリ回路105の一方から映像データを1ライン置きに表示データとして読み出し、ドライバ・データ106としてデータ・ドライバ102に転送する。このような一連の動作をフレーム期間毎に繰り返す。メモリ回路105からの表示データの読み出しは、1フレーム期間置きに映像データの奇数ライン分又は偶数ライン分を交互に読み出して行われる。例えば、図10の第1フレーム期間に映像データの奇数ライン分が、第2フレーム期間に映像データの偶数ライン分が、この第2フレーム期間の次のフレーム期間に映像データの奇数ライン分がメモリ回路105から順次読み出され、フレーム期間の各々で読み出されなかった残りの映像データは棄てられる。このようにしてフレーム期間毎にその第1フィールドでメモリ回路105から読み出され、データ・ドライバ102へ転送される表示データに基づいて、データ・ドライバ102は階調電圧群（第1の実施例で述べた第1階調電圧群）を生成し、XGAクラスの解像度でカラー画像を表示する画素アレイに並設された3072本のデータ線の夫々に出力する。この第1階調電圧群に含まれる第1階調電圧の各々は、3072本のデータ線のいずれかに対応する画素に供給される。この第1階調電圧を受ける画素は、後述のゲート選択パルス（走査信号のパルス）が印加されるゲート線沿いに並び、画素行をなす。表示データとしてデータ・ドライバ102に転送された奇数ライン又は偶数ラインの映像データに対し、データ・ドライバ102は第1階調電圧群を第1フィールド内に384回出力する。

【0082】一方、画素アレイを図3の駆動例に倣い動作させるとき、データ・ドライバ102による第1階調電圧群の出力毎に、画素アレイのゲート線の2本毎に順次走査ドライバ103からゲート選択パルスが印加される。画素アレイを図4の駆動例に倣い動作させるとき、データ・ドライバ102による第1階調電圧群の出力周期の1

ノ2の間隔で、画素アレイのゲート線の1本毎に順次走査ドライバ103からゲート選択パルスが印加される。XGAクラスの解像度でカラー画像を表示する画素アレイを図3の駆動例に倣い動作させる場合、走査ドライバ103は第1フィールドにてゲート選択パルスを384回出力する。また、この画素アレイを図4の駆動例に倣い動作させる場合、走査ドライバ103は第1フィールドにてゲート選択パルスを768回出力する。

【0083】以上の工程により、夫々のフレーム期間の第1フィールドにて、画素アレイの垂直方向に並ぶ768本の画素行がゲート選択パルスで順次選択され、夫々の画素行に含まれる3072個の画素に第1階調電圧が供給される。データ・ドライバ102からの第1階調電圧群の出力は、表示制御回路(タイミング・コントローラ)104からデータ・ドライバ102に送られる水平データ・クロックCL1のパルスに、走査ドライバ103からのゲート選択パルス(走査信号パルス)の出力は、表示制御回路104から走査ドライバ103に送られる走査クロックCL3のパルスに夫々呼応する(例えば、同期する)。また、第1フィールドにおいて各画素に第1階調電圧を供給する(画素アレイに映像を生成する)一連の工程は、表示制御回路104から走査ドライバ103、必要に応じてはデータ・ドライバ102に供給される走査開始信号FLMのパルスにより開始される。換言すれば、データ・ドライバ102は水平データ・クロックCL1の周波数に応じて第1階調電圧群を出力し、走査ドライバ103は走査クロックCL3の周波数に応じてゲート選択パルスを出力する。本実施例では、水平データ・クロックCL1のパルスを映像データとともに表示装置に入力される水平同期信号HSYNCのそれと同じ周期で発生させる。

【0084】本実施例では、図10のタイミング・チャートの如く、フレーム期間毎に第1フィールドに続く1フレーム期間の25%の期間を第1フィールドで供給された第1階調電圧を各画素にて保持する第2フィールドに宛がう。第2フィールドでは、例えば第1フィールドにて画素アレイを走査させた走査クロックCL3のパルス数の半数のパルスに対して走査ドライバ103からのゲート選択パルス出力(走査信号パルス)を止める。また、第2フィールドでは、例えば第1フィールドにて第1階調電圧群を出力させた水平データ・クロックCL1のパルス数の半数のパルスに対してデータ・ドライバ102からの階調電圧群の出力を止める。第2実施例にて述べたように、画素アレイの1画面分のゲート線(画素行)の走査が終了し、又はデータ・ドライバ102に入力された1フレーム期間分の表示データに対応する第1階調電圧が出力され尽くしても、走査開始信号FLMのパルスが新たに生成されない限り、データ・ドライバ102及び走査ドライバ103は次の画素アレイへの階調電圧の出力と画素アレイの走査を開始しないため、ゲート選択

パルスや階調電圧群の出力が休止する。

【0085】さらに、本実施例では、図10のタイミング・チャートの如く、フレーム期間毎に第2フィールドに続く1フレーム期間の25%の期間を各画素に第2階調電圧を供給する第3フィールドに宛がう。第2階調電圧を受けた各々の画素の表示輝度は、これが第1階調電圧を受けたときのそれ以下となる。第1階調電圧で黒く表示される画素は第2階調電圧で黒又はこれに近い色で表示されるが、その他の画素(特に第1階調電圧で白又はこれに近い色で表示される画素)の表示輝度は、第3フィールドの開始とともに減少する。従って、本実施例でも第2実施例同様、各フレーム期間において、第3フィールドにて画素アレイにブランキング画像を表示させるが、その期間は第1実施例並びに第2実施例のそれに比べて短い。このように短縮されたブランキング表示期間を補償すべく、本実施例では、第3フィールド(画素アレイへのブランキング・データ書込み期間)にて走査クロックCL3のパルス毎(画素アレイ動作の水平期間毎)に出力されるゲート選択パルス(走査信号パルス)が印加されるゲート線の数、第1フィールド(画素アレイへの表示データ書込み期間)におけるその数より増やされる。この手法は、図3の駆動例で用いた走査ドライバ103を用いる表示装置に好適である。また、図4の駆動例で用いたような、走査クロックCL3の1パルスに対して複数のゲート線を選択できない走査ドライバ103を用いる表示装置では、第3フィールドにおける走査クロックCL3の周波数を第1フィールドにおけるそれより高くすることで、短縮されたブランキング表示期間での画素アレイ全域へのブランキング・データ入力を完了させる。

【0086】第3フィールドにて水平期間毎にゲート選択パルスが印加されるゲート線数を第1フィールドでのそれより多くして画素アレイを動作する例は、図11を参照して説明される。この例では、走査クロックCL3の1パルスに呼応して画素アレイのゲート線の2ラインのみならず、4ラインにもゲート選択パルスを印加できる(所謂4ラインの同時選択対応の)走査ドライバ103を用いる。データ・ドライバ102からの第2階調電圧群(ブランキング・データ)の出力毎(画素アレイ動作の水平期間毎)に、走査ドライバ103はゲート線群G1、G2、G3、G4、その次のゲート線群G5、G6、G7、G8の順に4本のゲート線を4本置きに順次選択し、選択されたゲート線群(4本のゲート線)に対応する夫々の画素行には第2階調電圧群が順次印加される。このため、図11のタイミング・チャートに拠る第3フィールドでの画素アレイへのブランキング・データ入力は、水平データ・クロックCL1のパルスに呼応したデータ・ドライバ102からの192回の第2階調電圧出力と、走査クロックCL3のパルスに呼応したデータ・ドライバ102からの192回のゲート選択パルス出力とに

より完了する。従って、水平データ・クロックCL1のパルスが第3フィールドにおいても水平同期信号HSYNCのそれと同じ周期で発生させる場合、1フレーム期間の25%に相当する時間で画素アレイ全域にブランキング画像が生成される。

【0087】一方、第3フィールドにて走査クロックCL3の周波数を第1フィールドでのそれより高めて、そのパルスを水平期間毎に複数回発生させ、これに呼応して生成されるゲート選択パルスを画素アレイのゲート線の1ライン毎に順次印加する例は、図12を参照して説明される。この例では、走査クロックCL3のパルスを第1フィールドでのその4倍とし、このパルスを画素アレイの水平期間毎に4回発生させる。このため、図12のタイミング・チャートに拠る第3フィールド(画素アレイへのブランキング・データ入力期間)において、データ・ドライバ102からの第2階調電圧出力が図11のタイミング・チャートによるそれと同様に192回繰り返されるも、走査クロックCL3のパルスに呼応したデータ・ドライバ102からのゲート選択パルス出力は768回繰り返される。従って、水平データ・クロックCL1のパルスが第3フィールドでも水平同期信号HSYNCのそれと同じ周期で発生する場合、1フレーム期間の25%に相当する時間で画素アレイに並設された768本のゲート線に対応する画素行の総てに第2階調電圧が供給される。

【0088】以上の説明を総括すると、本実施例による表示装置及びその駆動方法は、フレーム期間毎における画素アレイへの表示データ入力(第1階調電圧による表示動作)期間と画素アレイへのブランキング・データ入力(第2階調電圧による表示動作)期間とで、走査クロックCL3のパルスに呼応して選択されるゲート線数(走査信号パルスが送られる画素行数)及び走査クロックCL3の周波数(パルス間隔)の少なくとも一方を変更することに特徴付けられる。

【0089】図11及び図12のいずれに示されたタイミング・チャートに拠る画素アレイへのブランキング・データ入力(第3フィールドでの画素アレイ動作)においても、走査ドライバ103からのゲート選択パルス(走査信号パルス)の出力様式(Outputting Pattern)は、画素アレイへの表示データ入力(第1フィールドでの画素アレイ動作)におけるそれとは異なる。ゲート選択パルスの出力様式をフィールドに応じて替える手法の一例として、第1フィールド及び第3フィールドでの画素アレイ走査を夫々開始させる走査開始信号FLMのパルスを走査ドライバ103に認識させて、これによる走査クロックCL3のパルス毎のゲート線選択数を走査ドライバ103内でのイネーブル信号(Enable Signal)の送信経路の変更等により切り替える。この手法は、図11に示された画素アレイの駆動例に好適である。また、ゲート選択パルスの出力様式をフィールドに応じて替える

手法の他の例として、走査開始信号FLMのパルスに応じて表示制御回路(タイミング・コントローラ)104により走査クロックCL3の周波数(パルス間隔)をパルス発振器やこれに類似した回路の調整により切り替えてもよい。この手法は、図12に示された画素アレイの駆動例に好適である。

【0090】図4に示す画素アレイへの表示データ入力方法や図12に示す画素アレイへのブランキング・データ入力方法では走査クロックCL3のパルス間隔が水平データ・クロックのそれより短くなる。このため、或るゲート線に印加されるゲート選択パルスを走査クロックCL3の或るパルスで立ち上げ、このパルス(以下、 $n$ 番目のパルス)に続く走査クロックCL3のパルス(以下、 $(n+1)$ 番目のパルス)で立ち下げると、このゲート線に対応する画素行への階調電圧供給時間も短くなる。例えば、液晶パネルを画素アレイとして用いたとき、この画素行をなす各画素の画素電極の電位が表示データやブランキング・データに対応した値に到達しなくなる可能性も否めない。これに対して、走査ドライバ103に例えばシフトレジスタ又はこれに類似する機能を有する回路を内蔵させ、走査クロックCL3の $n$ 番目のパルスで立ち上がるゲート選択パルスをその $(n+m)$ 番目のパルス( $m$ は2以上の自然数)で立ち下げることにより、このゲート選択パルスで選択される画素行への階調電圧供給時間を延ばす。換言すれば、走査クロックCL3の1パルス間隔毎に画素行を選択し且つこの時間内で選択された画素行をなす画素へ階調電圧を供給する従来の手法に対し、図4及び図12に示される画素アレイの駆動例では、走査クロックCL3のパルス間隔の複数に相当する時間で画素行を選択し、この画素行をなす画素へ階調電圧を供給する。

【0091】このように走査ドライバ103による走査信号パルスの立ち上がりや立ち下がり(Rise and/or Fall of Scanning Signal Pulse)の制御を走査クロックCL3のパルス毎に逐次行わず、その特定なパルスを走査ドライバ103に認識させて行わせる手法は、本実施例にて次のように応用してもよい。例えば、走査クロックCL3の周波数を1フレーム期間を通して上述の第3フィールドでの値(水平データ・クロックの周波数の4倍)にする。このとき、第1フィールドにおける画素アレイへの表示データ入力期間にて、走査クロックCL3はパルスを1536回発生するため、画素アレイの垂直方向沿いの半ばに位置する画素行に供給されるべき第1階調電圧群が出力する時点で画素アレイの垂直方向沿いの走査が完了する。従って、画素アレイに表示される画像は本来のそれに比べて垂直方向に引き延ばされる。そこで、第1フィールドにおける走査ドライバ103の各ゲート線に対する走査信号パルスの立ち上げ動作を走査クロックCL3の1パルス置きに行わせる。また、走査信号パルスの立ち下げ動作は、各走査信号パルスの立ち

上げ動作に対応する走査クロックCL3のパルスから数えて4番目のパルスに呼応させて行わせる。即ち、第1フィールドにおいても第3フィールドと同様に走査クロックCL3のパルス間隔の4倍の時間で画素行に階調電圧を供給する。この画素アレイの駆動例は、第1フィールドと第3フィールドとに宛がう時間の比率に応じて走査クロックCL3の周波数を水平データ・クロックCL1のそれに対する倍率を変え、第1フィールドにおける走査信号パルスの立ち上げ(ゲート選択パルスの出力)を走査クロックCL3の複数のパルス毎に行うことに特徴付けられる。

【0092】<画像表示タイミング>本実施例では、図10のタイミング・チャートに則り、フレーム期間毎に画素アレイを表示データ(映像データ)及びブランキング・データで順次走査する。表示データは、第1実施例及び第2実施例にて述べたように、1フレーム期間置きに表示装置に入力された映像データの奇数ライン分及び偶数ライン分のいずれか一方を交互に読み出し、ドライバ・データ106としてデータ・ドライバ102へ転送する。例えば、図10に示された第1フレームの第1フィールドでは、或るフレーム期間に表示装置に入力された映像データの奇数ラインに対応する一群に基づく第1階調電圧群をデータ・ドライバ102から画素アレイ101全域に入力し、第2フレームの第1フィールドでは、或るフレーム期間の次のフレーム期間に表示装置に入力された映像データの偶数ラインに対応する一群に基づく第1階調電圧群をデータ・ドライバ102から画素アレイ101全域に入力する。いずれのフレーム期間においても、第1階調電圧の出力に対して画素アレイの画素行の2行が選択される。

【0093】いずれのフレーム期間においても、第1フィールドに続く第2フィールドでは、第1フィールドで入力された第1階調電圧群を画素アレイ全域にて保持する。第2フィールドにおいて、例えば液晶パネルの画素に設けられた画素電極からの電荷の漏洩により画素に保持されるべき階調電圧が低下するも、画素アレイによる画像表示に支障をきたすものでない。従って、このような状況を含めて、第2フィールドを画素アレイに設けられた夫々の画素による第1階調電圧の保持期間と定義する。

【0094】いずれのフレーム期間においても、第2フィールドに続く第3フィールドでは、ブランキング・データに基づく第1階調電圧群をデータ・ドライバ102から画素アレイ101全域に入力する。本実施例では、水平データ・クロックCL1の1パルスに呼応した(水平期間毎の)データ・ドライバ102からの第1階調電圧の出力に対して画素アレイの画素行の4行が選択される。換言すれば、1回の階調電圧出力に対して選択される(或る階調電圧が供給される)画素行数が表示データによる画像表示時に比べてブランキング画像表示時に多くなる

ため、画素アレイにおけるブランキング画像の解像度も表示データによる画像に比べて下がる。しかしながら、表示装置の画面を一様に黒又はそれに近い色で表示してブランキング画像を生成する場合は、その解像度の低下は問題とならない。また、表示データによる画像の特定の領域(画素)の輝度を第3フィールドで選択的に下げる場合、この特定領域を含むブランキング画像の一部の表示輝度を他の部分より下げることで、上述の解像度の相違の影響は打ち消される。

【0095】図13は、画素アレイとして用いたXGAクラスの解像度を有するノーマリ黒表示モードの液晶パネル(第1実施例及び第2実施例でも用いた)に、第1フレーム期間及び第2フレーム期間の各々にて、その第1フィールドに画像データ(Image Data)として表示オンデータを、その第3フィールドに黒データ(BlackData)として表示オフデータを夫々入力させて得られた画素アレイ(液晶パネル)の輝度応答(液晶パネルにおける液晶層の光透過率の変動)を示すグラフである。本実施例の第2フィールドでも、第2実施例のそれと同様に、画素アレイ101に設けられた各データ線に階調電圧が出力されないため、第1フィールドにて画素アレイに生成された画像は、第2フィールドにて理論的には静止状態に保たれるはずであるが、画素アレイとして液晶パネルを用いると、液晶層の光透過率がその内部に生じた電界の強度変化に遅れて応答するため、画素アレイの表示輝度は第2フィールドにおいても上昇し続ける。従って、本実施例でも第2実施例と同様に、1フレーム期間において映像データに応じた電界が液晶層に印加される時間が延び、画素の表示輝度は映像データに応じた値まで近づけ、又はその値に応答しきる。このようにして画素アレイに生成された画像は、1フレーム期間の終わりの25%(第3フィールド)で液晶層に印加される電界を弱め、液晶層の光透過率を落とすことにより黒又はこれに近い色で一様に表示される画像に置き換えられるため、1フレーム期間を通して第1実施例より高いコントラスト比で表示輝度が変化する印象をユーザに与える。

【0096】本実施例では、上述のように第2実施例による表示装置及びその駆動方法の利点に加えて、第2実施例の第3フィールドよりも短い時間で画素アレイ(表示装置の画面)の輝度が下がる。この効果は、ブランキング・データに応じた階調電圧を図11又は図12のデータ・ドライバ出力波形と夫々のゲート線G1, G2, G3, ...に出力されるゲート選択パルスに則り画素アレイに出力することに因る。従って、本実施例による表示装置は、第2実施例による表示装置に上述した走査クロックCL3の周波数変調やゲート選択パルス制御等のシステムが付加されるも、第2実施例によるそれに比べて次のような利点が得られる。その一つは、映像データに基づく画像の表示輝度の向上である。これは、本実施例にて、第1フィールドにおける画素アレイへの画像デー

タ（表示データ）の書き込み時間が延ばしやすく、且つ第1フィールドから第2フィールドに亘る画像表示時間も延ばしやすいことに拠る。その他の一つは、特に画素アレイによる動画像表示で生じる移動物体の輪郭のにじみ（ぼやけ）の更なる低減である。これは、本実施例により、フレーム期間毎に高い表示輝度で生成された画像（映像データに基づく）を第3フィールドの短い時間内でブランキング画像に置き換えることで、画素アレイに生成される映像がインパルス型の表示装置のそれにより近づくことに拠る。

【0097】なお、本実施例では、映像データの表示期間とブランキング・データの表示期間をフレーム期間の75%及び25%に夫々設定したが、画素アレイの明るさに応じ、上述の第2フィールド（ゲート選択パルス出力の休止期間）と第3フィールド（画素アレイへの黒データ書き込み期間）とを時間軸沿いに入れ替えてもよい。この場合、1フレーム期間の始めの50%での画素アレイへの映像データ書き込みが終わるや否や、その次の25%での画素アレイへの黒データ書き込みが開始され、その最後の25%で画素アレイはブランキング画像表示状態にホールドされる。これにより、画素アレイによる映像データの表示期間とブランキング・データの表示期間とは、ともに1フレーム期間の50%に設定される。

【0098】第4の実施例 以下、本発明の第4の実施例を図1、図11、図12、図14から図16を用いて説明する。本実施例でも、図1に示す表示装置を用い、これに入力される映像データをフレーム期間毎にメモリ回路105のいずれか一方に1フレーム期間置きに交互に格納する。メモリ回路105の一方に格納された1フレーム期間分の映像データは、次の1フレーム期間分の映像データがメモリ回路105の他方に格納され始めるとともに表示データとしてメモリ回路105の一方から読み出され、ドライバ・データ106としてデータ・ドライバ102に転送される。しかし、本実施例では、メモリ回路105から表示データを読み出す工程において、上述の各実施例と異なり、映像データをなす水平方向のデータ群を1ライン毎に読み出す。このため、図14のタイミング・チャートのドライバ・データ波形に示される如く、フレーム期間毎に映像データの奇数ライン分（L1, L3, L5, ...）と偶数ライン分（L2, L4, L6, ...）とが一緒に表示データとして読み出される。

【0099】また、本実施例では、画素アレイによる表示動作の1フレーム期間を2つのフィールドに分割し、第1フィールドでは画素アレイに表示データ（上述の如く映像データを1ライン毎に読み出して得られる）を書き込んで映像を表示し、これに続く第2フィールドでは画素アレイにブランキング・データの書き込んでブランキング画像を表示する。このため、本実施例では、画素アレイによる1フレーム期間を表示動作に含まれる帰線

期間（水平帰線期間や垂直帰線期間）を短縮し、表示装置に入力される映像データ120に含まれる帰線期間の少なくとも一部を、第2フィールドにおけるブランキング画像表示に割り当てる。これにより本実施例では、1フレーム期間の75%を映像データに基づく画像表示期間に、その残り25%をブランキング画像表示期間に割り当てる。このような画像表示タイミングに合わせ、本実施例では表示装置に備えられた表示制御回路（液晶タイミング・コントローラ）104によるタイミング制御も上述の各実施例のそれと異ならせている。

【0100】<表示制御回路での映像データ処理>本実施例では、第1フィールドにて表示装置に入力された映像データを1ライン毎に読み出して生成された映像データを画素アレイに入力するため、その水平データ・クロックCL1及び走査クロックCL3の周波数は、映像データの水平同期信号HSYNCのそれより高くなる。画素アレイの表示動作における水平帰線期間を短縮した場合、水平データ・クロックCL1及び走査クロックCL3のパルス間隔は水平同期信号HSYNCのそれに比べて、映像データの水平帰線期間と画素アレイの表示動作の水平帰線期間との差に応じて短くなる。一方、本実施例では、映像データの水平帰線期間の一部を第2フィールドに宛がうため、これによるブランキング画像表示の時間も上述の各実施例に比べて限られる。従って、データ・ドライバ102からの第2階調電圧の1回の出力に対してより多くの画素行を選択し、この第2階調電圧をこれらの画素行に一括して供給することが望ましい。

【0101】図15の各フレーム期間における第2フィールドでの画素アレイの動作は、例えば、第3実施例の第3フィールドのそれに倣って行うとよい。本実施例によるXGAクラスの解像度を有する画素アレイの表示動作は、その第2フィールドにおけるブランキング画像表示を図11のタイミング・チャートに則って行う場合、水平データ・クロックCL1及び走査クロックCL3の768パルスで第1フィールドの画素アレイ走査が、これらの192パルスで第2フィールドの画素アレイ走査が夫々完了される。また、この画素アレイによる第2フィールドにおけるブランキング画像表示を図12のタイミング・チャートに則って行うと、第1フィールド並びに第2フィールドの画素アレイ走査に要する水平データ・クロックCL1の夫々のパルス数、及び第1フィールドの画素アレイ走査に要する走査クロックCL3のパルス数は図11のタイミング・チャートに則る場合のそれらと同じながらも、第2フィールドの画素アレイ走査を完了させる走査クロックCL3のパルスは、その間隔を第1フィールドにおけるその1/4に縮めて768回発生される。第2フィールドにおける画素アレイ走査を、図11のタイミング・チャートにより行う場合も、図12のタイミング・チャートに拠る場合も、画素アレイは1フレーム期間の80%で映像データによる画

像表示を、その 20% でブランキング画像表示を夫々行う。このため、映像データの水平帰線期間及び垂直帰線期間の少なくとも一方から 1 フレーム期間の 20% に相当する時間を捻出することが要請される。

【0102】上述のとおり、本実施例では XGA クラスの解像度を有する画素アレイ（液晶パネル）を用い、これによる映像データに基づいた画像の表示に 1 フレーム期間の 75% を、これによるブランキング画像の表示に 1 フレーム期間の残り 25% を期間に夫々割り当てる。従って、水平データ・クロック CL1 の 768 パルスに

10 より映像データに拠る画像表示が、その 256 パルスによりブランキング画像表示が夫々完了される。

【0103】<画像表示タイミング>本実施例では、図 15 に示される第 1 フレーム期間及び第 2 フレーム期間のいずれにおいても第 1 フィールドでは、夫々のフレーム期間に対応してメモリ回路 105 のいずれかに格納された映像データを 1 ライン毎に（奇数ライン分、偶数ライン分の区別なく）読み出し、これにより生じた第 1 階調電圧を画素アレイの 1 画素行毎に順次供給することで全画面（画素アレイの全域）への映像データの全画面の書き込みを行う。また、第 1 フレーム期間及び第 2 フレーム期間の夫々の第 2 フィールドでは、図 11 又は図 12 に示したタイミング・チャートに則りブランキング・データを画素アレイの全域（全画面）に書き込む。ブランキング・データは、データ・ドライバ 102 により第 2 階調電圧として画素アレイの有効表示領域（画像表示に寄与する領域）に二次元的に配置される画素の各々に供給される。但し、本実施例では、夫々のフレーム期間において、その 75% を第 1 フィールドに、残りの 25% を第 2 フィールドに割り当てるため、図 11 の方法に則る第 2 フィールドにおけるブランキング・データの画素アレイへの入力

はゲート選択パルスをゲート線の 3 ライン毎に且つ 3 ライン置きに順次出力する。また、図 12 に示す方法に則る第 2 フィールドにおけるブランキング・データの画素アレイへの入力

は、走査クロック CL3 の周波数を水平データ・クロック CL1 のその 3 倍に高めて行う。

【0104】このような画像表示タイミングによりノーマリ黒表示モードの液晶パネルを動作したときの画素の輝度応答を図 16 に示す。この液晶パネルの画素には、第 1 フレーム期間及び第 2 フレーム期間の夫々において、第 1 フィールドにて画素を白く表示する表示オンデータが、第 2 フィールドにて画素を黒く表示する表示オフデータ（ブランキング・データ）が夫々書き込まれる。図 16 に示すように、液晶パネルの画素はフレーム期間毎に、その第 1 フィールドで映像データに応じた輝度に応答した後、その第 2 フィールドで黒輝度に応答する所謂インパルス型表示装置の画素のような輝度変化を示す。このため、連続するフレーム期間にて表示画像が変化する場合、フレーム期間毎に表示画像が画面から消

される。これにより、画素アレイで動画像を表示するときに表示される移動物体の輪郭に生じる動画ぼやけが低減される。

【0105】第 5 の実施例 映像データは、垂直同期信号 VSYNC に同期してフレーム期間毎に、これより周波数の高い水平同期信号 HSYNC に同期して各フレーム期間の 1 ライン毎（水平方向のデータ毎）に、水平同期信号 HSYNC より周波数の高いドット・クロック DOTCLK に同期して各ラインに含まれるドット（画素）毎に、表示装置に入力される。垂直同期信号 VSYNC、水平同期信号 HSYNC、及びドット・クロック DOTCLK は、先述のとおり映像制御信号として映像データとともに表示装置に入力される。表示装置に入力された映像データから映像制御信号を用いて表示データを読み出す場合、画素アレイの画素行毎に供給される表示データの要素の読み出し速度は、これに対応する映像データのライン毎のデータを構成する要素の表示装置への入力速度を律するドット・クロック DOTCLK により決められる。このため、上述の実施例では、図 2、図 7、及び図 14 の夫々に示される入力データ波形とドライバ・データ波形とを比較して明らかなように、映像データの 1 ライン分を表示装置への入力に要する時間（図 2 の入力データの六角形 L1, L2, L3, ... の各々の時間軸沿いの長さ）より映像データの 1 ラインを 1 ゲート選択パルスに対応する表示データとして読み出す時間（図 2 のドライバ・データの六角形 L1, L3, L5, ... の各々の時間軸沿いの長さ）を短くすることはできなかった。このため、第 1 実施例、第 2 実施例、及び第 3 実施例では映像データを 1 ライン置きに部分的に読み出し、第 2 実施例及び第 4 実施例では画素アレイの表示動作における帰線期間の合計を映像データの表示装置への入力工程における帰線期間の合計より小さくして、フレーム期間毎にブランキング画像を行う時間を捻出した。

【0106】本実施例では、表示装置に上記ドット・クロック DOTCLK より周波数の高いクロック信号を発生させ、メモリ回路に格納された映像データの 1 ラインをその入力時より短い時間で読み出し、上述の実施例よりも 1 フレーム期間における第 1 フィールドに宛がう時間の比率を抑える。これにより、1 フレーム期間毎に映像データに拠り生成される画像をそのフレーム期間内でブランキング画像により消去して動画像のぼやけを更に低減する。また、第 2 実施例のように画素アレイに入力された映像データを、一時的に画素アレイで保持する表示装置の駆動方法においては、画素アレイに映像データを保持する期間を延ばし、これにより表示される画像の輝度を上げる。このような利点をもたらす本実施例の表示装置は、次に記す構造的な特徴と、これに応じた機能上の特徴を備える。

【0107】<表示装置の構造>本実施例の表示装置の概要は、図 17 のブロック図に示される。本実施例の表

示装置は、図1を参照して第1実施例にて説明したそれと殆ど同じ構造を有するが、表示制御回路（液晶タイミング・コントローラ）204に接続されたクロック発生回路214が新たに設けられている。表示装置200は、テレビジョン受信機、パーソナル・コンピュータ、DVDプレーヤ等の映像信号源から映像データ220及び映像制御信号221（垂直同期信号VSYNC、水平同期信号HSYNC、ドット・クロックDOTCLK等を含む）を受ける表示制御回路（タイミング・コントローラ）204と、この表示制御回路204から表示データ及び表示制御信号

10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50

を受ける画素アレイ201とを備える。画素アレイ201としては、例えば、XGAクラスの解像度を有する液晶パネルを用いる。

【0108】表示制御回路204には表示装置200に入力された映像データ220をフレーム期間毎に格納するメモリ回路205が接続され、図示せざるも制御信号208に応じて第1ポート209から映像データ220が入力される第1部分（図1のメモリ回路105-1に相当）と制御信号210に応じて第2ポート211から映像データ220が入力される第2部分（図1のメモリ回路105-2に相当）とを夫々備える。このメモリ回路205の第1部分に格納された映像データは、その第2部分に別の映像データを格納する間でも読み出すことができ、第2部分に格納された映像データも第1部分への映像データ格納と並行して読み出せる。

【0109】本実施例では、このメモリ回路205に格納された映像データからの表示データの読み出しを、クロック発生回路214にて基準クロックとして発生される表示クロック215に呼応して（同期させて）行う。この表示クロック215を表示装置へ映像信号（映像データ）を入力する入力クロックより高い周波数で生成し、これに

30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50

拠り映像データの1ラインをメモリ回路205から読み出すことにより、この1ラインの映像データのメモリ回路205からの読み出しに要する時間はこの1ラインの映像データのメモリ回路205への格納に要する時間より短くなる。このため、図18に示される本実施例での表示制御回路（タイミング・コントローラ）204の入力信号及び出力信号のタイミング図においては、ドライバ・データ（表示データ）としてメモリ回路205から読み出される映像データの1ライン毎に相当する六角形L1, L3, L5, ...の各々の時間軸沿いの長さが、このメモリ回路205に入力データとして格納される映像データの1ライン毎に相当する六角形L1, L2, L3, ...の各々の時間軸沿いの長さより短くなる。

【0110】本実施例では、さらにゲート選択パルス毎に対応する表示データとしてメモリ回路205から映像データを1ライン置きに読み出し、且つその読み出し周期に対応する画素アレイの水平期間に含まれる帰線期間RET（図18のドライバ・データの波形に示される）を映像データのメモリ回路205への入力における水平帰線期間RET（図18の入力データの波形に示される）よ

り短くすることで、画素アレイの水平期間を短縮する。これにより、本実施例ではフレーム期間毎における映像データ入力時間を1フレーム期間の30%又はそれ以下にまで短縮する。

【0111】このようにクロック発生回路214で発生された表示クロック215により表示データを読み出し、これをドライバ・データ206として画素アレイ（液晶パネル）201に設けられたデータ・ドライバ（画像信号駆動回路）202へ転送する本実施例では、データ・ドライバ制御信号群207として表示制御回路204からデータ・ドライバ202に供給される水平データ・クロックCL1及びドット・クロック（CL2）、表示制御回路204から画素アレイ201に設けられた走査ドライバ（走査信号駆動回路）203に供給される走査クロック212（CL3）及び走査開始信号213（FLM）もこの表示クロック215を分周して生成される。

【0112】<表示装置の機能及び画像表示動作>本実施例では、図17に示される表示装置を第2実施例や第3実施例の如く、これに入力される映像データの1フレーム期間を、この映像データ（表示データ）を画素アレイに書き込む第1フィールド、画素アレイに書き込まれた映像データを保持する第2フィールド、画素アレイにブランキング・データの書き込む第3フィールドの3つのフィールドに分割する。図19は、本実施例によるフレーム期間毎の映像データに基づく画像表示とブランキング画像表示のタイミングを、第1フレーム期間とこれに続く第2フレーム期間とを引き合いに出して示す。第1フレーム期間及び第2フレーム期間の夫々において、映像データに基づく画像は、映像データを1ライン置きに読み出した表示データ（ドライバ・データ206）を画素アレイに順次入力する第1フィールド及びこの表示データを画素アレイに保持する（表示データに基づく静止画像を一時的に生成する）第2フィールドにて画素アレイに表示される。また、第1フレーム期間及び第2フレーム期間の夫々において、ブランキング画像は例えば画素を黒く表示する（その表示輝度を最小にする）黒データ（Black Data）を画素アレイに入力する第3フィールドにて画素アレイに表示される。

【0113】図17及び図18を参照して説明したように、本実施例では、クロック発生回路214で発生された表示クロック215のパルスに呼応して、フレーム期間毎に表示装置に入力された映像データを各フレーム期間の第1フィールドにて1ライン置きに読み出す。図19に示される本実施例による画素アレイの表示タイミングの一例では、第1フレーム期間の第1フィールドで奇数ラインの映像データを、第2フレーム期間の第1フィールドで偶数ラインの映像データを、更に第2フレーム期間に続く図19に示されないフレーム期間の第1フィールドで再び奇数ラインの映像データをゲート選択パルスの出力に対応する表示データとして順次読み出す工程を時

間軸沿いに繰り返す。表示データ(ドライバ・データ206)はフレーム期間毎にデータ・ドライバ202に転送され、画素アレイにフレーム期間ごとの映像データに基づく画像を生成する。

【0114】上述のように、本実施例では、表示クロック215の周波数を映像データのドット・クロックDOTCLK(映像制御信号の基準クロック)のそれより高くし、また1ラインの映像データをメモリ回路205から読み出す時間に挿入される水平帰線期間をこの1ラインの映像データをメモリ回路205に格納する時間に挿入される水平帰線期間より短くする。このため、データ・ドライバ202により表示データに基づいて生成された第1階調電圧群を画素アレイ201に供給するタイミングを決める水平データ・クロックCL1は、1ラインの映像データをメモリ回路205から読み出す周期に整合させることが望ましい。また、データ・ドライバ202からの第1階調電圧群の出力に応じて走査ドライバ203からゲート選択パルス(走査信号パルス)を出力するタイミングを決める走査クロックCL3も、水平データ・クロックCL1の生成に用いられる基準クロックに基づいて生成することが望ましい。

【0115】本実施例では、水平データ・クロックCL1及び走査クロックCL3を表示クロック215に基づいて生成し、第1フィールドでの画素アレイ動作の水平期間をメモリ回路205からの映像データ読み出し周期に合わせて短縮する。このため、図18に示すように、水平データ・クロックCL1のパルス間隔は映像データとともに表示装置に入力される映像制御信号の一つである水平同期信号HSYNCのそれよりも短くなる。これにより、1フレーム期間の35%で第1フィールドにおける表示データの画素アレイへの書き込みを完了させる。なお、走査クロックCL3のパルスは、先述の実施例と同様に、図3の駆動例に倣う画素アレイ動作に対して水平データ・クロックCL1のパルスと同じ間隔で、図4の駆動例に倣う画素アレイ動作に対して水平データ・クロックCL1のパルス間隔の1/2の間隔で、夫々発生される。

【0116】第1フィールドでは、1フレーム期間置きに映像データの奇数ライン分及び偶数ライン分のいずれか一方を交互に読み出し、これにより得られた表示データ(ドライバ・データ)に基づいてデータ・ドライバ202から第1階調電圧を出力させ、これを図3の駆動例又は図4の駆動例に倣って画素アレイの各画素に供給する。第1フィールドに続く第2フィールドにおける画素アレイでの表示データ(奇数ライン又は偶数ラインの映像データにより生成される)の保持期間は、第1フィールドが短縮された分に応じて延ばされる。本実施例では、1フレーム期間の30%を第2フィールドに割り当てる。これにより、1フレーム期間の残り35%を第3フィールドにおけるブランキング画像表示に割り当て

る。第3フィールドでは、ブランキング・データに応じた第2階調電圧をデータ・ドライバ202から出力させ、これを図3の駆動例又は図4の駆動例に倣って画素アレイの各画素に供給する。この第2階調電圧は、第1実施例と同様に、表示制御回路204で生成されたブランキング・データをデータ・ドライバ202へ転送し、データ・ドライバ202にてブランキング・データから生成しても、データ・ドライバ202に第3フィールドを開始させる走査開始信号FLMのパルスを認識させて、予め定められたブランキング画像表示用の階調電圧を出力させてもよい(後者の方法では、表示制御回路204によるブランキング・データ生成を行わなくてもよい)。以上の工程により、本実施例では、1フレーム期間の65%が画素アレイによる映像データの表示期間に、その35%が画素アレイによるブランキング・データの表示期間に夫々宛がわれる。なお、本実施例でも画素アレイ駆動用の走査開始信号FLMのパルスは、第2実施例や第3実施例でのそれと同じように、第1フィールドでの画素アレイへの表示データ書き込み開始時刻と第3フィールドでの画素アレイへのブランキング・データ(図19においては黒データ)の書き込み開始時刻とに呼応して発生される。換言すれば、走査開始信号FLMの1パルス置きに、画素アレイによる映像データの表示期間とブランキング・データの表示期間とが交互に入れ替わる。この走査開始信号FLMのパルスは、第2実施例及び第3実施例に示したそれと同様に、画素アレイにこれに入力されたデータを保持する第2フィールドの開始時には生じない。本実施例に示す表示装置の駆動例における走査開始信号FLMのパルス間隔は、第2実施例、第3実施例、及び第4実施例に示したそれと同じように、一つ置きに2つの異なる値(1フレーム期間の65%及び35%に夫々相当する時間)を交互に示す。

【0117】上述の如く、1フレーム期間における第1フィールド期間の割合を先述の各実施例のそれより短縮するために、本実施例では表示クロック(画素アレイが液晶パネルの場合は、液晶表示クロック)215の周波数を映像制御信号221として表示装置に入力されるドット・クロックDOTCLKのその1.14倍に高める。一方、図18に示す如く、1ラインの映像データをメモリ回路205から読み出す時間(画素アレイ動作の水平期間)に挿入される水平帰線期間(ドライバ・データ波形のRET)を、この1ラインの映像データをメモリ回路205に格納する時間(映像データの水平走査期間)に挿入される水平帰線期間(入力データ波形のRET)より短くし、例えば、画素アレイ動作の水平期間を映像データの水平走査期間の80%に短縮する。ここで、映像データの水平走査期間及び画素アレイ動作の水平期間は、ともに映像データのドット・クロックDOTCLKを基準として比較される。従って、映像データの水平走査期間の80%に短縮された水平期間の画素アレイ動作を上

記表示クロック215により行くと、これに要する時間は映像データの水平走査期間の70%まで短縮される。この70%なる値は、ドット・クロックDOTCLKを基準に比較された映像データの水平走査期間に対する画素アレイ動作の水平期間の比率：80%を、表示クロック215の周波数のドット・クロックDOTCLKのそれに対する倍率：1.14で除することにより得られる。これにより、1ラインの映像データを表示クロック215に呼応してメモリ回路205から読み出す周期は、この1ラインの映像データをドット・クロックDOTCLKに呼応してメモリ回路205に書き込む周期（入力水平周期）の70%に低減される。このため、データ・ドライバ202からの階調電圧の出力タイミングを決める水平データ・クロックCL1のパルス間隔は、例えば、映像データを1ライン毎に表示装置に入力する周期（映像データの水平走査期間）を決める水平同期信号HSYNCのその70%となる。さらに、本実施例ではメモリ回路205に格納された映像データを1ライン置き（その奇数ライン又は偶数ラインのいずれか一方）に表示データとして読み出すため、メモリ回路205から画素アレイ201全域に書き込むべき表示データを読み出し且つこれらを画素アレイに入力する工程は1フレーム期間の35%で完了する。

【0118】画素アレイ201としてノーマリ黒表示モードの液晶パネルを備えた表示装置を、上述の条件の下で図19に示す画像表示タイミングに則り動作させたときの液晶層の輝度応答を図20に示す。この液晶パネルに設けられた画素には、第1フィールドにて画像データとして画素を白く表示させる表示オンデータに対応した階調電圧が、第3フィールドにてブランキング・データとして画素を黒く表示させる表示オフデータ（黒データ）に対応した階調電圧が、夫々供給される。この画素に対応する液晶パネルの液晶層は、図20に示すように1フレーム期間の始めの65%で映像データに応じた輝度に応答した後、その残りの35%で黒輝度に応答する。これにより、夫々のフレーム期間において、画素の表示輝度はインパルス型の表示装置のそれに近い応答を示す。このため、本実施例における表示装置の駆動においても、これにより動画像を表示する際にフレーム期間に亘り画面内を移動する物体の輪郭に生じる動画像ぼやけが低減される。

【0119】以上に述べた本実施例では、フレーム期間毎にその65%を映像データの表示期間に、その35%をブランキング・データの表示期間にそれぞれ割り当てたが、その比は1フレーム期間における各フィールドの比率を変更することで適宜調整される。例えば、映像データを画素アレイにホールドする第2フィールドを1フレーム期間の0%とし、フレーム期間毎に、その35%を映像データの表示期間に、その65%をブランキング・データの表示期間にそれぞれ割り当ててもよい。ま

た、時間軸沿いに第2フィールドと第3フィールドとの順序を入れ替え、第2フィールドにて第3フィールドで画素アレイに入力されたブランキング・データを画素アレイにホールドさせることで、1フレーム期間の35%を映像データの表示期間に、その65%をブランキング・データの表示期間に割り当ててもよい。

【0120】第6の実施例 本実施例では、図17に示されるクロック発生回路214を備えた表示装置を用い、図21に示されるタイミングで表示装置200の表示制御回路（タイミング・コントローラ）204に入力される映像データ220（入力データの波形参照）を表示データ（ドライバ・データの波形参照）として読み出して、図22に示されるタイミングで画素アレイ201に表示する。図21から明らかなように、本実施例でも先述の第4実施例と同様に、表示制御回路204に接続されたメモリ回路205に格納された1フレーム期間分の映像データを1ライン毎に（その奇数ライン分及び偶数ライン分の区別なく）表示データとして読み出す。また、第4実施例と同様に、本実施例でも1フレーム期間を第1フィールドとこれに続く第2フィールドとの2つのフィールドに分割する。第1フィールドでは映像データを読み出して得られた表示データを画素アレイ201に書き込み、この表示データに対応する映像を画素アレイに表示する。第2フィールドではブランキング・データを画素アレイ201に書き込んでブランキング画像を画素アレイに表示する。

【0121】一方、本実施例では、表示装置200に入力され、表示制御回路204を通してメモリ回路205に格納された映像データが、第5実施例と同様に、クロック発生回路214で生成された表示クロック215（表示装置の基準クロック）のパルスに呼応してメモリ回路205から表示データとして読み出される。また、第5実施例と同様に、表示クロック215の周波数は、映像データのドット・クロックDOTCLK（映像制御信号221に含まれる基準クロック）のそれより高くされる。さらに、図21の入力データ及びドライバ・データの夫々の波形とから明らかなように、本実施例でも第5実施例と同様に、メモリ回路205に格納された映像データの1ライン分をこれから読み出す時間（水平期間）に含まれる水平帰線期間RETは、この映像データの1ラインをメモリ回路205に格納する時間に含まれる水平帰線期間RETより短い。本実施例においても、表示クロック215の周波数をドット・クロックDOTCLKのその1.14倍とし、画素アレイ動作の水平期間（ドット・クロックDOTCLKを基準とする）をその帰線期間の短縮により映像データの水平走査期間の80%とすることで、表示クロック215を基準とする画素アレイの水平走査期間を第5実施例と同様に映像データの水平走査期間の70%に短縮する。第1フィールド及び第2フィールドにおけるデータ・ドライバ202による階調電圧出力を水平データ

・クロックCL1の1パルス毎に行う場合、水平データ・クロックCL1の周波数は映像データの水平同期信号HSYNCの約1.43倍となる。

【0122】このようにして、本実施例による表示装置の駆動方法でも第5実施例のそれと同様に、1つのゲート選択パルスに対応する表示データ(ドライバ・データ206)を、映像データの水平走査期間に含まれる帰線期間よりも短い帰線期間を含む水平期間にて、且つタイミングを映像信号の入力クロックとは異なる液晶表示用クロックでメモリ回路205から読み出す。但し、本実施例

では、図22の表示タイミングに示すように、1フレーム期間の70%が映像データの表示期間に、その残り30%がブランキング・データの表示期間に夫々宛がわれる。

【0123】図22の表示タイミングに則る本実施例による画素アレイの駆動は、概ね第5実施例のそれに準じるが、表示クロック215を基準クロックとする表示装置の駆動において第5実施例による画素アレイの駆動方法と異なる。フレーム期間毎にその第1フィールドにおいて映像データをその奇数ライン及び偶数ラインの区別なくライン毎に表示データとして読み出し、これをドライバ・データ206としてデータ・ドライバ202に転送する。映像データのメモリ回路205からの読み出しは、この映像データがメモリ回路205に格納されたフレーム期間の次のフレーム期間にて、次の映像データがメモリ回路205に格納され始めると同時に開始される。データ・ドライバ202はドライバ・データ206として受けた映像データの1ライン分毎に画素アレイに並設された複数のデータ線(信号線)の夫々に対応する第1階調電圧群を逐次生成し、これを画素アレイに並設された複数の画素行の1行毎に供給する。このため、第1フィールドでは、走査ドライバ203からゲート選択パルス(走査信号パルス)を画素アレイに並設された複数のゲート線(走査信号線)毎に順次出力する。換言すれば、複数のゲート線は1本ごとに順次選択され、これによりゲート線の1ラインに対応する画素行毎に第1階調電圧群が供給される。画素アレイの解像度がXGAクラスの場合、第1フィールドにて、データ・ドライバ202から第1階調電圧群が768回出力され、走査ドライバ203からゲート選択パルスは768回出力される。以上の動作は上述のとおり、1フレーム期間の始めの70%にて完了する。

【0124】本実施例による画素アレイの駆動では、1フレーム期間の30%にてブランキング・データを図11や図12に示したタイミング・チャートに則り、画素アレイに入力する。データ・ドライバ202によるブランキング・データに対応した第2階調電圧の生成には、先述の各実施例にて述べた階調電圧生成方法のいずれかを適用してもよい。図11のタイミング・チャートに則るブランキング画像表示では、データ・ドライバ202からの第2階調電圧に対し、走査ドライバ203からゲート選

択パルスを複数のゲート線の4ラインに出力する。これにより、画素アレイに並設された複数の画素行は、夫々に対応する複数のゲート線の4ライン毎に且つ4ライン置きに選択されて、これらに第2階調電圧が印加される。図12のタイミング・チャートに則るブランキング画像表示では、データ・ドライバ202からの第2階調電圧の出力期間毎に、複数のゲート線の4ラインへ走査ドライバ203からゲート選択パルスが順次出力される。このため、第2フィールドにおける走査クロックCL3のパルス間隔は、第2階調電圧を1回出力する期間(画素アレイ動作における水平期間)の1/4となる。このブランキング画像表示においても、或る時刻における第2階調電圧の出力に対して、ゲート線の4ラインに対応する画素行がゲート選択パルスにより選択され、これらに第2階調電圧が印加される。従って、第2フィールドにおけるブランキング画像表示は、データ・ドライバ202からの第2階調電圧群の192回の出力に対し、走査ドライバ203からゲート選択パルスを図11のタイミング・チャートに則る場合は192回出力し、図12のタイミング・チャートに則る場合は768回出力して行われる。上述のように1フレーム期間の始めの70%を第1フィールドによる映像データに基づいた画像表示に、その残りの30%を第2フィールドによるブランキング画像表示に割り当てる場合は、第2フィールドにおける水平データ・クロックCL1の周波数を第1フィールドにおけるそれより低くし、この水平データ・クロックCL1の周波数変化に即して、走査クロックCL3の周波数を調整する。この場合、上述のクロック発生回路214又は表示制御回路204の周辺に新たに設けられたパルス発振器等により、表示クロック215より周波数の低い第2フィールド用の基準クロック(第2の基準クロック)を発生させ、これにより第2フィールド用の水平データ・クロックCL1と走査クロックCL3とを発生させてもよい。また、第2フィールドにおける水平データ・クロックCL1の周波数を第1フィールドでのその値に保ち、第2フィールドで生じる水平データ・クロックCL1の330パルスの始めの192パルスのみを画素アレイへの第2階調電圧群の供給に用いてもよい。後者の画素アレイ動作においては、走査開始信号FLMのパルス間隔の調整し、走査ドライバ203からのゲート選択パルス出力は図11又は図12のタイミング・チャートに則して上述のとおりを設定する。即ち、第2フィールドでのブランキング・データの画素アレイへの書き込みは第1フィールドの1/4の期間(1フレーム期間の17.5%)で完了し、その残りの期間ではブランキング・データを画素アレイに保持する。

【0125】XGAクラスの解像度を有するノーマリ黒表示モードの液晶パネルを、本実施例により図22の表示タイミングで動作させたときの液晶パネルの画素に対応する液晶層の輝度応答を図23に示す。この画素に

は、第1フィールドにて画像データとして画素を白く表示させる表示オンデータに対応した階調電圧が、第2フィールドにてブランキング・データとして画素を黒く表示させる表示オフデータ(黒データ)に対応した階調電圧が夫々供給される。この画素に対応する液晶パネルの液晶層は、図23に示すように1フレーム期間の始めの70%で映像データに応じた輝度に応答した後、その残りの30%で黒輝度に応答する。これにより、夫々のフレーム期間において画素の表示輝度はインパルス型の表示装置のそれに近い応答を示す。このため、本実施例における表示装置の駆動においても、これにより動画像を表示する際にフレーム期間に亘り画面内を移動する物体の輪郭に生じる動画ぼやけが低減される。本実施例では、映像データの表示期間とブランキング・データの表示期間をそれぞれ1フレーム期間の70%、30%としたが、その比率は上述した水平データ・クロックCL1、走査クロックCL3、及び走査開始信号FLM等の調整により適宜変更できる。

【0126】第7の実施例：照明装置の点滅動作との組合せ 以下、本発明の第7の実施例を図24及び図25を用いて説明する。図24に示される表示装置300は、図1に示すそれと概ね同様な構造を有するが、画素アレイ301として透過型の液晶パネルを用いるため、これに光を照射するバックライト(Backlight, 図24には示されない照明装置)とその駆動回路315を備えていることが異なり、更にバックライト駆動回路315が表示制御回路(液晶タイミング・コントローラ)304から送信されるバックライト制御信号316で制御されることを特徴とする。これにより、バックライトは、間欠的(intermittently)に液晶パネルへ光を照射する。このように明滅動作又は点滅動作するバックライトをブリンク・バックライト(Blink Backlight)とよぶ。また、バックライトの輝度を周期的に変調する制御をブリンク制御(Blink Control)とよぶ。図25は、先述の各実施例にて図6、図9、図13、図16、図20、又は図22を参照して説明した本発明による表示装置(液晶表示装置)における液晶パネル(その画素)の輝度応答に、ブリンク・バックライトの明滅動作を組み合わせる本実施例による表示装置の駆動タイミングを示す。即ち、本実施例では、画素アレイとして液晶パネルを備えた表示装置を第1実施例乃至第6実施例にて説明したいずれの方法で駆動させたときの動画ぼやけ低減効果を、これに備えられた照明装置の明滅動作でさらに高める。なお、本実施例で用いた液晶パネルはXGAクラスの解像度を有し、その液晶層はこれに印加される電界が弱いほどその光透過率が低くなる所謂ノーマリ黒表示モードで変調される。

【0127】図24に示される表示装置(液晶表示装置)300は、テレビジョン受信機、パーソナル・コンピュータ、DVDプレーヤ等の映像信号源(表示装置の外

部)から映像データ320及び映像制御信号321(その定義は第1実施例及び第5実施例にて先述)を受ける表示制御回路(タイミング・コントローラ)304と、この表示制御回路304から表示データ及び表示制御信号を受ける画素アレイ(液晶パネル)301とを備える。表示制御回路304には映像データ320をフレーム期間毎に格納するメモリ回路305が接続される。メモリ回路305の構造は図1に示すメモリ回路105-1、105-2に準じるが、図24には図17と同様に簡略化して示される。即ち、メモリ回路305は制御信号308に応じて第1ポート309から映像データ320が入力される第1部分と制御信号310に応じて第2ポート311から映像データ320が入力される第2部分とを夫々備え、その第1部分に格納された映像データは第2部分への別の映像データ格納と並行して読み出せ、また第2部分に格納された映像データも第1部分への別の映像データ格納と並行して読み出せる。メモリ回路305に格納された映像データは、先述の実施例のいずれかによる方法でドライバ・データ306として読み出されて画素アレイ(液晶パネル)301に設けられたデータ・ドライバ(画像信号駆動回路)302へ転送される。表示制御回路304に第5実施例や第6実施例にて述べたクロック発生回路やその類似物を接続し、またはこのような回路を表示制御回路304の内部に増設することで、メモリ回路305からのドライバ・データ306の読み出しを加速してもよい。

【0128】表示制御回路304は、ドライバ・データ306とともに水平データ・クロックCL1やドット・クロック(CL2)等をデータ・ドライバ制御信号群207としてデータ・ドライバ202に供給し、画素アレイ301に設けられた走査ドライバ(走査信号駆動回路)303には走査クロック312(CL3)及び走査開始信号313(FLM)を供給する。

【0129】表示制御回路304からバックライト駆動回路315に送られるバックライト制御信号316は、図25に示すその波形のように、これがHighレベルになるときバックライトを点灯させ(明るくし)、これがLowレベルになるときバックライトを消灯させる(暗くする)ようにバックライト駆動回路315を制御する。

【0130】一方、本実施例では画素アレイ(液晶パネル)301をフレーム期間毎にそのデータ線(信号線)に沿って図24の上側から下側に順次走査する(この動作を全画面走査と便宜的に呼ぶ)。先述の各実施例では、このような全画面走査を1フレーム期間に2回行い、その1回目で表示データ(映像データ)を、その2回目でブランキング・データを画素アレイ301に書き込む。ノーマリ黒表示モードの液晶パネルからなる画素アレイ301の画素行に、表示データとして画素を白く表示する表示オンデータ(これに対応する第1階調電圧)を、ブランキング・データとして画素を黒く表示する表示オフデータ(これに対応する第2階調電圧)を、夫々書き込む

と、フレーム期間における各画素行に対応した液晶層の輝度変化のタイミングが画素アレイ301のデータ線沿い（その垂直方向）にずれる。図25には、画素行間の輝度変化のずれを、画素アレイ（表示画面）の垂直方向沿いに、画面上部、画面中央部（N本のゲート線を有する画素アレイの上側からN/2番目のゲート線の近傍）、及び画面下部の夫々の画素行の輝度応答のグラフを並べて示す。

【0131】夫々の画素行に対応した液晶層の光透過率は、画素行に表示データ又はブランキング・データが書き込まれてから（これに対応する階調電圧が供給されてから）、数ms（ミリ秒）から数十msを経て書き込まれたデータに応じた値に应答する。これに対して、フレーム期間毎に表示データやブランキング・データで上述の全画面走査（Whole Vision Scanning）を行う場合、これに応じた階調電圧が画素アレイの画面上部から画面下部に向けて各画素行に順次供給される。このため、画素アレイを表示オンデータで全画面走査を行う場合、画面下部の画素行に階調電圧が供給される時刻（輝度応答のグラフが減少から増加に転じる極小点）にて、画面上部の画素行に対応する液晶層の輝度は、表示オンデータに対応したそれとかなり近づく。このようにして液晶パネル（画素アレイ）内に生じる輝度応答の時間軸沿いのばらつきにより、フレーム期間毎に表示データに基づいて生成される画像が表示装置のユーザの視野から十分に消去されない場合、複数のフレーム期間に亘って画素アレイに次々と生成される画像があたかもインパルス的に表示されているようにユーザに知覚させることも難しくなる。本実施例では、液晶表示装置（これに備えられた液晶パネル）によるフレーム期間毎の映像データに拠る画像表示とブランキング画像表示とのタイミングに合わせてそのバックライトの明滅動作を行い、フレーム期間毎に液晶パネルに生成される画像をよりインパルス的に表示する。このバックライトの明滅動作は、液晶パネル（画素アレイ）における画像生成の制御信号の一部を用い、またはこれに呼応させて（同期させて）行うことが望ましい。

【0132】本実施例によるバックライトの点滅制御では、バックライトの消灯に因る液晶パネルの表示輝度の低下が生じる。しかしながら、フレーム期間におけるブランキング画像表示期間（例えば、夫々の画素行の黒表示タイミング）とバックライトの消灯期間との重複期間の調整により、表示装置のユーザが知覚する液晶パネルの表示輝度低下を最小限に抑えることができる。これは、表示装置に動画像を表示したときのユーザの視点が画素アレイの中央部に留まり易いという傾向による。このため、バックライト点灯期間を、図25の輝度応答のグラフに重ねられたハッチング領域の如く、画素アレイ中心部に位置する画素行への表示データ書き込み後に開始させ、この画素行へのブランキング・データ書き込み

後に終了させる。バックライトにはその光源として、冷陰極蛍光ランプ等の蛍光ランプ、キセノン等のガスを封入したランプ、発光ダイオード等が備えられる。光源の発光特性は、これらへの電流（ランプ電流、管電流とも呼ぶ）の供給を開始してから短時間に所望する明るさに達し、かつ電流供給の停止とともに暗くなる（残光の短い）ものほどよい。しかしながら、多くの光源は、ランプ電流の供給からその発光に到るまでに数ms程度を要し、またその残光時間（ランプ電流の停止から光輻射の十分な減衰に到る時間）も数ms程度となる。このような光源の特性に鑑みれば、バックライト点灯期間を、全画面走査にて最初に階調電圧が供給される画素行（図25の場合、画素アレイの最上段の画素行）へのブランキング・データ書き込み前に開始させることが望ましく、また、全画面走査にて最後に階調電圧が供給される画素行（図25の場合、画素アレイの最下段の画素行）へのブランキング・データ書き込み前に終了させることが望ましい。

【0133】一方、表示装置に生成される画像に応じてバックライトのプリント制御を止める（バックライトを連続的に点灯させる）場合は、バックライトに備えられた光源（冷陰極蛍光ランプ等の管球）に供給される電流をプリント制御時に連続点灯時より大きくし、プリント制御時の表示画像の輝度低下を補償するとともに、表示画像のコントラストを向上させる。光源として用いられる上述の各種ランプに過大なランプ電流を供給すると、その寿命が縮まる。しかし、図25に示すように、バックライトのプリント制御時の点灯期間（ランプ電流を増加させた点灯期間）を1フレーム期間の30~70%（望ましくは50%前後）とし、且つ1フレーム期間の開始時刻から第1フィールドの1/2が経過した後開始させて、フレーム期間に1回のバックライトの点滅動作を行うことにより、光源の寿命を維持し且つ表示画像の輝度低下を抑えることができる。

【0134】ランプ電流を大きくしてもなお十分な発光輝度が得られる場合には、ランプ電流を大きくし、バックライトの点灯期間をさらに短縮するとよい。これにより、バックライト消灯期間にて、液晶パネルはより完全に近い黒に表示される。また、図25のタイミングでバックライトのプリント制御を行うことで、液晶パネルの画面中央の画素行が映像データに十分に应答した状態でバックライトが点灯されるため、表示画像の鮮明さが増すとともにランプの発光効率も向上する。

【0135】本実施例による表示装置（液晶表示装置）の駆動方法では、液晶パネルに封入された液晶の光学的な応答速度や、ブランキング表示期間の割合に対応したバックライトの点灯期間調整などにより、これによる動画像の表示動作が最適化される。また、バックライトの消灯期間にてランプの過熱が抑えられるため、その温度上昇による輝度低下も防げる。

【0136】このように、上述の各実施例による表示装置（液晶表示装置）の駆動におけるフレーム期間毎のブランキング表示期間を考慮し、これにバックライトの点灯制御を組み合わせることで、動画表示特性のみならず、バックライトの発光効率の優れた表示装置が実現できる。

【0137】第8実施例：表示データ生成回路の表示装置からの分離 図26は、本実施例での表示装置（液晶表示装置）の構造を示し、上述の各実施例にて表示装置に内蔵させた表示データ生成機能をこれから分離させたことに特徴付けられる。例えば、テレビジョン受像機の場合、テレビジョン受像機本体にて受信された映像データ（映像信号）をこれとともに受信された映像制御信号（垂直同期信号VSYNCやドット・クロックDOTCLK等を含む）により一旦メモリ回路（フレーム・メモリ）に格納し、表示装置による画像表示に適した表示データへ加工する。従って、画像信号源401と、これから送信される映像データ402及び映像制御信号を受け、表示データ406を生成する走査データ生成回路403、走査データ生成回路403で受けた映像データ402がポート404を通して格納されるメモリ回路405は表示装置400に対して外部回路となる。メモリ回路405に格納された映像データは、走査データ生成回路403によりポート404を通して表示データ406として読み出される。

【0138】走査データ生成回路403は、第1実施例、第2実施例、第3実施例、及び第5実施例にて映像データ402を1ライン置きに表示データ406として読み出し、表示データ406は表示装置400に備えられた画素アレイ（例えば、TFT型の液晶パネル）414の2画素行毎に書き込まれる。また、第2実施例、第4実施例、第5実施例、及び第6実施例において、走査データ生成回路403は、表示データ406の1ライン分の読み出しを映像データ402の水平走査期間より短い水平期間で行う。さらに、第5実施例及び第6実施例において、走査データ生成回路403は、映像データ402のドット・クロックDOTCLKより周波数の高い表示クロックをその内部又は周辺に設けたパルス発振器等の回路で生成し、この表示クロックに呼応して表示データ406を読み出す。従って、表示データ406は、映像データ402のフレーム期間毎に間欠的に表示装置400に入力され、各フレーム期間には表示データ406の転送が断続する期間が生じる。

【0139】表示装置400に備えられた表示制御回路（タイミング・コントローラ）407は、この表示データ406及びこれとともに表示装置400に入力される垂直同期信号、水平同期信号、ドット・クロック（又は上述の表示クロック）を受け、上述の実施例のいずれかによる画素アレイ401の表示動作に適した走査開始信号FLM、水平データ・クロックCL1、ドット・クロックCL2、及び走査クロックCL3を生成する。表示装置400の外部で既に生成された表示データ406は、映像データ4

02の垂直同期信号のパルス間隔で規定される1フレーム期間に対して、その表示制御回路407への転送期間が短くなる。従って、第1実施例に本実施例を適用する場合、表示制御回路407は、走査データ生成回路403又はその周辺で生成され且つ表示データ406の読み出しに用いられた水平同期信号及びドット・クロック（上述の表示クロックを含む）を受け、この水平同期信号を水平データ・クロックCL1として表示データ406とともにドライバ・データ・バス408を通してデータ・ドライバ411に転送し、この水平同期信号（図3の駆動例）又はこれとドット・クロック（図4の駆動例）から走査クロックCL3を生成して走査データ・バス409を通して走査ドライバ412に転送する。また、映像データ402の垂直同期信号を表示装置400に入力し、表示制御回路407又はその周辺回路で分周して第1フィールドと第2フィールドの夫々の開始時刻に対応した走査開始信号FLMのパルスを発生させる。

【0140】第1実施例以外の上述の実施例では、走査開始信号FLMのパルス間隔が交互に変わり得るため、表示制御回路407はこれに表示データ406とともに入力される水平同期信号やドット・クロックを参照して走査開始信号FLMを生成する。従って、表示制御回路407は水平同期信号やドット・クロックのパルスをカウントし、これに応じて第2フィールドや第3フィールドの開始タイミングを検知して走査開始信号FLMのパルスを生成し、また上述の実施例にて述べた如く、画素アレイ動作の水平データ・クロックCL1や走査クロックCL3をブランキング・データの画素アレイへの書き込み条件に合わせて調整する。

【0141】なお、図26は、第7実施例の表示装置に則して、本実施例による表示装置を液晶表示装置に適用するに好適な構造で示す。本実施例の表示装置は、液晶表示装置に限られず、エレクトロルミネセンス・アレイ（Electroluminescence Array）や発光ダイオード・アレイを画素アレイに用いた表示装置にも適用できる。このような画素自体が発光機能を備えた画素アレイを用いる場合は、図26のバックライト駆動回路413及びバックライト制御信号バス410が不要となる。

【0142】

【発明の効果】本発明により、表示装置の画面に生成される1フレーム期間分の映像データに拠る画像をこの1フレーム期間内にブランキング・データによる暗い画像（黒画像）で効果的にマスクすることで、フレーム期間毎の映像データに拠る画像がインパルス表示されるように表示装置のユーザに知覚させる。これにより、表示装置のユーザは、1フレーム期間前及びそれ以前に既に画面に表示された映像データに拠る画像を知覚し得なくなり、これらの画像の一部が最新の表示画像に微かに重なることによる画面内の移動物体の輪郭のぼやけを知覚し難くなる。従って、ホールド型の動作原理により駆動さ

れる表示装置による動画像表示における動画ばやけとこれに起因する画質劣化が抑制できる。

【0143】また、本発明は、フレーム期間毎にブランキング画像表示期間を挿入することに因り生じる映像データに拠る画像の表示輝度の低下を、1フレーム期間内における画素アレイへの映像データ書き込み時間とブランキング・データ書き込み時間との比率の最適化、及び画素アレイにおける映像データ保持期間の挿入により抑える。

【0144】さらに、本発明による液晶表示装置では、1フレーム期間内の映像データによる画像表示とブランキング画像表示とのタイミングと、バックライトのプリnk制御タイミングとの組み合わせで、表示画像の輝度やコントラストが向上される。

【図面の簡単な説明】

【図1】 本発明による表示装置の概要を示すブロック図。

【図2】 本発明による表示装置への映像データ入力とこれからの表示データ出力の第1実施例及び第3実施例におけるタイミングの一例を示す図。

【図3】 本発明による画素アレイの走査線を2ライン毎に選択するタイミング・チャート。

【図4】 本発明による画素アレイへの表示信号の出力毎に画素アレイの走査線の2ラインを選択するタイミング・チャート。

【図5】 本発明による表示装置の第1実施例の表示タイミングをフレーム期間毎に示す図。

【図6】 本発明による表示装置の第1実施例の表示タイミングに対応する輝度応答を示す図。

【図7】 本発明による表示装置への映像データ入力とこれからの表示データ出力の第2実施例によるタイミングを示す図。

【図8】 本発明による表示装置の第2実施例の表示タイミングをフレーム期間毎に示す図。

【図9】 本発明による表示装置の第2実施例の表示タイミングに対応する輝度応答を示す図。

【図10】 本発明による表示装置の第3実施例の表示タイミングをフレーム期間毎に示す図。

【図11】 本発明による画素アレイの走査線を4ライン毎に選択するタイミング・チャート。

【図12】 本発明による画素アレイへの表示信号の出力毎に画素アレイの走査線の4ラインを選択するタイミング・チャート。

【図13】 本発明による表示装置の第3実施例の表示タイミングに対応する輝度応答を示す図。

【図14】 本発明による表示装置への映像データ入力とこれからの表示データ出力の第4実施例におけるタイミングを示す図。

【図15】 本発明による表示装置の第4実施例の表示タイミングをフレーム期間毎に示す図。

【図16】 本発明による表示装置の第4実施例の表示タイミングに対応する輝度応答を示す図。

【図17】 本発明による表示装置（液晶表示装置）の第5実施例及び第6実施例における概要を示すブロック図。

【図18】 本発明による表示装置への映像データ入力とこれからの表示データ出力の第5実施例におけるタイミングを示す図。

【図19】 本発明による表示装置の第5実施例の表示タイミングをフレーム期間毎に示す図。

【図20】 本発明による表示装置の第5実施例の表示タイミングに対応する輝度応答を示す図。

【図21】 本発明による表示装置への映像データ入力とこれからの表示データ出力の第6実施例におけるタイミングを示す図。

【図22】 本発明による表示装置の第6実施例の表示タイミングをフレーム期間毎に示す図。

【図23】 本発明による表示装置の第6実施例の表示タイミングに対応する輝度応答を示す図。

【図24】 本発明による表示装置（液晶表示装置）の第7実施例における概要を示すブロック図。

【図25】 本発明による表示装置（液晶表示装置）の第7実施例における輝度応答に応じた照明装置（バックライト）のプリnk制御タイミングを示す図。

【図26】 本発明による表示装置（液晶表示装置）の第8実施例における概要を示すブロック図。

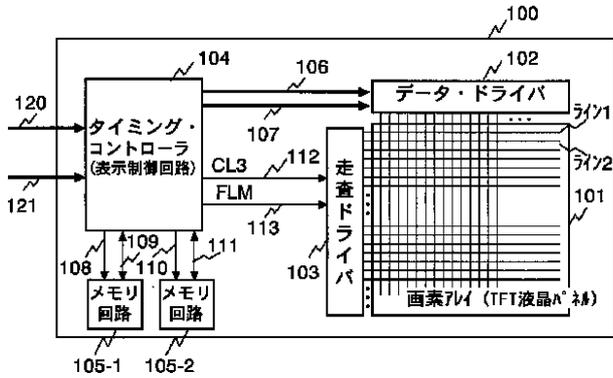
【図27】 アクティブ・マトリクス型の表示装置に備えられる画素アレイの一例の概略図。

【符号の説明】

100...表示装置, 101...画素アレイ, 102...データ・ドライバ, 103... 走査ドライバ, 104...タイミング・コントローラ, 105...メモリ回路, 120...映像データ（映像信号）, 121...映像制御信号, 106...ドライバ・データ, 107...データ・ドライバ駆動信号群, CL3...走査ラインクロック, FLM...走査開始信号。

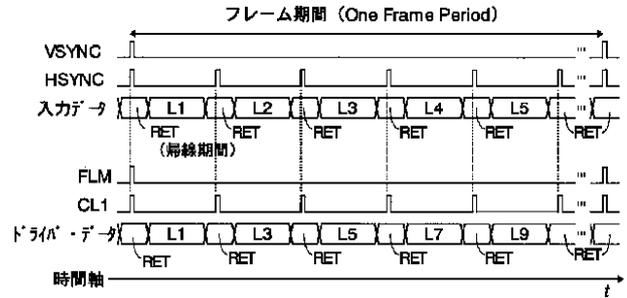
【図1】

図1



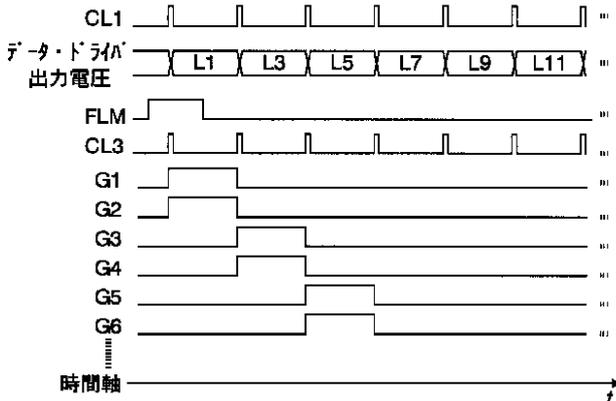
【図2】

図2



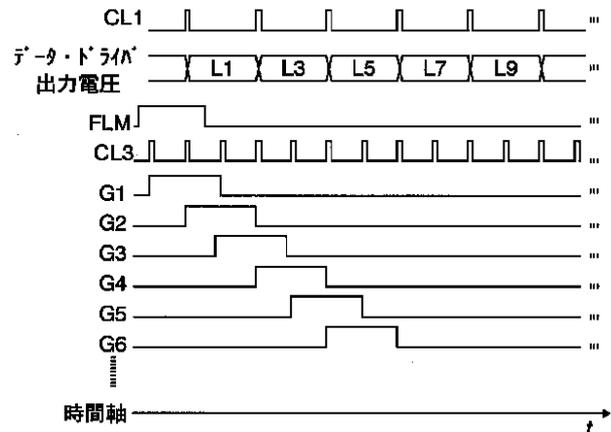
【図3】

図3



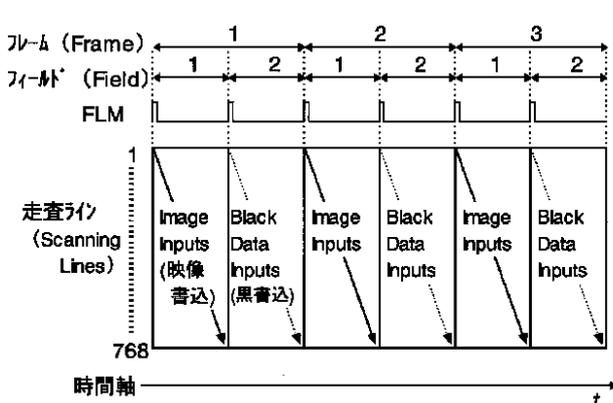
【図4】

図4



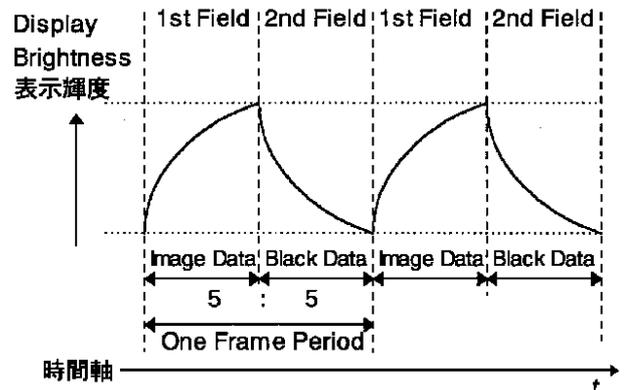
【図5】

図5

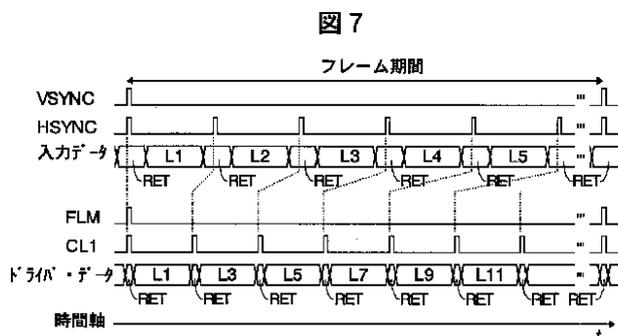


【図6】

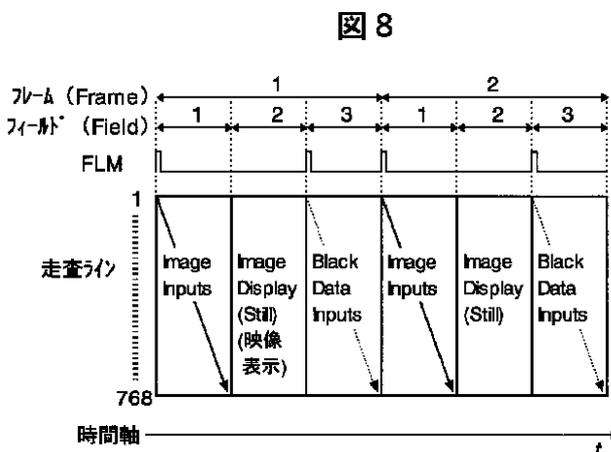
図6



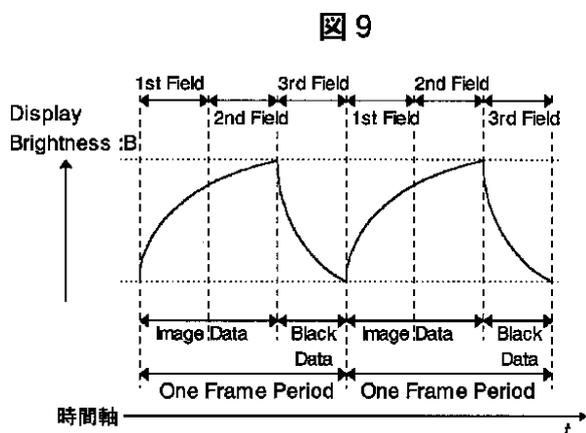
【図7】



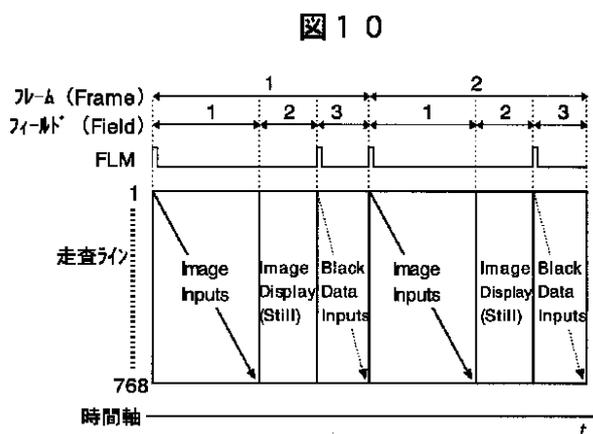
【図8】



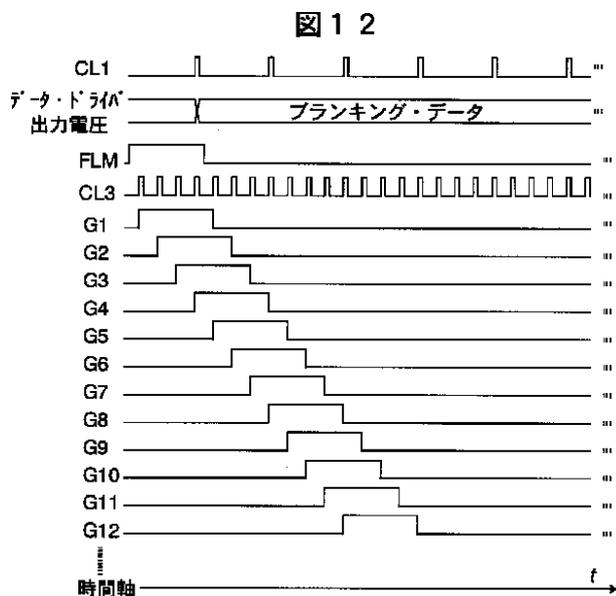
【図9】



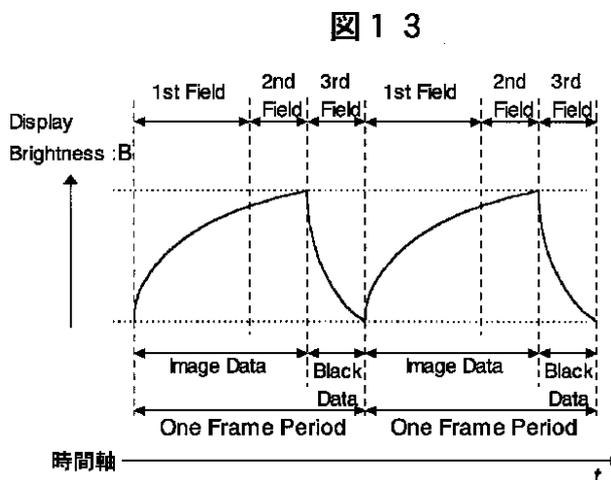
【図10】



【図12】

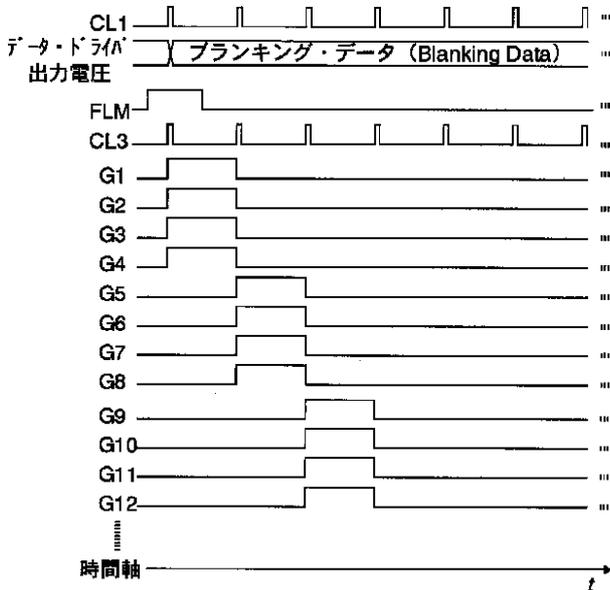


【図13】



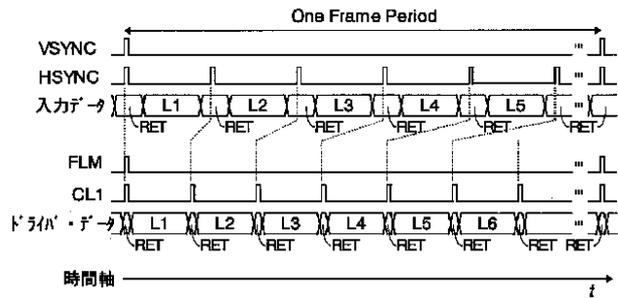
【図11】

図11



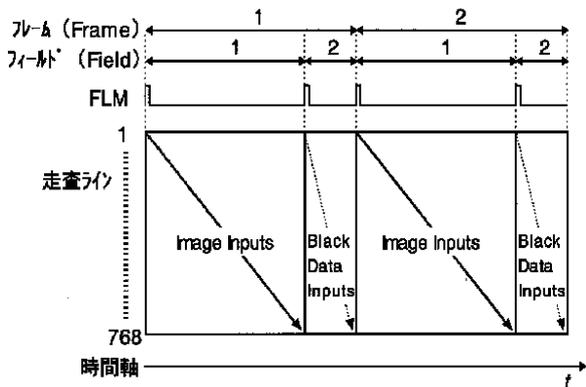
【図14】

図14



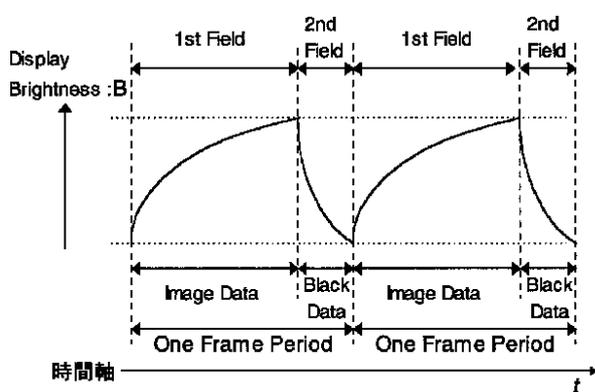
【図15】

図15



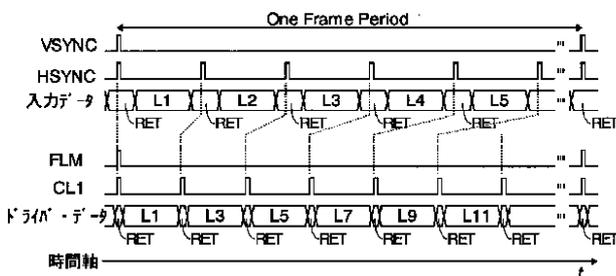
【図16】

図16



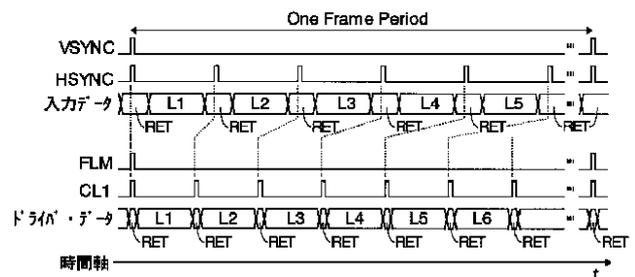
【図18】

図18



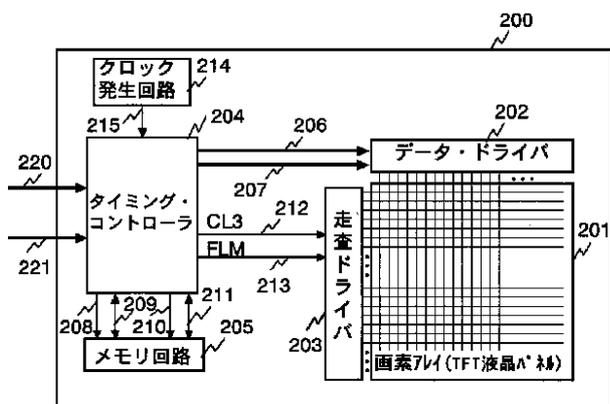
【図21】

図21



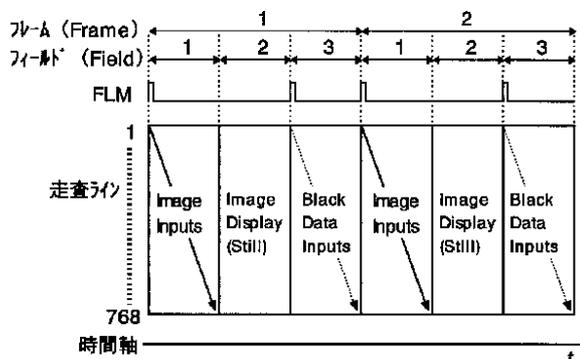
【図17】

図17



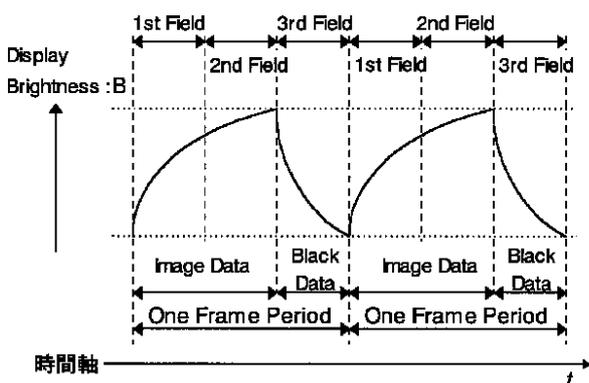
【図19】

図19



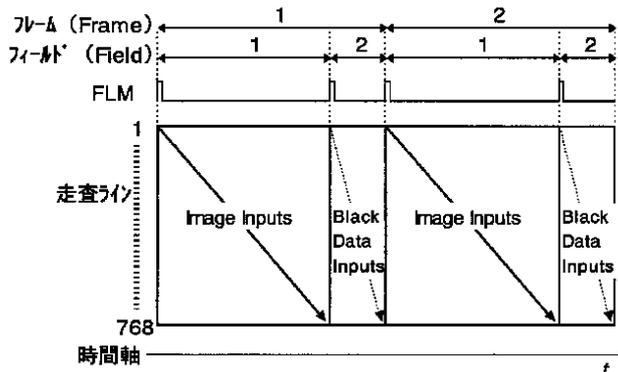
【図20】

図20



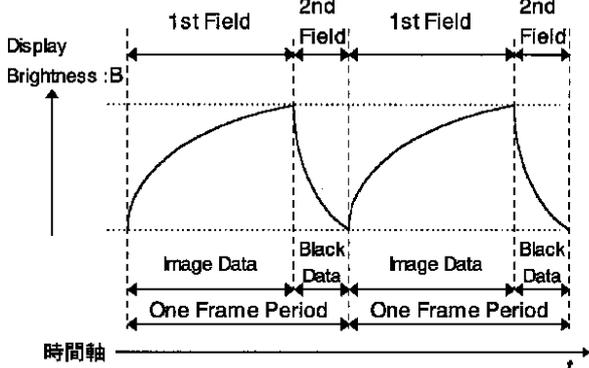
【図22】

図22



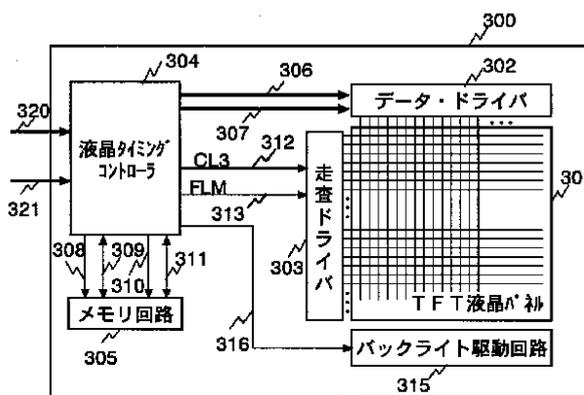
【図23】

図23



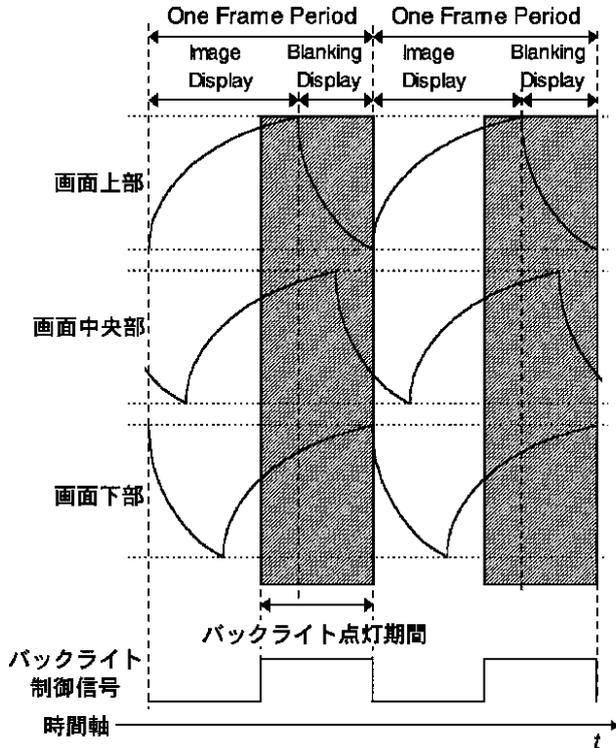
【図24】

図24



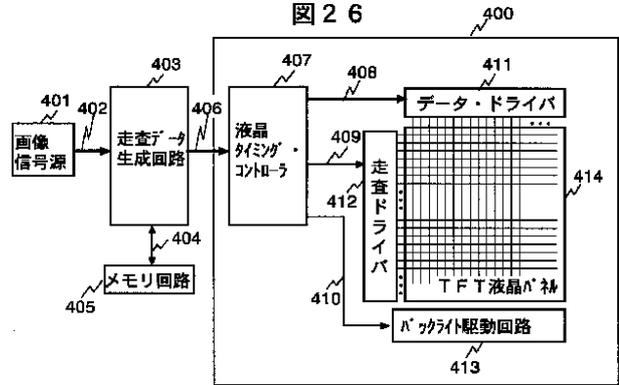
【図25】

図25



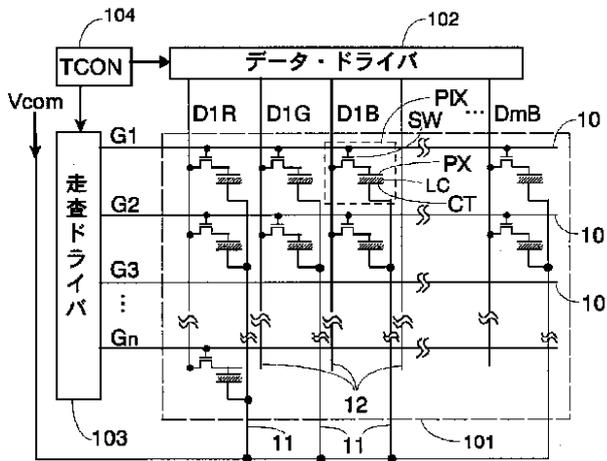
【図26】

図26



【図27】

図27



フロントページの続き

(51) Int. Cl.<sup>7</sup>

G 0 9 G 3/20

識別記号

6 2 3

6 4 1

6 6 0

F I

G 0 9 G 3/20

特マコード (参考)

6 2 3 Y

6 4 1 R

6 6 0 V

H 0 4 N 5/66

H 0 4 N 5/66

A  
B

1 0 2

1 0 2

(72)発明者 平方 純一  
千葉県茂原市早野3300番地 株式会社日立  
製作所ディスプレイグループ内

(72)発明者 田中 義則  
千葉県茂原市早野3300番地 株式会社日立  
製作所ディスプレイグループ内

(72)発明者 川辺 和佳  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所システム開発研究所内

Fターム(参考) 2H093 NA16 NA43 NA79 NC16 NC29  
NC34 NC41 NC44 NC49 ND04  
ND08 ND60 NH14 NH15 NH16  
5C006 AA01 AF03 AF04 AF42 AF44  
AF51 AF53 AF61 AF71 AF73  
BB15 BC03 BC12 BC16 BF02  
BF05 FA29  
5C058 AA08 AA11 AA12 AA13 BA04  
BA07 BB13 BB22 BB23  
5C080 AA06 AA07 AA10 BB05 DD03  
EE28 FF11 JJ02 JJ04

专利名称(译)	<无法获取翻译>		
公开(公告)号	<a href="#">JP2003280600A5</a>	公开(公告)日	2005-08-25
申请号	JP2002077498	申请日	2002-03-20
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	新田博幸 古橋勉 平方純一 田中義則 川辺和佳		
发明人	新田 博幸 古橋 勉 平方 純一 田中 義則 川辺 和佳		
IPC分类号	G09G3/34 G02F1/133 H04N5/66 G09G3/36 G09G3/20		
CPC分类号	G09G2320/10 G09G2310/024 G09G2310/0224 G09G2310/0237 G09G2310/0205 G09G2320/0261 G09G3/3406 G09G3/3648 G09G2310/08 G09G2320/02 G09G2310/061		
FI分类号	G09G3/36 G02F1/133.535 G02F1/133.550 G09G3/20.612.U G09G3/20.622.Q G09G3/20.623.Y G09G3/20.641.R G09G3/20.660.V H04N5/66.A H04N5/66.B H04N5/66.102		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA79 2H093/NC16 2H093/NC29 2H093/NC34 2H093/NC41 2H093/NC44 2H093/NC49 2H093/ND04 2H093/ND08 2H093/ND60 2H093/NH14 2H093/NH15 2H093/NH16 5C006/AA01 5C006/AF03 5C006/AF04 5C006/AF42 5C006/AF44 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/AF73 5C006/BB15 5C006/BC03 5C006/BC12 5C006/BC16 5C006/BF02 5C006/BF05 5C006/FA29 5C058/AA08 5C058/AA11 5C058/AA12 5C058/AA13 5C058/BA04 5C058/BA07 5C058/BB13 5C058/BB22 5C058/BB23 5C080/AA06 5C080/AA07 5C080/AA10 5C080/BB05 5C080/DD03 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZC34 2H193/ZC35 2H193/ZE02 2H193/ZG45		
其他公开文献	JP2003280600A		

#### 摘要(译)

要解决的问题：抑制由诸如液晶显示装置的保持型显示装置显示的运动图像的轮廓等中引起的“模糊”，而不损害显示图像的亮度。根据本发明，基于输入到显示设备的图像数据的图像针对每个帧周期显示，然后用消隐图像掩蔽。在本发明中，图像数据的图像显示周期与一帧周期中的消隐图像显示周期之间的比率被划分为与每个周期中的扫描时钟对应的像素阵列中的像素行的选择数，扫描时钟频率，通过缩短在水平扫描周期的水平扫描周期等输入到每个像素行的显示信号的水平周期，从而确保视频数据的图像显示亮度并利用消隐图像有效地擦除显示图像。