

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3811663号
(P3811663)

(45) 発行日 平成18年8月23日(2006.8.23)

(24) 登録日 平成18年6月2日(2006.6.2)

(51) Int. Cl.

F I

G02F 1/1368 (2006.01)
G02F 1/1333 (2006.01)
G02F 1/1343 (2006.01)
H01L 21/336 (2006.01)
H01L 29/786 (2006.01)

G02F 1/1368
 G02F 1/1333 505
 G02F 1/1343
 H01L 29/78 612D

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2002-116649 (P2002-116649)	(73) 特許権者	501090788
(22) 出願日	平成14年4月18日 (2002.4.18)		瀚宇彩晶股▲ふん▼有限公司
(65) 公開番号	特開2003-149680 (P2003-149680A)		台湾桃園縣楊梅鎮高獅路580號
(43) 公開日	平成15年5月21日 (2003.5.21)	(74) 代理人	100064584
審査請求日	平成15年8月1日 (2003.8.1)		弁理士 江原 省吾
(31) 優先権主張番号	90127480	(74) 代理人	100093997
(32) 優先日	平成13年11月6日 (2001.11.6)		弁理士 田中 秀佳
(33) 優先権主張国	台湾 (TW)	(74) 代理人	100101616
			弁理士 白石 吉之
		(74) 代理人	100107423
			弁理士 城村 邦彦
		(74) 代理人	100120949
			弁理士 熊野 剛
		(74) 代理人	100121186
			弁理士 山根 広昭

最終頁に続く

(54) 【発明の名称】 面内スイッチング液晶ディスプレイアレイの製造方法およびその構造

(57) 【特許請求の範囲】

【請求項1】

複数の画素を有する基板であって、前記各画素が薄膜トランジスタ領域及び画素領域を有しかつ、前記画素領域が第一絶縁層及び第二絶縁層を有する基板を準備し、

前記画素領域の第一絶縁層及び第二絶縁層をエッチングして前記第一絶縁層に複数の第一開口部を形成すると共に、前記第二絶縁層に複数の第二開口部を形成し、ここで前記第一開口部は第二開口部よりも大きな開口部にするアンダカットプロファイルを有するように形成する工程と、

前記画素領域上に導電層を設けて前記第一開口部の底部に透明共通電極を形成すると共に、前記第二絶縁層の上部に透明画素電極を形成し、前記透明画素電極を前記透明共通電極と絶縁させる工程とを含んでいることを特徴とする面内スイッチング (IPS) 液晶ディスプレイアレイの製造方法。

【請求項2】

透明共通電極および透明画素電極が異なる層間で互いに互いに平行、かつ、前記画素領域の上方から見て透明共通電極と透明画素電極間に隙間がないように形成されていることを特徴とする請求項1の面内スイッチング (IPS) 液晶ディスプレイアレイの製造方法。

【請求項3】

基板と、前記基板上に配列された複数の画素とを備え、前記各画素が薄膜トランジスタ領域及び画素領域を有する面内スイッチング (IPS) 液晶ディスプレイアレイであって

、前記各画素領域が、前記基板の上に形成されると共に複数の第一開口部を有する第一絶縁層と、前記第一絶縁層上に形成されると共に前記第一開口部に対応する複数の第二開口部を有し、第一開口部は第二開口部よりも大きな開口部にするアンダカットプロファイルを有する第二絶縁層と、前記基板の上に配置された複数の透明共通電極と、前記第二絶縁層の上部に配置された複数の透明画素電極とを備えていることを特徴とする面内スイッチング（IPS）液晶ディスプレイアレイ。

【請求項4】

透明共通電極および透明画素電極が異なる層間で互いに互いに平行、かつ、前記画素領域の上方から見て透明共通電極と透明画素電極間に隙間がないように形成されていることを特徴とする請求項3の面内スイッチング（IPS）液晶ディスプレイアレイ。

10

【請求項5】

複数の画素を有すると共に前記各画素に画素領域及び薄膜トランジスタ領域が設けられた基板と、前記画素領域の少なくとも一部分をカバーし、かつ、前記基板を露出させるために少なくとも一つの開口部であって上部よりも底部が広い開口部が形成された絶縁層と、前記開口部は、前記絶縁層の開口部に蒸着された透明共通電極と、前記開口部に隣接する絶縁層の上部に前記画素領域の上面から見て第一電極との間に隙間なく形成された透明画素電極とを備えていることを特徴とする面内スイッチング（IPS）液晶ディスプレイ

【発明の詳細な説明】

【0001】

20

【産業上の利用分野】

本発明は、薄膜トランジスタ（TFT）アレイ基板及び該基板を製造するプロセスに関する。より詳細には、本発明は自己整合型面内スイッチング（IPS）液晶ディスプレイのためのTFTアレイ基板に関する。

【0002】

【従来の技術】

優れた表示特質と経済的効果を持つ陰極線管（CRT）がディスプレイ装置として広く使用されてきた。しかしながら、CRT装置に関してスペース効率と電力消費のようないくつかの問題がある。軽量かつ小型のディスプレイ装置の要請が増加するに従い、その要求に合致する薄膜トランジスタ液晶ディスプレイ（TFT-LCD）装置が徐々に普及して

30

【0003】

図1Aは、従来のIPS液晶ディスプレイ装置用のTFTアレイ基板の平面図である。図1Bは、図1Aの概略II-II線断面図である。液晶分子は同一平面で水平方向のみに回転するのが、IPS液晶ディスプレイ装置の特徴である。TFTアレイ基板は、主に配列した複数のTFT102を有する透明基板から成る。各TFT102は、複数の金属共通電極106と複数の金属画素電極108を持つ画素領域104に対応している。金属共通電極106は、金属画素電極108より下方に位置しており、それらの間に絶縁層107が挿入される。TFT102のソース/ドレイン領域110は、信号線114及び金属画素電極108に電気的に接続される。更に、保護層116は、TFT102及び画素領域104を覆うために透明基板100上に形成される。金属画素電極108と金属共通電極106間の水平電界の作用により、液晶分子は、同一平面内で表示すべき基板に平行な方向に回転し、それによって視角依存度を低減している。

40

【0004】

【発明が解決しようとする技術的課題】

図2Aのように、従来のIPS液晶ディスプレイ装置においては、金属画素電極108と金属共通電極106との間に水平電界があるので、より広い視角範囲が得られる。しか

50

しながら、金属画素電極 108 又は金属共通電極 106 上の液晶分子は、水平電界のために表示することができず、低開口率問題を起こすおそれがある。

【0005】

図 2 B のように、従来の IPS 液晶ディスプレイの低開口率問題を克服するために、FFS 液晶ディスプレイ装置が提案されてきた。FFS 液晶ディスプレイ装置において、透明画素電極 108 b が、電極の幅及びディスプレイのセル間隙よりも小さい距離で透明共通電極 106 b の上に形成され、その結果、水平電界が電極 106 b と 108 b 間及びその上方に均一に分布して、IPS 液晶ディスプレイ装置の開口率が增加される。しかしながら、FFS 液晶ディスプレイ装置は、例えば、異なるマスクによって画定される電極間隙の制御が困難であるという欠点を持つ。更に、下張りの透明共通電極 106 b が形成された後、透明画素電極 108 b をパターン化するためにマスクと蒸着プロセスが必要である。透明電極 108 b, 106 b の整合は、製造プロセスに対して重要である。もし不整合が生じれば、電界は均一に分布することができず、表示特質は悪影響を受けるであろう。更に、大きな液晶ディスプレイは、小さな液晶ディスプレイセルから形成される。ショットむら問題が、従来のプロセス、特にステッパーを使用する露出プロセスによって作られる液晶セルの組立てにおいて生じる傾向がある。

10

【0006】

【課題を解決するための手段】

本発明の上記及び他の目的を達成するために、TFT アレイ基板及び該基板を製造するプロセスを提供する。配列した複数の TFT が、TFT を生産する従来のプロセスによって透明基板上に形成される。TFT プロセスの間、第一金属が走査線、ゲート及び共通線を形成するために使用される。ゲート絶縁層及び保護層が、透明基板の画素領域中に順番に形成される。エッチング液、ゲート絶縁層及び保護層の材料のタイプを選択することにより、ゲート絶縁層のエッチング速度は保護層のそれよりも大きくなるように制御でき、その結果、複数の開口部がゲート絶縁層及び保護層に形成される。ゲート絶縁層の開口部は、アンダカットプロファイルを持つ。次に、透明導電層が基板上に形成される。開口部はアンダカットプロファイルを持つので、透明導電層は開口部のエッジで二つの部分に分離する。分離された二つの部分の一方は開口部の底部に位置すると共に、他方は保護層の上に位置しており、両者の間に結合が生じないように透明導電層の二つの部分が絶縁されている。開口部の底部の透明導電層の一部は、透明画素電極と呼ばれる。保護層上の透明導電層の一部は、透明共通電極を形成するために共通金属線に接続される。

20

30

【0007】

また、別の TFT アレイ基板及び該基板を製造するプロセスも提供する。複数の TFT が、従来のプロセスによって基板上に配列して形成される。ゲート絶縁層は、第一絶縁層及び第二絶縁層を持つ二層構造のような多層構造で良い。上記のような二層構造の場合、第一絶縁層及び第二絶縁層は基板の画素領域の上に重なる。エッチング液、ゲート絶縁層及び保護層の材料のタイプを選択することにより、第一絶縁層のエッチング速度は、第二絶縁層のそれよりも大きくなるように制御でき、その結果、複数の開口部が、第一絶縁層及び第二絶縁層に形成される。第一絶縁層の開口部は、アンダカットプロファイルを有するように形成される。次に、透明導電層が基板上に形成される。開口部がアンダカットプロファイルを持つので、透明導電層は、開口部のエッジで二つの部分に分離する。分離された二つの部分の一方が開口部の底部に位置すると共に、他方が保護層の上に位置しており、それらの間に結合が生じないように透明導電層の二つの部分が絶縁されている。開口部の底部の透明導電層の一部は、透明画素電極と呼ばれる。第二絶縁層上の透明導電層の一部は、透明共通電極を形成するために共通金属線に接続される。

40

【0008】

本発明によれば、TFT アレイ基板及び該基板を製造するプロセスが得られる。本発明の TFT アレイ基板は、有利なことに高開口率で、かつ、分断しているが互いに部分的に重なり合う透明電極を有する。TFT アレイ基板中の透明電極は、先行技術の電極の不整合を避けることができるように自己整合型にすることができる。

50

【 0 0 0 9 】

前記の一般的な記述及び以下の詳細な記述は、ともに例示であり、特許請求される本発明をより詳しく説明することを意図している。

【 0 0 1 0 】

【 発明の実施の形態 】

本発明の現在の好ましい実施例について添付図面を参照しつつ詳細に説明する。なお、図面及び説明の記述において、同一又は類似の部分については、同一符号を使用することとする。

【 0 0 1 1 】

図 3 ~ 図 7 は、本発明の好ましい第一実施例による IPS モード液晶ディスプレイ装置及び該装置を製造する方法である。図 3 において、透明基板 200 が与えられている。透明基板 200 は、例えばガラスで構成されている。複数の薄膜トランジスタ (TFT) 領域 200 a 及び画素領域 200 b が、透明基板 200 内にアレイ状に形成される。導電層が、TFT 領域 200 a と画素領域 200 b 上に形成される。次にフォトリソグラフィプロセスが、ゲート 202 a と共通線 202 b を形成するために実施される。ゲート 202 a 及び共通線 202 b 用の材料は、タンタル、モリブデン、アルミニウム及びクロミウムのような金属で良い。共通線 202 b は、共通電極の全抵抗を低減すると共に、後で形成される透明共通電極に接続するために使用される。

10

【 0 0 1 2 】

図 4 において、ゲート 202 a が形成された後、ゲート絶縁層 204、チャンネル 206 及び窒化シリコン層が、透明基板 200 上に順番に形成される。ゲート絶縁層 204 は、例えば CVD 法により酸化シリコン (SiO_x) 又は窒化シリコン (SiN_x) から作ることができる。チャンネル 206 は、真性アモルファスシリコンで構成される。その後、チャンネル 206 上の窒化シリコンは、エッチング停止層 208 となるゲート 202 a 上の一部のみを残して部分的に除去される。エッチング停止層 208 は、ソース/ドレイン領域を形成する後続のエッチングステップで使用される。

20

【 0 0 1 3 】

図 5 において、エッチング停止層 208 が形成された後、コンタクト層 210 及びソース/ドレイン導電層が透明基板 200 上に順番に形成される。ソース/ドレイン領域 212 が画定され、次にコンタクト層 210、ソース/ドレイン導電層及びソース/ドレイン領域 212 の外側のチャンネル 206 が除去される。コンタクト層 210、ソース/ドレイン導電層及びソース/ドレイン領域 212 の外側のチャンネル 206 の除去は、エッチングによって達成でき、一方ゲート 202 a 上に位置するエッチング停止層 208 は、その下のチャンネル 206 がエッチングされること及び損傷を受けることから保護することができる。

30

【 0 0 1 4 】

図 6 において、ソース/ドレイン領域 212 が形成された後、保護層 216 が透明基板 200 の TFT 領域 200 a と画素領域 200 b 上に形成される。保護層 216 は、ゲート絶縁層 204 のエッチング速度が保護層 216 のそれよりもかなり大きければ、ゲート絶縁層 204 の材料とエッチング液のタイプに従って変えることができる。保護層 216 に対するゲート絶縁層 204 の選択的エッチング速度は、1 よりも大きく、好ましくはアングカトップファイルを形成するために 1 から 10 の範囲に設定される。例えば、ゲート絶縁層 204 が酸化シリコン (SiO_x) から作られるならば、保護層 216 の材料は、窒化シリコン (SiN_x) 又は適当なエッチング液を使用することによって酸化シリコンよりも遥かに小さいエッチング速度を持つポリマーから選択できる。また、ゲート絶縁層 204 が窒化シリコンから作られるならば、保護層 216 の材料は窒化シリコンよりも遥かに小さいエッチング速度を持つポリマーから選択できる。なお、ゲート絶縁層 204 と保護層 216 の材料は上に明記したものに限定されない。ゲート絶縁層 204 のエッチング速度が保護層 216 のそれよりも遥かに大きい限り、如何なる材料もゲート絶縁 204 及び保護層 216 に適用できる。

40

50

【 0 0 1 5 】

図6において、保護層216が形成された後、フォトリソグラフィプロセスが、TF T領域200a内のソース/ドレイン領域212上に開口部214aを形成し、かつ、画素領域200b内に複数の開口部214bを形成するために実施される。開口部214bは互いに平行な帯状に形成される。その後、開口部214a, 214bを形成するために、保護層216及びゲート絶縁層204を部分的に除去するエッチングプロセスが遂行される。保護層216は酸化シリコン204よりも遥かに小さいエッチング速度を持つので、エッチング後にアンダカットプロファイル218がゲート絶縁層204のエッジに形成される。開口部のエッチングは、ソース/ドレイン領域212で終わる。最終的に、透明導電層が画素領域200bの上に形成される。アンダカットプロファイル218がゲート絶縁層204のエッジに形成されるので、結果として生じる導電層は、透明共通電極220bと透明画素電極220aに分離する。透明共通電極220b及び透明画素電極220aは、それぞれ開口部214bの底部と保護層216の表面に位置する。透明共通電極220b及び透明画素電極220aは、例えばインジウム錫酸化物(ITO)又はインジウム亜鉛酸化物より作ることができる。各画素領域200b内の透明画素電極220aは、開口部214aを通してTF T領域200a内のソース/ドレイン領域212に電氣的に接続される。透明共通電極220bは、開口部214bを通して金属共通線202bに電氣的に接続される。このようにしてコンタクト抵抗が低減される。更に、画素領域200bの形状を滑らかにするために、図7のように、透明導電層230が形成された後、任意に透明ポリマー膜が透明導電層の上に適用され、かつ、透明導電層230と共に画定される。

10

20

【 0 0 1 6 】

図7は、本発明の好ましい第一実施例によるIPSモード液晶ディスプレイ装置における画素領域の局部的拡大図である。図7において、アンダカットプロファイル218がゲート絶縁層204のエッジに形成される。アンダカットプロファイル218は、透明画素電極220a及び透明共通電極220b間の如何なる結合も阻止するように、透明画素電極220a及び透明共通電極220bを開口部214bのエッジから分離している。本発明によって形成された透明画素電極220aと透明共通電極220bは自己整合でき、画素電極と共通電極の不整合に関する従来の問題を排除する。その上、透明画素電極220aと透明共通電極220bは絶縁されているが互いに部分的に重なり合っている。従って、透明画素電極220a及び透明共通電極220b間の水平電界の強度と分布は、表示特質における開口率を増加し、かつ、負荷電圧を低下させることを助長する。その上、透明画素電極220aと透明共通電極220bは蒸着によって同時に形成され、その結果、単純な製造プロセスが得られる。

30

【 0 0 1 7 】

図8~図11は、本発明の好ましい第二実施例によるIPSモード液晶ディスプレイ装置用のTF Tアレイ基板を示している。図8において、透明基板300が与えられる。透明基板300は、例えばガラスで構成されている。複数の薄膜トランジスタ(TF T)領域300a及び画素領域300bが、透明基板300内に配列して形成される。導電層が、TF T領域300a及び画素領域300b内に形成される。次に、ゲート302a及び共通線302bを形成するためにフォトリソグラフィプロセスが実施される。ゲート302aと共通線302b用の材料は、タンタル、モリブデン、アルミニウム及びクロミウムのような金属で良い。図9において、ゲート302aが形成された後、第一ゲート絶縁層304a、第二ゲート絶縁層304b、チャンネル306及び窒化シリコン層が透明基板300上に順番に形成される。第一ゲート絶縁層304aは、例えばCVD法により酸化シリコン(SiO_x)又は窒化シリコン(SiN_x)から作ることができる。第二ゲート絶縁層304bは、第一ゲート絶縁層304aが第二ゲート絶縁層304bよりも大きなエッチング速度を持つならば、第一ゲート絶縁層304aの材料及びエッチング液に依存して選択される。例えば、第一ゲート絶縁層304aが酸化シリコン(SiO_x)から作られるならば、第二ゲート絶縁層304bの材料は適当なエッチング液を使用することによ

40

50

って酸化シリコンよりも小さいエッチング速度を持つ窒化シリコン (SiN_x) から作ることができる。第二ゲート絶縁層 304b に対する第一ゲート絶縁層 304a の選択的エッチング速度は、1 よりも大きく、好ましくは 1 から 10 の範囲に設定される。チャンネル 306 は、真性アモルファスシリコンから作ることができる。その後、チャンネル 306 上の窒化シリコン層は、エッチング停止層 308 となるゲート 302a 上の一部のみを残して部分的に除去される。エッチング停止層 308 は、ソース/ドレイン領域を形成する後続のエッチングステップで使用される。

【0018】

図 10 において、エッチング停止層 308 が形成された後、コンタクト層 310 及びソース/ドレイン導電層が透明基板 300 上に順番に形成される。ソース/ドレイン領域 312 が画定され、次にコンタクト層 310、ソース/ドレイン導電層及びソース/ドレイン領域 312 の外側のチャンネル 306 が除去される。コンタクト層 310、ソース/ドレイン導電層及びソース/ドレイン領域 312 の外側のチャンネル 306 の除去は、エッチングによって達成できる。一方、ゲート 302a 上に位置するエッチング停止層 308 は、その下のチャンネル 306 がエッチングされること及び損傷を受けることから保護することができる。

【0019】

図 11 において、ソース/ドレイン領域 312 が形成された後、画素領域 300b 内に複数の開口部 314 を形成するためにフォトリソグラフィプロセスが実施される。開口部 314 は、互いに平行な帯状に形成される。その後、開口部 314 を形成するために、第一ゲート絶縁層 304a 及び第二ゲート絶縁層 304b を部分的に除去するエッチングプロセスが遂行される。第一ゲート絶縁層 304a は、エッジ区域では他の区域よりも迅速にエッチングされるので、開口部はアンダカットプロファイル 318 を有するように形成される。

【0020】

開口部 314 は第一ゲート絶縁層 304a のエッジにアンダカットプロファイル 318 を持つので、結果として生じる導電層は、透明共通電極 320b と透明画素電極 320a とに分離し、それらはそれぞれ開口部 314 の底部と後で形成される保護層 316 の表面に位置する。透明共通電極 320b 及び透明画素電極 320a は、例えばインジウム錫酸化物 (ITO) 又はインジウム亜鉛酸化物より作ることができる。各画素領域 300b 内の透明画素電極 320a は、TFT 領域 300a 内のソース/ドレイン領域 312 と電氣的に接続される。透明共通電極 320b は、開口部 314 を通して金属共通線 302b と電氣的に接続される。このようにしてコンタクト抵抗が低減される。最終的に、保護層 316 が、透明基板 300 の TFT 領域 300a と画素領域 300b の上に形成される。保護層 316 は、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 又はポリマーから作ることができる。

【0021】

図 12 は、本発明の好ましい第二実施例による IPS モード液晶ディスプレイ装置における画素領域の局部的拡大図である。図 12 において、ゲート絶縁層 304a のエッジに形成されたアンダカットプロファイル 318 は、透明画素電極 320a と透明共通電極 320b 間の如何なる結合も阻止するように、開口部 314 のエッジで透明画素電極 320a を透明共通電極 320b から分離している。本発明に基づいて形成された透明画素電極 320a 及び透明共通電極 320b は、自己整合が可能で、従来の画素電極と共通電極の不整合に関する問題を排除できる。その上、透明画素電極 320a と透明共通電極 320b は絶縁されているが画素領域の上方から見て互いに部分的に重なり合っている。従って、透明画素電極 320a と透明共通電極 320b 間の水平電界の強度と分布は、表示特質における開口率を増加し、かつ、負荷電圧を低下させることを助長する。その上、透明画素電極 320a と透明共通電極 320b は蒸着によって一時に形成され、その結果、単純な製造プロセスが得られる。

【0022】

10

20

30

40

50

上述の如く、ゲート絶縁層304a及び304bのエッチングは、他の素子の処理に依存する。なお、ゲート絶縁層のエッチングの順序は、上に明記したものには限定されない。更に、ゲート絶縁層の数は、2以上であってもよい。本発明の特徴の一つは、少なくとも二つの電極が異なるレベルに位置しているということである。エッチング速度を選択することにより、このように形成された開口部314は、後で形成された電極を絶縁しているが互いに部分的に重なり合うことができるように、底部が上部よりも広いテーパ形状になる。

【0023】

図13は、本発明の好ましい第一及び第二実施例によるIPSモード液晶ディスプレイ装置における各画素の平面図である。図13において、各画素はTFT領域と画素領域から成る。TFT領域には、薄膜トランジスタ(TFT)が設けられる。画素領域には、複数の透明画素電極320aと透明共通電極320bが設けられる。走査線318は、TFT領域のゲートから延びている。信号線314は、ソース/ドレイン312から延びている。透明画素電極320aは、画素領域において透明共通電極320bと部分的に重なり合う。

10

【0024】

【発明の効果】

本発明は先行技術と比較して下記の利点がある。

【0025】

1. 透明画素電極は、透明共通電極と絶縁されているが、部分的に重なり合っている。従来のIPSディスプレイ装置及び従来のFFSディスプレイと比較して、本発明のTFTアレイ基板は、より高い開口率を有するから、改良された表示特質が得られる。

20

【0026】

2. 本発明のTFTアレイ基板において、透明画素電極は、透明共通電極と自己整合することができる。これによりマスクの不整合に関する問題は、排除することができる。

【0027】

3. 本発明のTFTアレイ基板において、異なるエッチング速度を有する絶縁層を使用することにより、透明共通電極と透明画素電極は同時に形成することができ、その結果、単純な製造プロセスが得られる。

【0028】

4. 本発明のTFTアレイ基板を製造するプロセスは、マスクの一部が調節される限り、現行のTFT製造プロセスとの互換性が得られる。

30

【0029】

本発明の範囲又はその意図から逸脱することなしに、本発明の構造に種々の修正及び変更が為され得るということは、当該技術に習熟した人々には明らかであろう。上述の如く、本発明は、本発明の修正及び変更が特許請求の範囲とその等価なもの範囲内に入るならば、それらもカバーすることを意図している。

【図面の簡単な説明】

添付図面は、本発明をより一層理解し易くするためのもので、本明細書に組込まれて、その一部を構成している。これらの図面は、本発明の実施例を例示し、記述内容と共に本発明の原理を説明するのに役立つものである。

40

【図1A】 従来のIPS液晶ディスプレイ装置のためのTFTアレイ基板の平面図である。

【図1B】 図1AのII-II線に沿った概略縦断面図である。

【図2A】 従来のIPS液晶ディスプレイ装置用のTFTアレイ基板を略図式に示す図である。

【図2B】 従来のIPS液晶ディスプレイ装置用のTFTアレイ基板を略図式に示す図である。

【図3】 本発明の好ましい第一実施例によるIPS液晶ディスプレイ装置用のTFTアレイ基板を製造するプロセスを略図式に示す図である。

50

【図４】 本発明の好ましい第一実施例によるIPS液晶ディスプレイ装置用のTF TAレイ基板を製造するプロセスを略図式に示す図である。

【図５】 本発明の好ましい第一実施例によるIPS液晶ディスプレイ装置用のTF TAレイ基板を製造するプロセスを略図式に示す図である。

【図６】 本発明の好ましい第一実施例によるIPS液晶ディスプレイ装置用のTF TAレイ基板を製造するプロセスを略図式に示す図である。

【図７】 本発明の好ましい第一実施例によるIPS液晶ディスプレイ装置における画素領域の局部的拡大図である。

【図８】 本発明の好ましい第二実施例によるIPS液晶ディスプレイ装置用のTF TAレイ基板を製造するプロセスを示す図である。

10

【図９】 本発明の好ましい第二実施例によるIPS液晶ディスプレイ装置用のTF TAレイ基板を製造するプロセスを示す図である。

【図１０】 本発明の好ましい第二実施例によるIPS液晶ディスプレイ装置用のTF TAレイ基板を製造するプロセスを示す図である。

【図１１】 本発明の好ましい第二実施例によるIPS液晶ディスプレイ装置用のTF TAレイ基板を製造するプロセスを示す図である。

【図１２】 本発明の好ましい第二実施例によるIPS液晶ディスプレイ装置における画素領域の局部的拡大図である。

【図１３】 本発明の好ましい第一及び第二実施例によるIPS液晶ディスプレイ装置における画素の平面図である。

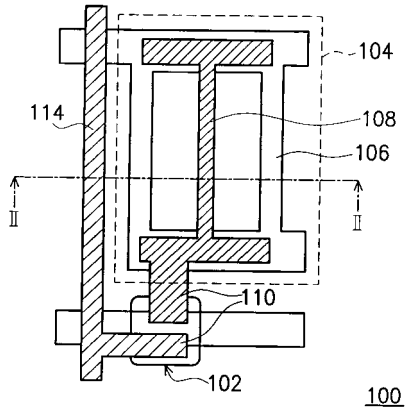
20

【符号の説明】

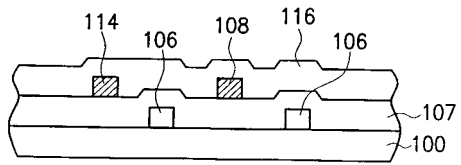
200	透明基板
200a	薄膜トランジスタ(TFT)領域
200b	画素領域
202a	ゲート
202b	金属共通線
204	ゲート絶縁層
206	チャンネル
208	エッチング停止層
210	コンタクト層
212	ドレイン領域
214a, 214b	開口部
216	保護層
218	アンダカットプロファイル
220a	透明画素電極
220b	透明共通電極
230	透明導電層

30

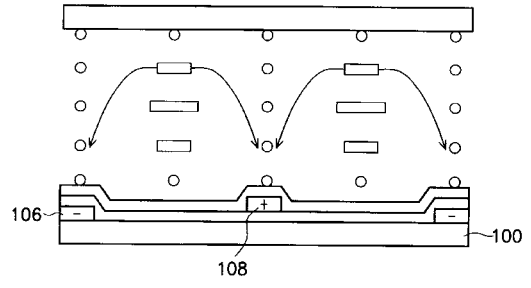
【 図 1 A 】



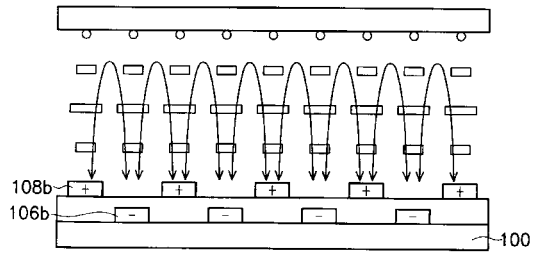
【 図 1 B 】



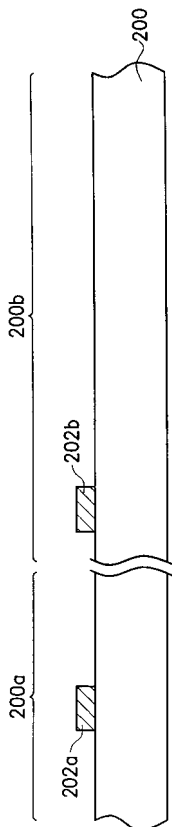
【 図 2 A 】



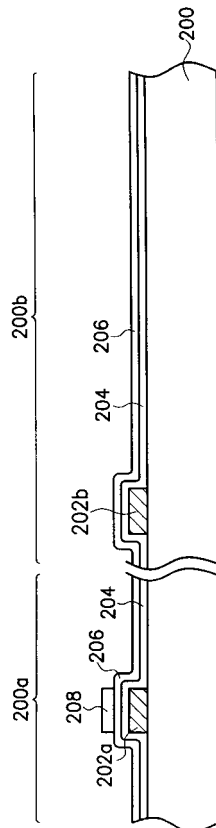
【 図 2 B 】



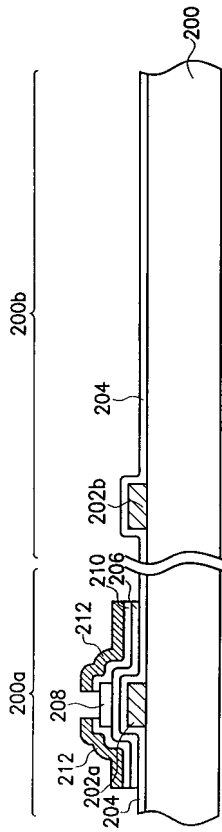
【 図 3 】



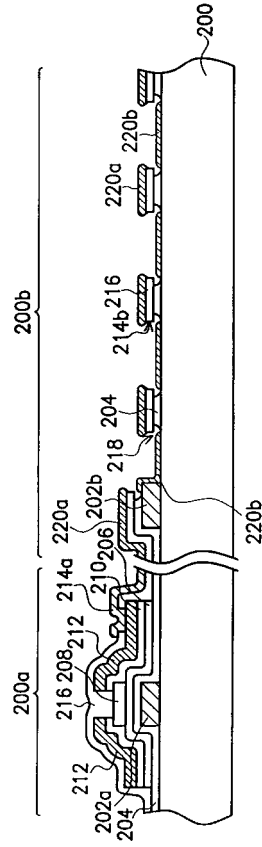
【 図 4 】



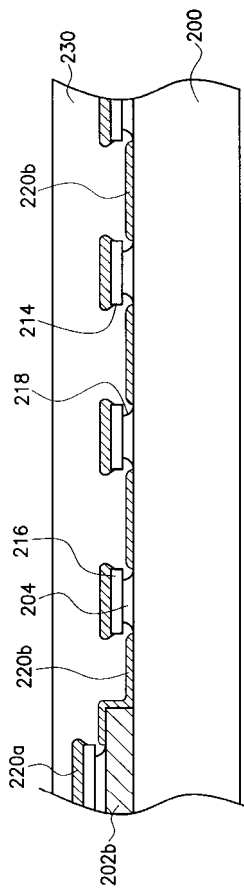
【 図 5 】



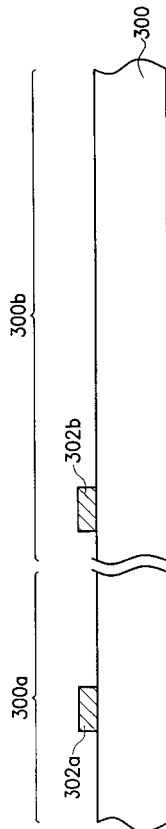
【 図 6 】



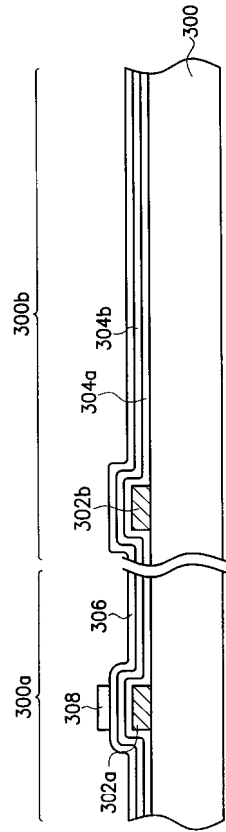
【 図 7 】



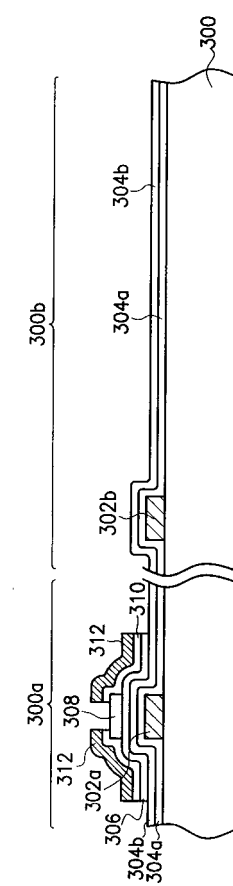
【 図 8 】



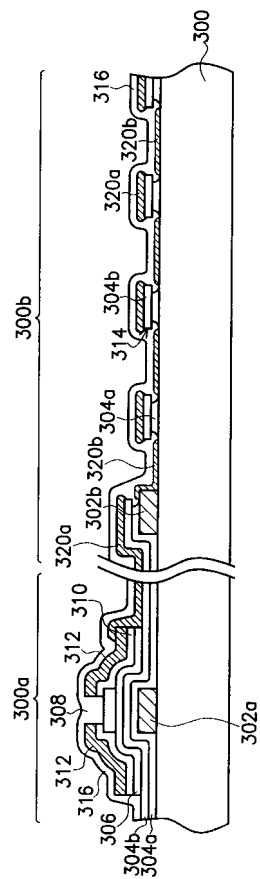
【 図 9 】



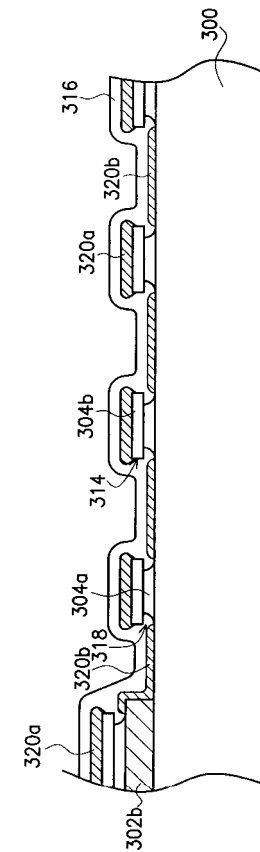
【 図 10 】



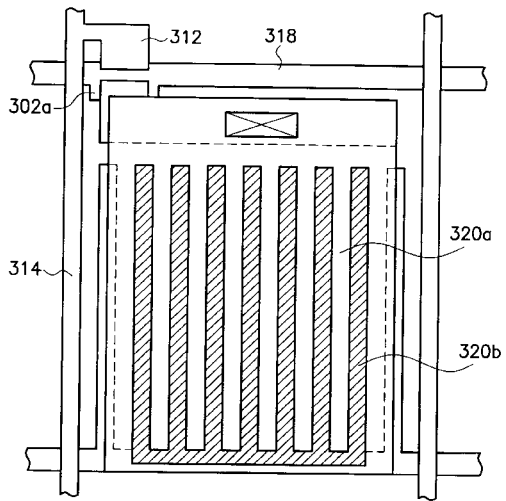
【 図 11 】



【 図 12 】



【 図 1 3 】



フロントページの続き

(72)発明者 鄭 嘉雄

台湾新竹縣寶山郷寶新路147巷26號4樓

審査官 藤田 都志行

(56)参考文献 特開平11-125836(JP,A)
特開平11-316383(JP,A)
特開2000-089255(JP,A)
特開2000-347220(JP,A)
特開2000-235763(JP,A)
特開2000-351974(JP,A)
特開平11-242243(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G02F 1/1333 500

G02F 1/1343

H01L 29/78 612D

专利名称(译)	制造面内切换液晶显示器阵列的方法及其结构		
公开(公告)号	JP3811663B2	公开(公告)日	2006-08-23
申请号	JP2002116649	申请日	2002-04-18
[标]申请(专利权)人(译)	瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股▲ふん▼有限公司		
当前申请(专利权)人(译)	瀚宇彩晶股▲ふん▼有限公司		
[标]发明人	郑嘉雄		
发明人	郑 嘉雄		
IPC分类号	G02F1/1368 G02F1/1333 G02F1/1343 H01L21/336 H01L29/786		
CPC分类号	G02F1/134363		
FI分类号	G02F1/1368 G02F1/1333.505 G02F1/1343 H01L29/78.612.D		
F-TERM分类号	2H090/HA02 2H090/HA04 2H090/HC11 2H090/HC12 2H090/JA05 2H090/LA01 2H092/GA11 2H092/GA14 2H092/GA17 2H092/JA24 2H092/MA13 2H092/MA14 2H092/MA17 2H092/MA20 2H092/MA41 2H092/NA07 2H190/HA02 2H190/HA04 2H190/HC11 2H190/HC12 2H190/JA05 2H190/LA01 2H192/AA24 2H192/BB03 2H192/BB73 2H192/CB05 2H192/CB71 2H192/CB83 2H192/EA62 2H192/EA66 2H192/EA74 2H192/HA64 2H192/JA33 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF29 5F110/GG02 5F110/GG15 5F110/GG35 5F110/HL07 5F110/HL22 5F110/NN03 5F110/NN12 5F110/NN23 5F110/NN24 5F110/NN72 5F110/QQ03		
代理人(译)	田中 秀佳 熊野刚		
优先权	090127480 2001-11-06 TW		
其他公开文献	JP2003149680A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供TFT阵列基板和制造基板的工艺。解决方案：在透明电极上形成多个阵列TFT。依次形成栅极绝缘层和保护层以覆盖衬底的像素区域。在栅极绝缘层和保护层中形成多个开口，每个开口具有底切轮廓。然后，在衬底上形成透明导电层。分离的两个部分中的一个位于开口的底部，另一个位于保护层上，使得透明导电层的两个部分断开并且在它们之间不发生结。在开口底部的透明导电层的部分被称为透明像素电极。透明导电层的一部分连接到公共金属线以形成透明公共电极。透明像素电极与保护层断开但重叠。

【图 1 A】

