

(19)日本国特許庁(J P)

(12) 公開特許公報(A) (11)特許出願公開番号

特開2002 - 311414

(P2002 - 311414A)

(43)公開日 平成14年10月23日(2002.10.23)

(51) Int.Cl <sup>7</sup>	識別記号	F I	テ-マ-ド <sup>*</sup> (参考)
G 0 2 F 1/133	550	G 0 2 F 1/133	550 2 H 0 9 3
G 0 9 G 3/20	611	G 0 9 G 3/20	611 E 5 C 0 0 6
	622		622 C 5 C 0 5 8
3/36		3/36	5 C 0 8 0
H 0 4 N 5/66	102	H 0 4 N 5/66	102 B

審査請求 未請求 請求項の数 7 O L (全 7 数)

(21)出願番号 特願2001 - 118450(P2001 - 118450)

(22)出願日 平成13年4月17日(2001.4.17)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 中川 敏之

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74)代理人 100092794

弁理士 松田 正道

Fターム(参考) 2H093 NA16 NA31 NC34 ND10

5C006 AC22 BB16 BC03 FA23 FA37

5C058 AA06 BA01 BA09

5C080 AA10 BB05 DD06 FF11 JJ02

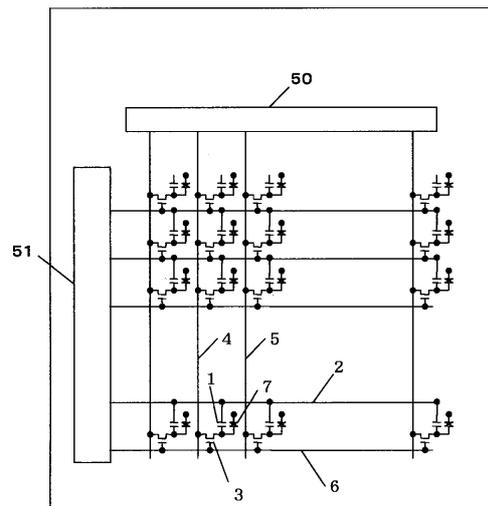
JJ04

(54)【発明の名称】 液晶表示装置、画像表示応用機器、マトリックス型表示装置駆動方法、およびプログラム

(57)【要約】

【課題】 液晶表示装置におけるフリッカの発生が液晶表示品質を低下させていた。

【解決手段】 液晶容量7の両端に所定の電位差を生じさせるためのソース信号をソース配線に対して印加するソース駆動回路50と、TFT3をオン/オフするためのゲート信号をゲート配線に対して印加するゲート駆動回路51とを備え、ソース信号の印加が所定の振幅を有する極性反転を利用して行われる場合、ゲート信号の印加は、印加されるソース信号の極性が異なりその振幅が実質上同じである期間において、液晶容量7の両端に生じる電位差が実質上同じであるように行われる液晶表示装置。



1 : 蓄積容量Cst

2 : (n-1) 番目のゲートバスラインGn-1

3 : 薄膜トランジスタTFT

4 : m 番目のソースバスラインSm

5 : (m+1) 番目のソースバスラインSm+1

6 : n 番目のゲートバスラインGn

7 : 液晶容量Clc

50 : ソース駆動回路

51 : ゲート駆動回路

## 【特許請求の範囲】

【請求項1】 ソース配線とゲート配線との交差部に対応して液晶画素およびスイッチング素子が設けられた液晶パネルを有する液晶表示装置であって、前記液晶画素の両端に所定の電位差を生じさせるためのソース信号を前記ソース配線に対して印加するソース駆動回路と、前記スイッチング素子をオン/オフするためのゲート信号を前記ゲート配線に対して印加するゲート駆動回路とを備え、前記ソース信号の印加が所定の振幅を有する極性反転を利用して行われる場合、前記ゲート信号の印加は、前記印加されるソース信号の極性が異なりその振幅が実質上同じである期間において、前記液晶画素の両端に生じる電位差が実質上同じであるように行われる液晶表示装置。

【請求項2】 前記ゲート信号の印加は、(a)前記スイッチング素子をオンするための第一の電位が印加され、前記液晶画素に突き抜け電位を誘起するための第二の電位が印加された後に、前記スイッチング素子をオフするための基準電位が印加される期間と、(b)前記スイッチング素子をオンするための第三の電位が印加され、前記液晶画素に突き抜け電位を誘起するための第四の電位が印加された後に、前記基準電位が印加される期間とが繰り返されるように行われ、前記第一の電位から第二の電位への遷移の過程および/または前記第三の電位から第四の電位への遷移の過程において、前記突き抜け電位を制御するための所定の電位が印加される期間が少なくとも一つ設けられた請求項1記載の液晶表示装置。

【請求項3】 前記突き抜け電位を制御するための所定の電位が印加される期間においては、前記スイッチング素子はオンしている請求項2記載の液晶表示装置。

【請求項4】 前記第一の電位から第二の電位への遷移の過程において、前記突き抜け電位を制御するための所定の電位が印加される期間が一つ設けられており、前記第二の電位は、前記第一の電位とは極性が相異なる電位であり、前記所定の電位は、前記第一の電位と前記第二の電位との間の電位である請求項1記載の液晶表示装置。

【請求項5】 請求項1から4の何れかに記載の液晶表示装置を用いた画像表示応用機器。

【請求項6】 マトリックス型の表示装置において、走査配線の選択パルス電圧波形が、表示領域において少なくとも二種類存在することを特徴とするマトリックス型表示装置駆動方法。

【請求項7】 請求項1記載の液晶表示装置の、前記液晶画素の両端に所定の電位差を生じさせるためのソース信号を前記ソース配線に対して印加するソース駆動回路と、前記スイッチング素子をオン/オフするためのゲート

ト信号を前記ゲート配線に対して印加するゲート駆動回路との全部または一部としてコンピュータを機能させるためのプログラム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置、画像表示応用機器、マトリックス型表示装置駆動方法、およびプログラムに関する。

## 【0002】

10 【従来の技術】近年、液晶表示装置は、CRTに代わるディスプレイ装置として特にカラーノートパソコンやナビゲーションシステムに採用され、著しい進展を遂げている。更に、将来的には、液晶テレビにおける画面の大型化及び高精細化が求められており、特に薄膜トランジスタ(以下TFTと略す)を用いたアクティブマトリックス型液晶表示装置の利用範囲は、拡大している。

20 【0003】そこで、液晶表示装置に従来より見られるフリッカやクロストーク等の好ましくない現象の解消および低消費電力化を促進するための、様々な駆動方法の検討及び実用化がなされてきた。

【0004】たとえば、このような駆動方法の一つとしては、画素電極に容量的に結合しているゲートバスラインの電位を変化させて画素電極の電位を変調する方法(以下では容量結合駆動法と称す)がある(特開平2-157815号公報参照)。

30 【0005】この容量結合駆動法により、液晶の誘電異方性等によるDC成分の除去が可能となり、ソース信号振幅の抑制(すなわち、小さなソース信号振幅で大きな画素電位の印加が可能となることによる低消費電力化)がかなり実現されるが、フリッカの抑制には限界があり、さらなる性能向上が望まれている。

【0006】ここで、従来の液晶表示装置のゲートバスラインの等価回路図である図3を参照しながら、容量結合駆動法を適用する従来の液晶表示装置の構成について説明する。

40 【0007】図3において、2は(n-1)番目のゲートバスライン $G_{n-1}$ 、6はn番目のゲートバスライン $G_n$ 、4はm番目のソースバスライン $S_m$ 、5は(m+1)番目のソースバスライン $S_{m+1}$ である。3はゲートバスライン $G_n$ とソースバスライン $S_m$ の交点に位置するTFT(スイッチング素子)、1は蓄積容量 $C_{s1}$ 、7は液晶容量 $C_{lc}$ 、8はゲート-ドレイン間の寄生容量 $C_{gd}$ 、9は画素電極の一端とつながる共通電極 $V_{com}$ である。なお、蓄積容量 $C_{s1}$ は、隣接する各ソースバスライン毎に、TFTに対して前段のゲートバスラインと後段のゲートバスラインとに交互に形成されている。

50 【0008】つぎに、図4(a)~(c)を参照しながら、従来の液晶表示装置の動作について説明する。なお、図4(a)は従来の液晶表示装置における第(n-1)番目のゲートバス $G_{n-1}$ に印加される信号電位の説

明図であり、図4(b)は従来の液晶表示装置における第n番目のゲートバス $G_n$ に印加される信号電圧の説明図である。また、図4(c)は、従来の液晶表示装置における画素電位( $V_{ic}$ )、共通電位( $V_{com}$ )、および第m番目のソースバス $S_m$ に印加される信号電位( $V_s$ )の説明図である。

【0009】図4(a)、(b)に示されているように、容量結合駆動法においては、1水平走査期間保持されるTFT3をオンするためのゲート電位 $V_{gh}$ の後に、2水平走査期間保持される1フィールド毎に電位が $V_{ge+}$ 、 $V_{ge-}$ と交互に変化する変調信号電位が与えられる。なお、ソース信号電位は、第(n-1)フィールドの $V_{gh}$ の電位期間(図4(a)参照)と第nフィールドの $V_{gh}$ の電位期間(図4(a)参照)とでは、極性が逆になる(図4(c)参照)。

【0010】時刻 $t_1$ から時刻 $t_2$ (つぎのフィールドでは時刻 $t_1'$ から時刻 $t_2'$ )においては、第n段ゲート電圧が $V_{gh}$ でTFT3がオン状態になり(図4(b)参照)、画素電位 $V_{ic}$ がソース電位 $V_s$ と同電位まで充電される(図4(c)参照)。

【0011】時刻 $t_2$ から時刻 $t_3$ (時刻 $t_2'$ から時刻 $t_3'$ )においては、TFT3がオフ状態になり(図4(b)参照)、理想的にはソース電位が保持されるはずであるが、寄生容量 $C_{gd}$ の影響で $V$ だけ画素電位 $V_{ic}$ が低下する。この $V$ は、突き抜け電圧と呼ばれ、ゲート電圧の変化量 $V_g$ を用いて次式で表される。

【0012】

【数1】  $V = V_g \cdot C_{gd} / (C_{ic} + C_{st} + C_{gd})$   
ここに、時刻 $t_2$ における第n段ゲート電圧の変化量 $V_g$ は、 $V_g = |V_{gh} - V_{ge-}|$ と表される(時刻 $t_2'$ では、 $V_g = |V_{gh} - V_{ge+}|$ となる)。なお、(数1)においては、 $C_{ic}$ は液晶の容量値、 $C_{st}$ はドレインでの電荷を保持するための蓄積容量値、 $C_{gd}$ はゲートドレイン間の寄生容量値を表す。

【0013】時刻 $t_3$ (時刻 $t_3'$ )においては、第(n-1)段ゲート電圧が $V_{ge+}$ ( $V_{ge-}$ )からTFTをオフするための電位 $V_{g1}$ に変化する(図4(a)参照)ことに影響され、画素電位 $V_{ic}$ はさらに $V_1$ だけ変化する。

【0014】そして、この $V_1$ だけの電位の変化は時刻 $t_4$ (時刻 $t_4'$ )に生ずる補償電位によって補償されるが、その変化量 $V_2$ は具体的には次式で表される。

【0015】

【数2】  $V_2 = V_g \cdot C_{st} / (C_{ic} + C_{st} + C_{gd})$   
ここに、時刻 $t_4$ におけるゲート電圧の変化量 $V_g$ は、 $V_g = |V_{ge-} - V_{g1}|$ と表される(時刻 $t_4'$ では、 $V_g = |V_{ge+} - V_{g1}|$ となる)。

【0016】かくして、白矢印で示されているような電圧が各フィールドにおいて画素にかかる液晶印加実効電圧となり、小さなソース信号振幅で大きな画素電位の印

加が可能となるため、低消費電力化が促進される。

【0017】

【発明が解決しようとする課題】しかしながら、上述したように、隣り合うフィールド間における液晶印加実効電圧がかなり異なるという現象が発生してしまう(図4(c)参照)。

【0018】これが、フリッカ(すなわち画素の輝度差)の発生原因となり、特に大型液晶表示装置における均一な高画質の実現を妨げる、無視できない深刻な現象になっている。

【0019】なお、このような液晶表示装置(容量結合駆動法)においては、ゲートバスラインの配線抵抗 $R_g$ や容量 $C_g$ がフィルタ回路を形成するために、ゲートバスラインの終端端などでは、ゲート電圧の立ち上がりや立ち下がりの期間に遅延時間が生じ、TFT3のソースドレイン間にリーク電流が生じて突き抜け電圧が変化する。特に、前述したTFT3をオンするためのゲート電位 $V_{gh}$ の保持期間後の、立ち下がりの遅延時間の影響によりTFT3が瞬時にオフせず、TFT3が完全にオフするまでにある程度の期間を要する。これも、上述のような現象が発生する理由である。

【0020】本発明は、上記従来のこのような課題を考慮し、フリッカの発生を抑圧できる液晶表示装置、画像表示応用機器、マトリクス型表示装置駆動方法、およびプログラムを提供することを目的とする。

【0021】

【課題を解決するための手段】第一の本発明(請求項1に対応)は、ソース配線とゲート配線との交差部に対応して液晶画素およびスイッチング素子が設けられた液晶パネルを有する液晶表示装置であって、前記液晶画素の両端に所定の電位差を生じさせるためのソース信号を前記ソース配線に対して印加するソース駆動回路と、前記スイッチング素子をオン/オフするためのゲート信号を前記ゲート配線に対して印加するゲート駆動回路とを備え、前記ソース信号の印加が所定の振幅を有する極性反転を利用して行われる場合、前記ゲート信号の印加は、前記印加されるソース信号の極性が異なりその振幅が実質上同じである期間において、前記液晶画素の両端に生じる電位差が実質上同じであるように行われる液晶表示装置である。

【0022】第二の本発明(請求項2に対応)は、前記ゲート信号の印加は、(a)前記スイッチング素子をオンするための第一の電位が印加され、前記液晶画素に突き抜け電位を誘起するための第二の電位が印加された後に、前記スイッチング素子をオフするための基準電位が印加される期間と、(b)前記スイッチング素子をオンするための第三の電位が印加され、前記液晶画素に突き抜け電位を誘起するための第四の電位が印加された後に、前記基準電位が印加される期間とが繰り返されるように行われ、前記第一の電位から第二の電位への遷移の

過程および/または前記第三の電位から第四の電位への遷移の過程において、前記突き抜け電位を制御するための所定の電位が印加される期間が少なくとも一つ設けられた第一の本発明の液晶表示装置である。

【0023】第三の本発明（請求項3に対応）は、前記突き抜け電位を制御するための所定の電位が印加される期間においては、前記スイッチング素子はオンしている第二の本発明の液晶表示装置である。

【0024】第四の本発明（請求項4に対応）は、前記第一の電位から第二の電位への遷移の過程において、前記突き抜け電位を制御するための所定の電位が印加される期間が一つ設けられており、前記第二の電位は、前記第一の電位とは極性が相異なる電位であり、前記所定の電位は、前記第一の電位と前記第二の電位との間の電位である第一の本発明の液晶表示装置である。

【0025】第五の本発明（請求項5に対応）は、第一から第四の何れかの本発明の液晶表示装置を用いた画像表示応用機器である。

【0026】第六の本発明（請求項6に対応）は、マトリクス型の表示装置において、走査配線の選択パルス電圧波形が、表示領域において少なくとも二種類存在することを特徴とするマトリクス型表示装置駆動方法である。

【0027】第七の本発明（請求項7に対応）は、第一の本発明の液晶表示装置の、前記液晶画素の両端に所定の電位差を生じさせるためのソース信号を前記ソース配線に対して印加するソース駆動回路と、前記スイッチング素子をオン/オフするためのゲート信号を前記ゲート配線に対して印加するゲート駆動回路との全部または一部としてコンピュータを機能させるためのプログラムである。

【0028】

【発明の実施の形態】以下では、本発明にかかる実施の形態について、図面を参照しつつ説明を行う。

【0029】はじめに、図1(a)~(c)、および図2を参照しながら、本実施の形態の液晶表示装置の構成について説明する。なお、図1(a)は本実施の形態の液晶表示装置における第(n-1)番目のゲートバス $G_{n-1}$ に印加される信号電位の説明図であり、図1(b)は本実施の形態の液晶表示装置における第n番目のゲートバス $G_n$ に印加される信号電位の説明図であり、図1(c)は、本実施の形態の液晶表示装置における画素電位( $V_{ic}$ )、共通電位( $V_{com}$ )、および第m番目のソースバス $S_m$ に印加される信号電位( $V_s$ )の説明図である。また、図2は、本実施の形態における液晶表示装置の構成図である。

【0030】本実施の形態の液晶表示装置は、ソース信号電圧の印加を行うためのソース駆動回路50(図2参照)、ゲート信号電圧の印加を行うためのゲート駆動回路51(図2参照)を備えている。なお、ゲート-ドレ

イン間の寄生容量 $C_{gd}$ の図示などは省略したが、従来の液晶表示装置(図3参照)が備える手段と同じ手段には同じ符号を付した。

【0031】本実施の形態の特徴はゲート信号電位の波形にあり、第(n-1)番目のゲートバスには図1(a)に示されているような信号電位が印加され、第n番目のゲートバスには図1(b)に示されているような信号電位が印加される。

【0032】つまり、ゲートON電位 $V_{gh}$ を印加し電位 $V_{ge}$ を印加する前に、TFT(スイッチング素子)3の突き抜け電位の大きさを隣り合うフィールド間でほぼ一定にするためのゲート突き抜け改善電位 $V_{gvar}$ を、ゲートOFF電位 $V_{gl}$ の手前で印加する(ゲート突き抜け改善電位が印加される期間において、TFT3はオンしている)。

【0033】このようなゲート突き抜け改善電位 $V_{gvar}$ の印加により、TFT3のゲート-ドレイン間のカップリングを等しくすることができる。より具体的に述べると、ゲート電位 $V_{gh}$ 印加後の変調信号の電位の、同一画素における隣り合ったフィールド間の実効値の差を解消し、また、TFT3のソース-ドレイン間のリーク電流の実効値の差を解消することで、フィールド間の輝度差をなくすることができる。かくして、大型液晶表示装置においても、均一な高画質を実現することができるわけである。

【0034】ここに、 $V_{gh}$ 印加期間と前述のゲート突き抜け改善電位印加期間との和をもって、ゲート駆動信号の1水平期間の信号とする。したがって、次段の(つまり、第(n+1)番目のゲートバスに接続された)TFTへのゲート信号の印加は、この1水平期間の経過後から開始される。

【0035】つぎに、本実施の形態の液晶表示装置の動作について説明する。なお、本実施の形態の液晶表示装置の動作について説明しながら、本発明のマトリクス型表示装置駆動方法の一実施例についても説明する。

【0036】本実施の形態の液晶表示装置の動作は、上述した従来の液晶表示装置の動作と類似している。

【0037】ただし、本実施の形態においては、電位 $V_{ge}$ を印加する前にゲート突き抜け改善電位 $V_{gvar}$ を印加するために、時刻 $t_2$ から時刻 $t_3$ 付近において発生する突き抜け電圧 $V$ が、従来よりも大きく抑制される。そして、白矢印(図1(c)参照)で示されている液晶印加実効電圧の大きさは、隣り合うフィールド間においてほぼ等しくなる。

【0038】かくして、前述されたゲート電圧の立ち上がりや立ち下りの期間における遅延時間のばらつきが多少大きくても、液晶印加実効電圧の大きさの変化を最小限にし、フリッカをかなり解消することが可能になる。

【0039】なお、より具体的には、ゲート突き抜け改

善電位 $V_{gvar}$ を、可変VR (Voltage Regulator、電圧調整器)などで調整可能とし、オンしていたゲートがオフするときの突き抜け電位が同一画素においてすべて等しくなるように印加するのが望ましい。

【0040】このように、本発明は、たとえば、走査信号線と画素電極との間の蓄積容量の影響により画素電極電位に誘起される突き抜け電位を補償するための2つの電圧レベルからなる変調信号電位を前記走査配線に加える制御において、前記薄膜トランジスタの選択パルス電圧印加の後、前記2つの変調信号電位印加の前に、走査信号線の一方或いは両方の選択パルス電圧の波形に電圧調整可能なゲート突き抜け改善電位を設ける。

【0041】かかる構成により、TFTをオンするゲート電位後の変調信号電位の同一画素でのフィールド間の実効値における差を解消し、TFTのソース-ドレイン間にリーク電流を等しくかつ少なくすることで、フィールド間の輝度差をなくして均一性を保ち、大型液晶表示装置においても、均一な高画質を実現することができる。

【0042】より具体的には、本発明は、たとえば、薄膜トランジスタを用いたアクティブマトリクス型の液晶表示装置の駆動法であって、走査信号線とドレイン電極との間の寄生容量の影響により画素電極電位に誘起される突き抜け電位を補償するための2つの電圧レベルからなる変調信号電位を前記走査配線に加える制御において、前記薄膜トランジスタの選択パルス電圧印加の後、前記2つの変調信号電位印加の前に、一方或いは両方の選択パルス電圧の波形にゲート突き抜け改善電位を設け、ON波形が非対称であることを特徴とする液晶表示装置の駆動方法である。

【0043】また、本発明は、たとえば、マトリクス型の表示装置に於いて、走査配線の選択パルス電圧波形が表示領域に於いて、少なくとも2種類存在することを特徴とするマトリクス型表示装置の駆動方法である。

【0044】また、本発明は、たとえば、本発明の液晶表示装置を用いた画像表示応用機器である。

【0045】なお、本発明の所定の電位は、上述された本実施の形態においては、互いに極性の異なる $V_{gh}$  (第一の電位)と $V_{ge-}$  (第二の電位)との間の電位 $V_{gvar}$ であるゲート突き抜け改善電位として、 $V_{gh}$ から $V_{ge-}$ への遷移の過程(時刻 $t_2$ の直前)において印加された。より具体的には、ゲート突き抜け改善電位は、ゲート電位 $V_{gh}$ を印加した後、二種類あるゲートON波形の一方に対し、画素電極に誘起されるゲート突き抜け電位を補償するための電圧レベル $V_{ge-}$ を印加する前に、ゲートOFF電圧の手前の電位 $V_{gvar}$ として印加された(これは、ゲート電位が $V_{gh}$ から $V_{ge-}$ へと大きく変化することにより突き抜け電位が大きく変化することを抑制するためである)。

【0046】しかし、これに限らず、本発明の所定の電位は、たとえば、ゲート電位 $V_{gh}$  (第一、第三の電位)を印加した後、二種類あるゲートON波形の両方に対し、電圧レベル $V_{ge-}$ および/または $V_{ge+}$  (第四の電位)を印加する前に印加されてもよい。なお、電圧レベル $V_{ge-}$ および $V_{ge+}$ を印加する前にゲート突き抜け改善電位をそれぞれ印加する場合(つまり、ゲートON波形の両方にゲート突き抜け改善電位を印加する場合)、これらゲート突き抜け改善電位をそれぞれ独立に変可とすれば、フリッカの発生をより減少させることができる。

【0047】要するに、本発明の所定の電位は、印加されるソース信号の極性が異なりその振幅が実質上同じである期間において、液晶画素の両端に生じる電位差が実質上同じであるように行われればよい。

【0048】なお、本発明は、上述した本発明の液晶表示装置、および画像表示応用機器の全部または一部の手段(または、装置、素子、回路、部など)の機能をコンピュータにより実行させるためのプログラムであって、コンピュータと協働して動作するプログラムである。もちろん、本発明のコンピュータは、CPUなどの純然たるハードウェアに限らず、ファームウェアやOS、さらに周辺機器を含むものであっても良い。

【0049】なお、本発明の一部の手段(または、装置、素子、回路、部など)は、それらの複数の手段の内の幾つかの手段を意味する、あるいは一つの手段の内の一部の機能または一部の動作を意味するものである。

【0050】また、本発明の一部の装置(または、素子、回路、部など)は、それら複数の装置の内の幾つかの装置を意味する、あるいは一つの装置の内の一部の手段(または、素子、回路、部など)を意味する、あるいは一つの手段の内の一部の機能を意味するものである。

【0051】また、本発明のプログラムを記録した、コンピュータに読みとり可能な記録媒体も本発明に含まれる。また、本発明のプログラムの一利用形態は、コンピュータにより読み取り可能な記録媒体に記録され、コンピュータと協働して動作する態様であっても良い。また、本発明のプログラムの一利用形態は、伝送媒体中を伝送し、コンピュータにより読みとられ、コンピュータと協働して動作する態様であっても良い。また、記録媒体としては、ROM等が含まれ、伝送媒体としては、インターネット等の伝送媒体、光・電波・音波等が含まれる。

【0052】なお、本発明の構成は、ソフトウェア的に実現しても良いし、ハードウェア的に実現しても良い。

【0053】以上説明したように、本発明は、たとえば、TFTをオンするゲート電位の後に新たにゲート突き抜け電圧改善電位を設けることで、第 $n-1$ フィールドのTFTをオフする期間と第 $n$ フィールドのTFTをオフする期間の差をなくし、液晶表示装置による遅延の影響を除去することができ、ソース-ドレイン間のリー

ク電流を第  $n - 1$  フィールドと第  $n$  フィールドで一定にし、さらに前段ゲート構成の画素と後段ゲート構成の画素でも一定にでき、フリッカや輝度差を根本的に解決できる。

【0054】つまり、本発明は、TFTをオンするゲート電位印加の後に印加される変調信号電位の同一画素での実効値における差を解消し、TFTのソース-ドレイン間にリーク電流を等しくかつ少なくすることで、輝度差をなくして均一性を保ち、大型液晶表示装置においても、均一な高画質を実現するものである。

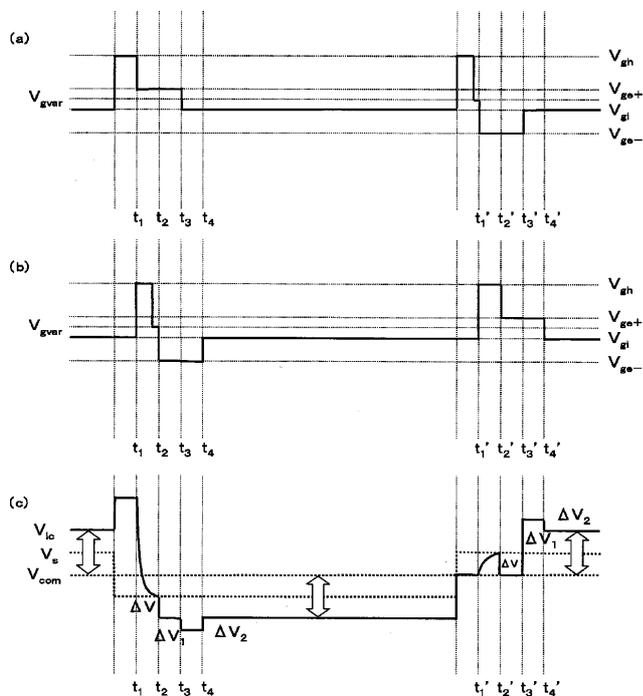
【0055】

【発明の効果】以上述べたところから明らかなように、本発明は、液晶表示装置におけるフリッカの発生を抑圧できるという長所を有する。

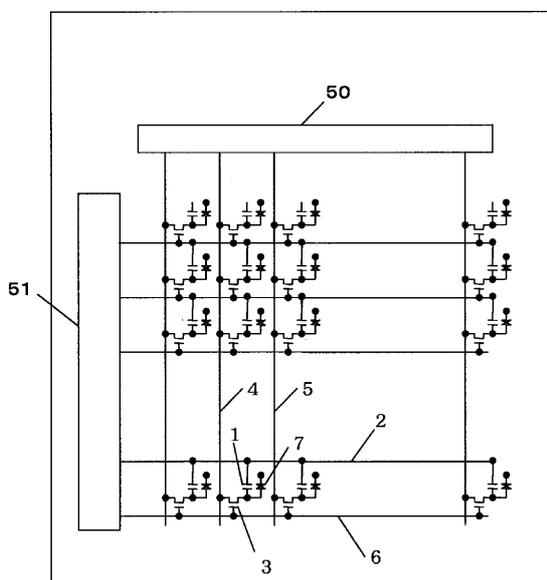
【図面の簡単な説明】

【図1】本発明の実施の形態における、第  $(n - 1)$  番目のゲートバス  $G_{n-1}$  に印加される信号電位の説明図 (図1(a))、第  $n$  番目のゲートバス  $G_n$  に印加される信号電位の説明図 (図1(b))、および画素電位 ( $V_{lc}$ )、共通電位 ( $V_{com}$ )、および第  $m$  番目のソースバス  $S_m$  に印加される信号電位 ( $V_s$ ) の説明図 (図1(c))

【図1】



【図2】



- 1 : 蓄積容量  $C_{st}$
- 2 :  $(n - 1)$  番目のゲートバスライン  $G_{n-1}$
- 3 : 薄膜トランジスタTFT
- 4 :  $m$  番目のソースバスライン  $S_m$
- 5 :  $(m + 1)$  番目のソースバスライン  $S_{m+1}$
- 6 :  $n$  番目のゲートバスライン  $G_n$
- 7 : 液晶容量  $C_{lc}$
- 50 : ソース駆動回路
- 51 : ゲート駆動回路

10

【図2】本発明の実施の形態における液晶表示装置の構成図

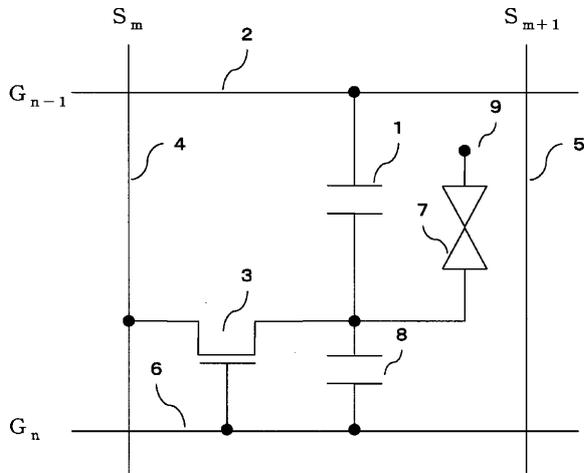
【図3】従来の液晶表示装置のゲートバスラインの等価回路図

【図4】従来の液晶表示装置における、第  $(n - 1)$  番目のゲートバス  $G_{n-1}$  に印加される信号電位の説明図 (図4(a))、第  $n$  番目のゲートバス  $G_n$  に印加される信号電位の説明図 (図4(b))、および画素電位 ( $V_{lc}$ )、共通電位 ( $V_{com}$ )、および第  $m$  番目のソースバス  $S_m$  に印加される信号電位 ( $V_s$ ) の説明図 (図4(c))

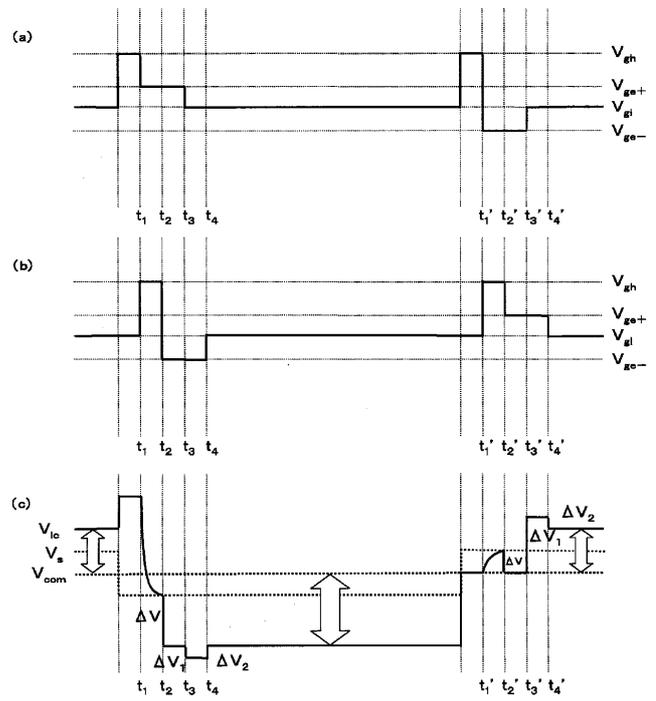
【符号の説明】

- 1 蓄積容量  $C_{st}$
- 2  $(n - 1)$  番目のゲートバスライン  $G_{n-1}$
- 3 薄膜トランジスタTFT
- 4  $m$  番目のソースバスライン  $S_m$
- 5  $(m + 1)$  番目のソースバスライン  $S_{m+1}$
- 6  $n$  番目のゲートバスライン  $G_n$
- 7 液晶容量  $C_{lc}$
- 8 寄生容量  $C_{gd}$
- 9 共通電極  $V_{com}$

【図3】



【図4】



フロントページの続き

- Fターム(参考) 2H093 NA16 NA31 NC34 ND10  
 5C006 AC22 BB16 BC03 FA23 FA37  
 5C058 AA06 BA01 BA09  
 5C080 AA10 BB05 DD06 FF11 JJ02  
 JJ04

专利名称(译)	液晶显示装置，图像显示应用装置，矩阵型显示装置驱动方法和程序		
公开(公告)号	<a href="#">JP2002311414A</a>	公开(公告)日	2002-10-23
申请号	JP2001118450	申请日	2001-04-17
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	中川敏之		
发明人	中川 敏之		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
FI分类号	G02F1/133.550 G09G3/20.611.E G09G3/20.622.C G09G3/36 H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NC34 2H093/ND10 5C006/AC22 5C006/BB16 5C006/BC03 5C006/FA23 5C006/FA37 5C058/AA06 5C058/BA01 5C058/BA09 5C080/AA10 5C080/BB05 5C080/DD06 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZA04		
代理人(译)	松田 正道		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：由于在液晶显示装置中发生闪烁而降低了液晶显示的质量。 解决方案：源极驱动电路50，用于将用于在液晶电容器7上产生预定电位差的源极信号施加到源极布线，以及用于相对于栅极布线导通/截止TFT 3的栅极信号。 当使用具有预定幅度的极性反转来施加源信号时，施加栅极信号，使得所施加的源信号的极性不同并且幅度基本相同。 在同一期间中，液晶电容器7的两端之间的电位差大致相同的液晶显示装置。

