

(19)日本国特許庁（J P）

(12) 公 開 特 許 公 報

(A) (11)特許出願公開番号

特開2002－215100

(P2002－215100A)

(43)公開日 平成14年7月31日(2002.7.31)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	550	G 0 2 F 1/133	2 H 0 9 3
	1/1345		5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	623		623 B
審査請求 未請求 請求項の数 3 O L (全 6 数) 最終頁に続く			

(21)出願番号 特願2001－5272(P2001－5272)

(22)出願日 平成13年1月12日(2001.1.12)

(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72)発明者 齋藤 玲彦
埼玉県深谷市幡羅町一丁目9番地2号 株式
会社東芝深谷工場内
(74)代理人 100083806
弁理士 三好 秀和 (外 7 名)

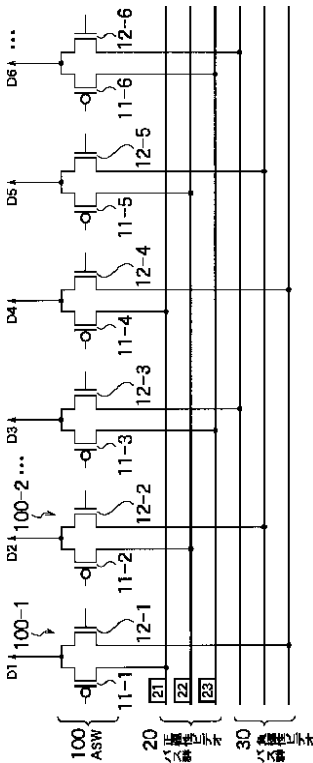
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 駆動回路一体型液晶表示装置において、行方向に沿って生じる表示ムラを低減し、良好な表示品位が得られるようにする。

【解決手段】 正極性ビデオバス群20の任意の一つと共通に接続するN個の正極性スイッチ11及び負極性ビデオバス群30の一つと共通に接続するN個の負極性スイッチ12について、それぞれの正極性及び負極性スイッチが互いに隣接しないように接続する。同一極性のビデオバスから供給される映像信号の電位にバラツキが生じて、そのバラツキによる変動は行方向の離れた信号線に飛び飛びに現れるため、行方向に沿って生じる表示ムラとして視認されにくくなる。



【特許請求の範囲】

【請求項1】 互いに交差する複数の信号線及び複数の走査線、前記両線の各交差部に配置されたスイッチ素子、前記スイッチ素子に接続された画素電極を含む第1の電極基板、前記画素電極と対向する対向電極を含む第2の電極基板、前記第1及び第2の電極基板間に保持された液晶層を有する液晶表示パネルと、前記走査線に行選択信号を出力する走査線駆動回路と、前記信号線に映像信号を順次サンプリングする信号線駆動回路とを備えた液晶表示装置において、

前記信号線駆動回路は、正極性の映像信号を伝送する正極性ビデオバス群と、負極性の映像信号を伝送する負極性ビデオバス群と、各々が接続配線を介して前記正極性ビデオバス群の一つに接続される複数の正極性スイッチと、各々が接続配線を介して前記負極性ビデオバス群の一つに接続される複数の負極性スイッチとを有し、隣接する一対の前記正極性スイッチと前記負極性スイッチで構成されるスイッチペアが共通の前記信号線に接続されると共に、

前記正極性ビデオバス群の一つと共通に接続するN個の正極性スイッチ及び前記負極性ビデオバス群の一つと共通に接続するN個の負極性スイッチが、それぞれ互いに隣接しないことを特徴とする液晶表示装置。

【請求項2】 前記信号線駆動回路は複数のブロックに分割され、各ブロック毎に、前記正極性ビデオバス群の一つと共通に接続するN個の正極性スイッチ及び前記負極性ビデオバス群の一つと共通に接続するN個の負極性スイッチが、それぞれ互いに隣接しないことを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記正極性ビデオバス群の一つと共通に接続するN個の正極性スイッチの各々とペアを形成する前記N個の負極性スイッチは、それぞれ異なる前記負極性ビデオバスに接続されることを特徴とする請求項1又は2に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は液晶表示装置に関し、詳しくは表示画素部と周辺駆動回路とを同一基板上に一体的に集積化した駆動回路一体型液晶表示装置に関する。

【0002】

【従来の技術】図3は、従来の駆動回路一体型液晶表示装置の一般的な回路構成図である。アレイ基板10上には、複数本の走査線G1、G2、…Gn（総称G）と、これと直交する複数本の信号線D1、D2、…Dm（総称D）が互いに交差するように配置されており、走査線Gの端部は走査線駆動回路2に、信号線Dの端部は信号線駆動回路3にそれぞれ接続されている。これら両線の各交点近傍には液晶画素5が形成され、これら複数の液晶画素5により表示画素部1が構成されている。液晶画

素5は、画素電極6、対向電極7及びこれら電極間に保持される液晶層8から構成され、各液晶画素5への映像信号の供給はスイッチ素子としてのTFT（薄膜トランジスタ）9により制御されている。各TFT9のゲートは行毎に共通に走査線G1、G2、…Gnに接続され、ドレインは列毎に信号線D1、D2、…Dmに接続されている。また、ソースは画素電極6に接続されている。さらに、すべての液晶画素5に対応する対向電極7は共通にコモン回路4に接続されている。ただし、対向電極7はアレイ基板10と対向配置される図示しない対向基板上に形成された電極であり、コモン回路4は図示しない外部駆動回路に配置されている回路である。図示していないが、画素電極6には映像信号書き込み時の電圧変動の影響を抑制するための補助容量が接続されている。

【0003】図3において、信号線駆動回路3から信号線D1、D2、…に映像信号がサンプリングされ、これと同期して走査線駆動回路2から走査線G1、G2、…に行選択信号が出力されると、その走査線方向に存在するTFT9がオン状態となり、信号線D1、D2、…にサンプリングされた映像信号がTFT9を介して前記走査線方向に存在する液晶画素5に書き込まれる。この映像信号は画素電極6と対向電極7との間に電荷として蓄積され、これに液晶層8が応答することで、その電荷の大きさに応じた階調度の映像が映し出される。

【0004】なお、図3に示すアレイ基板10は絶縁基板であり、例えばガラス基板で構成されている。またTFTは例えば多結晶シリコンTFTで構成されている。走査線駆動回路2と信号線駆動回路3は、表示画素部1と共にアレイ基板10上に一体に形成されている。

【0005】上記のような液晶表示装置では、高精細化、大画面化の要求が高まっており、これに伴い各駆動回路での動作周波数も高くなってきている。特に信号線駆動回路3は、走査線駆動回路2に比べて高い周波数での動作を求められているが、高精細化、大画面化の要求が高まるにつれ、駆動回路内部で映像信号を伝送するビデオバスの伝送帯域不足や、このビデオバスを介して伝送された映像信号を信号線Dにサンプリングするアナログスイッチ（以下、ASW）群の書き込み能力不足等の問題が生じる。そこで、信号線駆動回路3を複数のブロックに分割して、ASWでのサンプリング動作をブロック毎に同時に行う、ブロック分割駆動と呼ばれる方式が用いられている。この方式は、ビデオバスを複数本に分割して並列に映像信号を入力し、各ビデオバスと接続配線で接続された複数のASWを一括してサンプリング動作させるようにしたものであり、動作周波数をビデオバスの分割本数分だけ低減させることができる。

【0006】

【発明が解決しようとする課題】ところで、従来の駆動回路一体型液晶表示装置では、表示画面上の行方向に沿って表示ムラが現れ、表示品位を低下させるという問題

点があった。この原因としては、ビデオバスに供給される映像信号の電位のバラツキが挙げられる。図4は、ブロック分割された信号線駆動回路の任意の1ブロックに含まれるビデオバスとASWの結線を示す回路図である。正極性の映像信号と負極性の映像信号は、それぞれ個別のビデオバスで供給されている。ASW100は、p-ch TFTの正極性ASW11とn-ch TFTの負極性ASW12とをペアとするスイッチ回路100-1, 100-2…として構成されており、それぞれの出力側は信号線D1, D2, …に共通に接続されている。また、隣接する正極性ASW11の入力側は正極性ビデオバス群20の任意の一つに共通に接続され、同じく隣接する負極性ASW12の入力側は負極性ビデオバス群30の任意の一つに共通に接続されている。正極性ASW11と負極性ASW12の各ゲートには、信号線駆動回路3の図示しないシフトレジスタからの制御信号が入力され、この制御信号のタイミングに従ってスイッチのオン/オフが制御されている。

【0007】通常、液晶表示装置では直流駆動による液晶の焼き付きを防止するために、フレーム周期で映像信号の極性を反転させる、いわゆる極性反転駆動が行われている。図4は、隣接する信号線に書き込まれる映像信号の極性を1フレーム毎に反転させる列反転駆動での回路構成を示したもので、図示しないシフトレジスタからの制御信号により、ASWは1フレーム毎に正、負、正、負…又は負、正、負、正…となるように制御される。

【0008】図4に示すような従来の回路構成では、隣接する2本の信号線（例えばD1、D2）に対し、同一の正極性又は負極性ビデオバスから映像信号を1フレーム毎に交互にサンプリングすることになるため、同一の正極性又は負極性ビデオバスから供給される映像信号の電位のバラツキは、隣接する2本の信号線に対し同程度の影響を与えることになり、1本の信号線にサンプリングされる映像信号の電位が変動した時よりも行方向に表示ムラとして視認されやすくなる。特に、ブロック分割駆動においては、同一のビデオバスから供給される映像信号が各ブロック毎に取り込まれるため、供給される映像信号の電位にバラツキがあると、各ブロック毎に表示ムラが生じ、画面全体では多数の表示ムラが視認されることになる。また、上記のような映像信号の電位のバラツキは、駆動のための信号振幅が小さい低電圧液晶では大きな問題となる。

【0009】この発明の目的は、行方向に沿って生じる表示ムラを低減し、ブロック分割駆動においても良好な表示品位を得ることができる液晶表示装置を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は、互いに交差する複数の信号線及

び複数の走査線、前記両線の各交差部に配置されたスイッチ素子、前記スイッチ素子に接続された画素電極を含む第1の電極基板、前記画素電極と対向する対向電極を含む第2の電極基板、前記第1及び第2の電極基板間に保持された液晶層を有する液晶表示パネルと、前記走査線に行選択信号を出力する走査線駆動回路と、前記信号線に映像信号を順次サンプリングする信号線駆動回路とを備えた液晶表示装置において、前記信号線駆動回路は、正極性の映像信号を伝送する正極性ビデオバス群と、負極性の映像信号を伝送する負極性ビデオバス群と、各々が接続配線を介して前記正極性ビデオバス群の一つに接続される複数の正極性スイッチと、各々が接続配線を介して前記負極性ビデオバス群の一つに接続される複数の負極性スイッチとを有し、隣接する一対の前記正極性スイッチと前記負極性スイッチで構成されるスイッチペアが共通の前記信号線に接続されると共に、前記正極性ビデオバス群の一つと共通に接続するN個の正極性スイッチ及び前記負極性ビデオバス群の一つと共通に接続するN個の負極性スイッチが、それぞれ互いに隣接しないことを特徴とする。

【0011】請求項2の発明は、請求項1において、前記信号線駆動回路は複数のブロックに分割され、各ブロック毎に、前記正極性ビデオバス群の一つと共通に接続するN個の正極性スイッチ及び前記負極性ビデオバス群の一つと共通に接続するN個の負極性スイッチが、それぞれ互いに隣接しないことを特徴とする。

【0012】請求項3の発明は、請求項1又は2において、前記正極性ビデオバス群の一つと共通に接続するN個の正極性スイッチの各々とペアを形成する前記N個の負極性スイッチは、それぞれ異なる前記負極性ビデオバスに接続されることを特徴とする。

【0013】好ましい形態として、前記信号線駆動回路は、前記第1の電極基板上に形成されることを特徴とする。

【0014】好ましい形態として、前記第1の電極基板は、絶縁基板であることを特徴とする。

【0015】好ましい形態として、前記絶縁基板は、ガラス基板であることを特徴とする。

【0016】好ましい形態として、前記画素電極は、前記走査線に出力された行選択信号によりスイッチング制御される前記スイッチ素子を介して前記信号線に接続することを特徴とする。

【0017】好ましい形態として、前記正極性スイッチ、前記負極性スイッチ及び前記スイッチ素子は、薄膜トランジスタにより構成されることを特徴とする。

【0018】好ましい形態として、前記薄膜トランジスタは、多結晶シリコン薄膜トランジスタであることを特徴とする。

【0019】好ましい形態として、前記正極性スイッチはp-ch型薄膜トランジスタにより構成され、前記

負極性スイッチはn-ch型薄膜トランジスタにより構成されることを特徴とする。

【0020】

【発明の実施の形態】以下、この発明に係わる液晶表示装置の実施形態について説明する。ただし、この実施形態では、ブロック分割された信号線駆動回路の任意の1ブロックにおけるビデオバスとASWの結線についてのみ説明するものとし、液晶表示装置全体の基本的な構成は図3と同じであるため説明を省略する。

【0021】図1は、実施形態1におけるビデオバスとASWの結線を示す回路図である。図1において、ASW100は、p-chTFTの正極性ASW11-1、11-2、…とn-chTFTの負極性ASW12-1、12-2、…とをペアとするスイッチ回路100-1、100-2…として構成されており、それぞれの出力側は信号線D1、D2、…に共通に接続されている。この実施形態1の特徴的な構成として、正極性ビデオバス群20の任意の一つに共通に接続するN個の正極性スイッチ11、及び負極性ビデオバス群30の一つに共通に接続するN個の負極性スイッチ12は、それぞれ互いに隣接しないように接続されている。例えば、正極性ビデオバス21と共通に接続するN個（図1では便宜上2個とする）の正極性スイッチ11-1と11-4は、それぞれ互いに隣接しないように信号線2本分だけ離れて接続されている。同様に、正極性ビデオバス22と共通に接続する2個の正極性スイッチ11-2と11-5及び、正極性ビデオバス23と共通に接続する2個の正極性スイッチ11-3と11-6についても、それぞれ互いに隣接しないように信号線2本分だけ離れて接続されている。負極性ビデオバス群30と負極性スイッチ12-1、12-2、…についても同様に接続されている。

【0022】上記構成によれば、同一の正極性又は負極性ビデオバスから供給される映像信号の電位にバラツキが生じても、そのバラツキによる変動は連続することがなく、行方向の離れた信号線に飛び飛びに現れるため、隣接する2本の信号線に変動が現れる場合に比べて表示ムラとして視認されにくくなる。したがって、ブロック分割駆動の場合でも、画面全体として多数の表示ムラが視認されることがなく、良好な表示品位を得ることができる。

【0023】図2は、実施形態2におけるビデオバスとASWの結線を示す回路図であり、図1と同等部分を同一符号で示している。ASW100の構成は図1と同じであるため説明を省略する。また、各部の符号は必要な部分のみ記載する。

【0024】この実施形態2の特徴的な構成として、正極性ビデオバス群40の任意一つに共通に接続するN個の正極性スイッチ11の各々とペアを形成するN個の負極性スイッチ12は、負極性ビデオバス群50の異なる負極性ビデオバスに接続されている。例えば、正極性ビ

*デオバス41と共通に接続するN個（図2では便宜上2個とする）の正極性スイッチ11-1と11-10について見てみると、この正極性スイッチ11-1及び11-10とペアを形成する2個の負極性スイッチ12-1及び12-10は、異なる負極性ビデオバス52、56にそれぞれ接続されている。他の正極性スイッチと負極性スイッチについても同様に接続されている。

【0025】上記構成においても、同一極性のビデオバスから供給される映像信号の電位にバラツキが生じても、そのバラツキによる変動は連続することがなく、行方向の離れた信号線に飛び飛びに現れることになるため、隣接する2本の信号線に変動が現れる場合に比べて表示ムラとして視認されにくくなる。したがって、ブロック分割駆動の場合でも、画面全体として多数の表示ムラが視認されることがなく、良好な表示品位を得ることができる。とくに、実施形態2の構成によれば、同一の信号線に交互にサンプリングされる正極性及び負極性の映像信号の電位にバラツキがあると、バラツキによる変動が信号線に飛び飛びに現れたとしても、例えば静止画表示の時には表示ムラとして視認されることも考えられる。しかし、上記実施形態2においては、負極性スイッチはそれぞれ異なる負極性ビデオバスに接続されるため、負極性の映像信号については電位のバラツキが低減されることになり、表示ムラとして視認されにくくなる。

【0026】上記各実施形態によれば、駆動のための信号振幅が小さい低電圧液晶においても、映像信号の電位のバラツキによる影響を少なくすることができる。

【0027】なお、上記各実施形態における信号線やビデオバスの本数、並びに駆動方式は一例を示したものであり、1ブロックの信号線本数やビデオバスの本数、並びに駆動方式に応じて駆動のタイミングを制御することにより、同様の効果を得ることができる。

【0028】

【発明の効果】以上説明したように、この発明に係わる液晶表示装置によれば、同一極性のビデオバスから供給される映像信号の電位にバラツキが生じても、そのバラツキによる変動は連続することがなく、行方向の離れた信号線に飛び飛びに現れるため、行方向に沿って生じる表示ムラとしては視認されにくくなる。したがって、行方向の表示ムラが視認されやすいブロック分割駆動においても良好な表示品位を得ることができる。

【図面の簡単な説明】

【図1】実施形態1におけるビデオバスとASWの結線を示す回路図。

【図2】実施形態2におけるビデオバスとASWの結線を示す回路図。

【図3】従来の駆動回路一体型液晶表示装置の一般的な回路構成図。

【図4】従来例におけるビデオバスとASWの結線を示

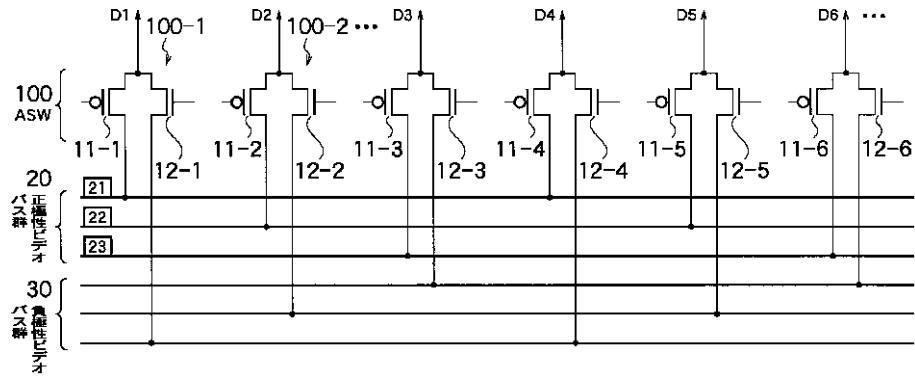
す回路図。

【符号の説明】

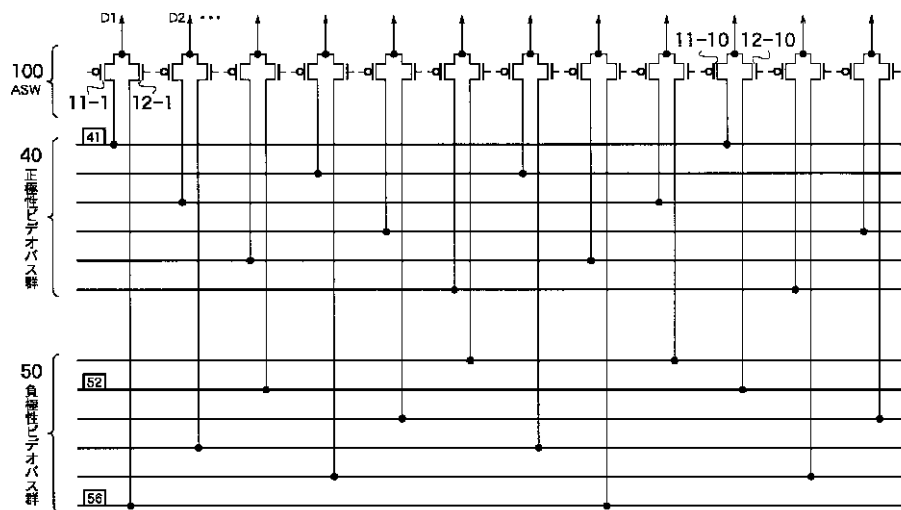
1…表示画素部、2…走査線駆動回路、3…信号線駆動*

*回路、10…アレイ基板、11…正極性ASW、12…負極性ASW、100…ASW、20、40…正極性ビデオバス群、30、50…負極性ビデオバス群

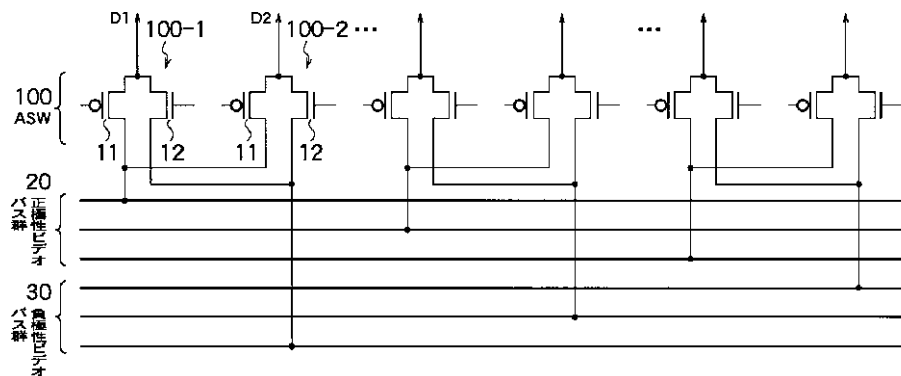
【図1】



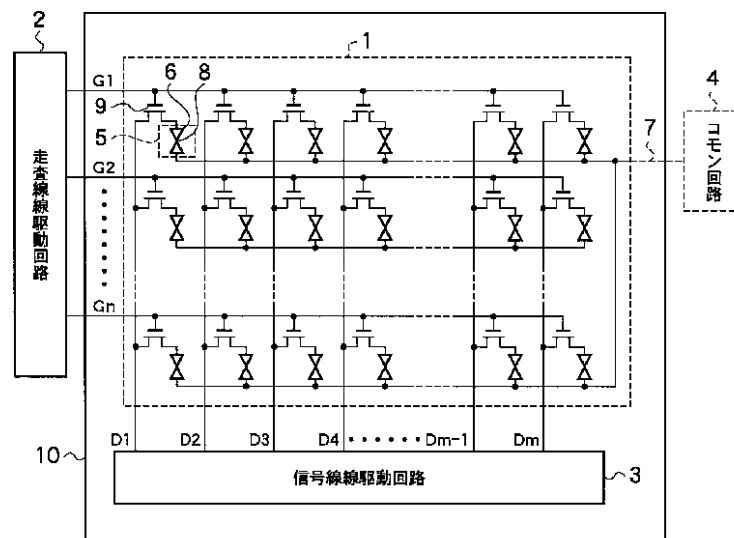
【図2】



【図4】



【図3】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 V
	6 4 2		6 4 2 A

F ターム (参考) 2H092 GA59 GA60 JA24 KA04 NA01
 NA25 PA06
 2H093 NA22 NA33 NC16 NC34 ND09
 ND34 ND38
 5C006 BB16 BC02 BC11 BC23 BF11
 FA21 FA36
 5C080 AA10 BB05 DD01 FF11 JJ02
 JJ03

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002215100A	公开(公告)日	2002-07-31
申请号	JP2001005272	申请日	2001-01-12
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	齋藤玲彦		
发明人	齋藤 玲彦		
IPC分类号	G02F1/1345 G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1345 G09G3/20.611.D G09G3/20.623.B G09G3/20.623.V G09G3/20.642.A		
F-TERM分类号	2H092/GA59 2H092/GA60 2H092/JA24 2H092/KA04 2H092/NA01 2H092/NA25 2H092/PA06 2H093/NA22 2H093/NA33 2H093/NC16 2H093/NC34 2H093/ND09 2H093/ND34 2H093/ND38 5C006/BB16 5C006/BC02 5C006/BC11 5C006/BC23 5C006/BF11 5C006/FA21 5C006/FA36 5C080/AA10 5C080/BB05 5C080/DD01 5C080/FF11 5C080/JJ02 5C080/JJ03 2H193/ZA04 2H193/ZA32 2H193/ZC15 2H193/ZD32		
外部链接	Espacenet		

摘要(译)

解决的问题：减少在集成有驱动电路的液晶显示装置中沿着行方向出现的显示不均匀并获得良好的显示质量。 解决方案：关于N个分别连接到任一正极性视频总线组20的正极性开关11和N个负极性开关12分别共同连接至负极性视频总线组30中的一个。连接正极和负极开关，使其彼此不相邻。即使从相同极性的视频总线提供的视频信号的电势发生变化，由于这种变化引起的波动也会在行方向上的离散信号线上出现，这使得很难看到行方向上的显示不均匀。 成为

