

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4064145号
(P4064145)

(45) 発行日 平成20年3月19日(2008.3.19)

(24) 登録日 平成20年1月11日(2008.1.11)

| | | | |
|--------------|---------------|------------------|-----------------|
| (51) Int.Cl. | | F I | |
| GO2F | 1/1368 | (2006.01) | GO2F 1/1368 |
| HO1L | 29/786 | (2006.01) | HO1L 29/78 619A |
| HO1L | 21/336 | (2006.01) | HO1L 29/78 619B |
| | | | HO1L 29/78 627A |

請求項の数 4 (全 15 頁)

| | | | |
|-----------|-------------------------------|-----------|-------------------|
| (21) 出願番号 | 特願2002-115417 (P2002-115417) | (73) 特許権者 | 000005049 |
| (22) 出願日 | 平成14年4月17日(2002.4.17) | | シャープ株式会社 |
| (65) 公開番号 | 特開2003-307749 (P2003-307749A) | | 大阪府大阪市阿倍野区長池町2番2号 |
| (43) 公開日 | 平成15年10月31日(2003.10.31) | (74) 代理人 | 110000338 |
| 審査請求日 | 平成17年2月25日(2005.2.25) | | 特許業務法人原謙三国際特許事務所 |
| | | (74) 代理人 | 100080034 |
| | | | 弁理士 原 謙三 |
| | | (72) 発明者 | 枇杷 哲夫 |
| | | | 大阪府大阪市阿倍野区長池町2番2号 |
| | | | シャープ株式会社内 |
| | | 審査官 | 福田 知喜 |

最終頁に続く

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板表面に形成されている画素電極駆動用の薄膜トランジスタと画素電極との間に、マトリクス状に配置されている信号配線を含んでなる中間層が設けられている液晶表示装置の製造方法において、

マトリクス状に配置されている前記信号配線上に第1の層間絶縁膜を形成し、続いて前記第1の層間絶縁膜の表面に形成された凸部を除去した後、第2の層間絶縁膜を形成するステップを含むことを特徴とする液晶表示装置の製造方法。

【請求項2】

前記第2の層間絶縁膜は化学機械研磨によって平坦化されることを特徴とする請求項1に記載の液晶表示装置の製造方法。

【請求項3】

前記凸部の除去は、フォトリソグラフィ及びエッチングによって行われることを特徴とする請求項1または2に記載の液晶表示装置の製造方法。

【請求項4】

前記凸部を除去した後、前記第2の層間絶縁膜を形成する前に、もう一つの層間絶縁膜を形成し、前記もう一つの層間絶縁膜上に導電性遮光層を形成するステップをさらに含むことを特徴とする請求項1ないし3の何れか1項に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【 発明の属する技術分野 】

本発明は、液晶表示装置の製造方法に関するものであり、特に、画素電極駆動用の薄膜トランジスタと、画素電極との間に信号配線などがマトリクス状に配置された領域を有する液晶表示装置の製造方法に適用されるものである。

【 0 0 0 2 】

【 従来の技術 】

液晶表示装置は、平面型ディスプレイとして現在広く用いられている。この液晶表示装置における画素電極駆動用の薄膜トランジスタ (T F T) として、アモルファスシリコン (a - S i) T F T や多結晶 S i T F T などが多く用いられている。

10

【 0 0 0 3 】

また、このような液晶表示装置は、上記 T F T とその上層に配置されている画素電極との間の位置に、各種配線が設けられている。即ち、画素電極は、上記各種配線の上層に配置されている。従って、画素電極表面の平坦性は、T F T や各種配線などの影響によって悪くなっている。

【 0 0 0 4 】

上述のように画素電極表面の平坦性が悪くなっていると、単一のパネル内の液晶層中において、液晶の厚みが異なってしまう。そのため、画素電極間の電圧と透過率との関係を示す V T 特性が均一でなくなり、透過率が単一の画素内で不均一になってしまう。すなわち、画素電極の下地の影響によって画素電極の表面が十分に平坦でないことから、単一の

20

【 0 0 0 5 】

ところで、近年の液晶表示装置では、例えばプロジェクタのように大光量下での使用が増加している。そして、光を透過する領域の比率をより高くした、より明るい液晶表示装置への要望が高まっている。また、液晶表示装置の超小型化あるいは超高精細化についても望まれている。このような液晶表示装置の改良には、上記 V T 特性の均一化がより必要となる。そのため、液晶表示装置においては、一般に化学機械研磨 (C M P) 法によって、画素電極下の層 (中間層) の平坦化がなされている。

30

【 0 0 0 6 】

【 発明が解決しようとする課題 】

しかしながら、上記化学機械研磨法によって画素電極下の層 (中間層) の平坦化を行うと、画素電極下に配された T F T や各種の重なる配線の影響で上記中間層の表面には段差が生じているため、化学機械研磨を均一に行うことができないという問題が発生する。

【 0 0 0 7 】

すなわち、例えば液晶パネルにおいて、信号配線などがマトリクス状に配置されている画素領域 (マトリクス領域) と周辺回路領域との間の領域である画素外周領域では、T F T や各種の重なる配線が少なくなるため、他の領域と段差が生ずる。この段差によって、化学機械研磨時に用いる研磨パッドの弾力による研磨面の圧力や塗布される研磨剤の量が不均一になり、上記画素外周領域に近接した上記画素領域の一部の研磨は他の画素領域よりも大きくなる。これによって、上記画素外周領域および上記画素外周領域に近接した画素領域内の周辺領域では、他の領域と比較して残留層厚が薄くなってしまふ。さらに、各々の画素電極についても、画素電極の周辺部と中央部とで段差が生じているため、同様に研磨が不均一に行われる。そのため、良好な研磨が実施できず、上記中間層の平坦化を行うことができない。

40

【 0 0 0 8 】

このような化学機械研磨の不均一性を改善するための一例として、研磨布の硬質化が挙げられる。しかしながら、研磨布を硬質化すると段差間の平坦化を行うことは可能であるものの、ウエハ内に研磨バラツキが生じてしまふ。

50

【0009】

また、化学機械研磨の不均一性を改善するための他の例として、研磨ヘッド、研磨プレート等の回転スピード、研磨時の圧力などの研磨条件をパターン形状や段差に応じて個々に最適化する方法がある。しかしながら、この方法は精密な技術を要し、手間もかかるという問題点を有している。

【0010】

従って、本発明は上述の問題点に鑑みなされたものであり、その目的は、化学機械研磨時に研磨表面のパターン依存によって発生する不均一性、特に、上記画素外周領域の内側に向けて発生する不均一性を改善し、画質低下を抑えることのできる液晶表示装置の製造方法を提供することにある。

10

【0011】

【課題を解決するための手段】

本発明の液晶表示装置の製造方法は、基板表面に形成されている画素電極駆動用の薄膜トランジスタと画素電極との間に、マトリクス状に配置されている信号配線を含んでなる中間層が設けられている液晶表示装置の製造方法において、マトリクス状に配置されている上記信号配線上に第1の層間絶縁膜を形成し、続いて上記第1の層間絶縁膜の表面に形成された凸部を除去した後、第2の層間絶縁膜を形成するステップを含むことを特徴としている。

【0012】

即ち、上記液晶表示装置の製造方法においては、第1の層間絶縁膜を形成したときに、その下層の表面の凹凸を反映して生ずる凸部を除去することによって、段差を減少させている。そして、段差が減少した表面の上層に第2の層間絶縁膜を形成する。なお、上記凸部は、具体的に言うと、上記第1の層間絶縁膜において、上記信号配線の上層に配された部分のことである。従って、ここで「凸部を除去する」とは、上記第1の層間絶縁膜のうち、上記信号配線の上層に配された部分を除去することを意味する。なお、上記凸部の除去は、表面の凹凸を反映した段差を減少させるものであればよく、上記第1の層間絶縁膜のうち上記信号配線上に配された部分の一部が残るものであってもよい。

20

【0013】

上記の構成によれば、上記第1の層間絶縁膜をマトリクス状に配された上記信号配線同士の間のみ埋め込むような状態で設けることができ、段差を減少させることができる。従って、上記第2の層間絶縁膜を平坦に形成することができるため、画素電極を平坦な表面上に形成して液晶層の厚みを一定に保ち、画質の低下を防止することができる。

30

【0014】

上記の液晶表示装置の製造方法において、上記第2の層間絶縁膜は化学機械研磨によって平坦化されることを特徴としている。

【0015】

上記の構成によれば、上記第2の層間絶縁膜は、予め段差が減じられた上記第1の層間絶縁膜上に成膜されるため、化学機械研磨によってより良好に平坦化することができる。そして、画素外周領域および上記画素外周領域に近接した画素領域内の周辺領域について、オーバー研磨を防止することができる。

40

【0016】

上記の液晶表示装置の製造方法において、上記凸部の除去は、フォトリソグラフィー及びエッチングによって行われることが好ましい。

【0017】

上記の構成によれば、上記第1の層間絶縁膜を形成する過程において、上記凸部（即ち、上記信号配線上に一時的に配された上記第1の層間絶縁膜）を確実に除去できるとともに、上記信号配線間を埋め込むように設けられた上記第1の層間絶縁膜は確実に残すことができる。

【0018】

上記の液晶表示装置の製造方法において、上記凸部を除去した後、上記第2の層間絶縁

50

膜を形成する前に、もう一つの層間絶縁膜を形成し、上記もう一つの層間絶縁膜上に導電性遮光層を形成するステップをさらに含むことが好ましい。

【0019】

上記の構成によれば、段差が減じられた第1の層間絶縁膜上に形成された上記もう一つの層間絶縁膜上に、導電性遮光層を配することができる。従って、上記導電性遮光層の遮光性能を向上させることができる。そして、上記導電性遮光層の上層には、上記第2の層間絶縁膜が形成された後、各領域全体に渡って均一に化学機械研磨を施すことができる。従って、局所的なオーバー研磨を防止することができるため、画素電極とその下層の導電性遮光層とのショートを効果的に防止することができる。

【0020】

本発明の参考に係る液晶表示装置は、基板表面に形成されている画素電極駆動用の薄膜トランジスタと画素電極との間に、マトリクス状に配置されている信号配線を含んでなる中間層が設けられている液晶表示装置において、上記中間層は、マトリクス状に配置された上記信号配線間を埋め込む第1の層間絶縁膜と、上記画素電極と上記第1の層間絶縁膜および上記信号配線との間に設けられている第2の層間絶縁膜とを有していることを特徴としている。

【0021】

即ち、本発明の参考に係る液晶表示装置は、画素電極と薄膜トランジスタの間に位置する中間層において、上記中間層内にマトリクス状に形成された信号配線同士の間を埋め込むように第1の層間絶縁膜が設けられている。そして、上記中間層には、さらに、上記信号配線およびその間を埋め込む上記第1の層間絶縁膜と、上記画素電極との間に、第2の層間絶縁膜が設けられている。

【0022】

上記の構成によれば、上記信号配線が設けられた層は、上記第1の層間絶縁膜で間を埋め込まれることによって、表面の段差を減少させているため、その表面に設けられる上記第2の層間絶縁膜の平坦化を容易かつ確実に行うことができる。従って、上記第2の層間絶縁膜上に形成される画素電極を平坦な面に設けることができるため、液晶層の厚みを一定に保つことができ、V T特性を均一にして表示画質の向上を図ることができる。

【0023】

さらに、上記液晶表示装置は、上記第2の層間絶縁膜に化学機械研磨を施して平坦化する場合に、上記段差によって発生する研磨の不均一性を改善することができ、良好な化学機械研磨を施すことが可能である。

【0024】

即ち、上記の構成によれば、上記第2の層間絶縁膜は段差の減じられた表面に形成されているため、化学機械研磨を行うことによって、より平坦性を増加させることができる。具体的には、TFTや各種の重なる配線が少ない画素外周領域および画素領域内の周辺領域においても、他の領域と同じ研磨条件で化学機械研磨を行っても不均一に研磨されることなく、残留膜厚に差が発生しない。さらに、各々の画素電極についても、画素電極の周辺部と中央部との間の段差が減少しているため、均一な研磨を行うことができる。従って、液晶表示装置全体において、液晶層の層厚を一定に保つことに貢献でき、より表示画質の向上を図ることができる。

【0025】

上記の液晶表示装置において、上記第1の層間絶縁膜は、フォトリソグラフィ及びエッチングによって形成されていることが好ましい。

【0026】

上記の構成によれば、上記第1の層間絶縁膜を形成過程において、上記信号配線上に一時的に配された上記第1の層間絶縁膜を確実に除去できるとともに、上記信号配線間に設けられた上記第1の層間絶縁膜は確実に残すことができる。従って、上記第1の層間絶縁膜と上記信号配線とによって形成された層の表面の段差を減少させることができる。

【0027】

10

20

30

40

50

上記の液晶表示装置において、上記第2の層間絶縁膜と上記第1の層間絶縁膜および上記信号配線との間には、もう一つの層間絶縁膜が設けられており、上記もう一つの層間絶縁膜の前記信号配線を覆う領域には導電性遮光層が設けられていることが好ましい。

【0028】

一般に液晶表示装置においては、上記信号配線と上記画素電極との間には導電性遮光層が設けられている。上記の構成によれば、段差が減じられた第1の層間絶縁膜上に形成された上記もう一つの層間絶縁膜上に、導電性遮光層を配することができる。従って、上記導電性遮光層の遮光性能を向上させることができる。

【0029】

なお、上記もう一つの層間絶縁膜は、0.5 μm以下の残留段差レベルに平坦化されていることが好ましい。これによれば、上記もう一つの層間絶縁膜をより確実に平坦化させることが可能となり、導電性遮光層の遮光性能を向上させることができる。

【0030】

上記の液晶表示装置において、上記第1の層間絶縁膜、上記第2の層間絶縁膜、および上記もう一つの層間絶縁膜は、SiO₂を主成分とすることが好ましい。

【0031】

SiO₂は、光の可視領域で透明であり、SiNのように色が付かないという性質を有している。さらに、SiO₂は比較的誘電率が低いため、配線間の容量が小さく、信号処理ノイズの影響を少なくすることができる。

【0032】

従って、上記の構成によれば、SiO₂を主成分とすることによって、良好な画像表示を行うことができる。また、SiO₂を主成分とすれば、層間絶縁膜に対して化学機械研磨を行う場合に、好適なスラリーを容易に入手することができる。

【0033】

上記の液晶表示装置において、上記第1の層間絶縁膜および上記第2の層間絶縁膜は、プラズマCVD法によって形成されていることが好ましい。

【0034】

上記の構成によれば、プラズマCVD法は、段差のある表面に対して優れた埋め込み性を有する成膜方法であるため、例えば、第1の層間絶縁膜を信号配線間がマトリクス状に配された表面に対しても、表面の全ての部分に渡って同じ厚さの膜を形成することができる。

【0035】

【発明の実施の形態】

本発明の実施の一形態を図1ないし図10に基づいて以下に説明する。なお、本発明は以下の記載に限定されるものではない。

【0036】

まず、本発明の参考に係る液晶表示装置は、図1に示すように、石英ガラス基板10(基板)上にゲート配線15(薄膜トランジスタ)などにより構成される画素電極駆動用の多結晶SiTFT(薄膜トランジスタ)が設けられている。そして、上記多結晶SiTFTの上層には、信号配線17(信号配線・中間層)および導電性遮光層20(導電性遮光層・中間層)などがマトリクス状に配置された中間層が設けられ、さらに上記中間層の上層に画素電極24がマトリクス状に配置されている。上記画素電極24の上層には、2つの配向膜25・27に挟まれるかたちで液晶層26が設けられている。なお、上記液晶層26は、シール材28によって周囲を塞がれ、封入されている。上記液晶層29の上層には、透明電極29およびガラス基板30が設けられている。

【0037】

そして、上記液晶表示装置は、図2の平面図に示すように、中央部に画素電極、信号配線がマトリクス状に配置された画素領域を有し、最外周には各回路が設けられた周辺回路領域を有している。そして、上記画素領域と上記周辺回路領域との間(図2において格子柄を付した領域)には、画素外周領域が設けられている。

10

20

30

40

50

【 0 0 3 8 】

上記液晶表示装置の詳細な構成について、図1を参照して以下に説明する。なお、図1は、図2に示す液晶表示装置の断面の一部を示したものであり、上記画素領域、画素外周領域、及び周辺回路領域の全てを含む部分の断面図である。

【 0 0 3 9 】

図1に示すように、上記液晶表示装置においては、遮光領域における石英基板10上に導電性遮光膜11（薄膜トランジスタ）が設けられている。上記導電性遮光膜11は、例えば膜厚が50nmの多結晶Si膜と、例えば膜厚が100nmのWSi膜が順次積層された積層膜からなる。上記導電性遮光膜11を覆うように、例えばSiO₂を主成分とした層間絶縁膜12（薄膜トランジスタ）が設けられている。上記層間絶縁膜12上には、所定形状の多結晶Si膜13（薄膜トランジスタ）が設けられ、上記多結晶Si膜13を覆うように、例えばSiO₂膜からなるゲート絶縁膜14（薄膜トランジスタ）が設けられている。上記ゲート絶縁膜14上には、ゲート配線15（薄膜トランジスタ）が設けられている。上記多結晶Si膜13中には、ゲート配線15に対して自己整合的に、図示されていないソース領域およびドレイン領域が形成されている。また、上記ゲート配線15の一部は、図示しないゲート電極を形成している。上記ゲート電極、上記ソース領域および上記ドレイン領域によって、画素電極駆動用の多結晶SiTFTが構成されている。上記ドレイン領域の上方の部分におけるゲート絶縁膜14上には電極（図示せず）が設けられている。上記電極と上記ドレイン領域との間にゲート絶縁膜14を挟んだ構造によって、保持容量素子が構成されている。

【 0 0 4 0 】

上記ゲート配線15および上記電極は、例えば膜厚が150nmのリン（P）がドーパされた多結晶Si膜、及び例えば膜厚が150nmのWSi膜が順次積層された積層膜からなる。上記ゲート配線15を覆うように層間絶縁膜16（中間層）が設けられている。上記層間絶縁膜16およびゲート絶縁膜14の所定部分には、図示はしていないがコンタクトホールが設けられている。

【 0 0 4 1 】

上記導電性遮光膜11上の遮光領域における上記層間絶縁膜16上には、引き出し電極18（信号配線・中間層）が設けられ、上記コンタクトホールを通じて上記多結晶SiTFTのドレイン領域に接続されている。同様に、上記層間絶縁膜16上には、信号配線17（信号配線・中間層）が設けられ、上記コンタクトホールを通じて上記多結晶SiTFTのソース領域に接続されている。上記引き出し電極18および上記信号配線17は、例えば膜厚が80nmのWSi膜、例えば膜厚が400nmのAl膜、例えば膜厚が150nmのWSi膜が順次積層された積層膜からなる。なお、上記信号配線17は、上記多結晶SiTFT基板上の画素領域（マトリクス領域）において、マトリクス状に配されている。

【 0 0 4 2 】

上記引き出し電極18および上記信号配線17を覆うように、テトラエトキシシラン（TEOS）を原料ガスとして用い、所定部分にプラズマCVD法によって成膜された、例えば膜厚が100nmのSiN膜（図示せず）が設けられている。上記SiN膜は、主として多結晶Si膜13中に存在するダングリングボンドを、水素で不活性化して多結晶SiTFTの特性向上を図るための水素供給源となるものである。

【 0 0 4 3 】

上記SiN膜上に、例えば700nmの第1の層間絶縁膜19（第1の層間絶縁膜・中間層）が設けられている。上記第1の層間絶縁膜19は、例えばTEOSを原料ガスとして用いたプラズマCVD法によって成膜され、SiO₂を主成分とする。上記第1の層間絶縁膜19を成膜後、フォトリソグラフィ及びエッチング技術によって上記信号配線17上に成膜された上記第1の層間絶縁膜19の除去を行う。これにより、基板面上にマトリクス状に配された上記信号配線17の間の凹部を埋め込むように、上記第1の層間絶縁膜19は配される。すなわち、画素領域における画素電極24の下層に相当する領域と、

10

20

30

40

50

画素外周領域とに上記第1の層間絶縁膜19は形成される。従って、上記信号配線17が配される基板表面の段差が減少する。

【0044】

そして、このようにして段差が減少された上記第1の層間絶縁膜19の上層には、さらに層間絶縁膜21(もう一つの層間絶縁膜・中間層)が設けられている。上記層間絶縁膜21は、例えば1500nmの層厚になるように形成され、例えば化学機械研磨などによって段差が0.5μm以下に平坦化されている。これによれば、上記層間絶縁膜21上に配される導電性遮光層20(導電性遮光層・中間層)を平坦化された表面に形成することができ、遮光性の向上に貢献する。

【0045】

上記層間絶縁膜21の上層に、所定のパターンングによって設けられている上記導電性遮光層20は、コンタクトホール22(中間層)を通じて引き出し電極18と接続されている。上記導電性遮光層20は、例えば膜厚が125nmのTiW膜からなる。上記導電性遮光層20と上記引き出し電極18との、また、上記導電性遮光層20と上記信号配線17との組み合わせによって、上方からの入射光に対して、画素開口領域以外の全ての領域の遮光がなされている。上記導電性遮光層20は上記引き出し電極18と接続されて所定の共通電位に接続される。

【0046】

上記導電性遮光層20を覆うように、第2の層間絶縁膜23(第2の層間絶縁膜・中間層)が設けられている。上記第2の層間絶縁膜23は、例えば、TEOSを原料ガスとして用いたプラズマCVD法によって、SiO₂主成分として1000nmの厚さに成膜される。そして、化学機械研磨によって300nmの膜厚になるように平坦化される。また、上記引き出し電極18上の所定部分における上記第2の層間絶縁膜23上には図示しないコンタクトホールが設けられている。

【0047】

なお、上記液晶表示装置において、ゲート絶縁膜14上にゲート配線15が設けられた多結晶SiTF基板の上層であり、かつ画素電極24の下層に位置する層を中間層と称する。即ち、上記中間層は、具体的には第1の層間絶縁膜19、層間絶縁膜21および第2の層間絶縁膜23によって構成され、また、上記中間層内には、信号配線17、引き出し電極18および導電性遮光層20などがマトリクス状に配されている。そして、上記3つの層間絶縁膜19・21・23の材質は、絶縁素材であれば特に限定されるものではないが、本実施の形態においては、SiO₂を主成分としている。

【0048】

上記第2の層間絶縁膜23上には、このコンタクトホールを通じて上記引き出し電極18と透明の画素電極24が設けられている。上記画素電極24は、例えば膜厚が120nmのITOからなる。上記画素電極24を覆うように液晶の配向膜25が設けられている。

【0049】

上述のように構成された多結晶SiTF基板と、ガラス基板30の上に対向電極として設けられた透明電極29および液晶の配向膜27を順次積層したものと間に液晶26が封入されている。なお、上記液晶26は、シール材28によって周囲を塞がれることによって、封入されている。

【0050】

続いて、本発明の実施の一形態として、上述のように構成された液晶表示装置の製造方法について、その製造工程順に以下に説明する。図3から図10は、上記液晶表示装置の各製造工程における液晶表示装置の構成を示す断面図である。

【0051】

まず、図3に示すように、石英ガラス基板10上に多結晶Si膜およびWSi膜を順次積層して成膜した後、上記2つの膜をパターンングして導電性遮光膜11を形成する。次に、例えばCVD法によって基板全面にSiO₂膜からなる層間絶縁膜12を成膜する。

10

20

30

40

50

続いて、例えばCVD法によって基板全面に多結晶Si膜13を成膜した後、上記多結晶Si膜13をパターニングする。その後、例えばCVD法によって基板全面にSiO₂を主成分とするゲート絶縁膜14を成膜した後、上記ゲート絶縁膜14を所定形状にパターニングする。続いて、基板全面にリン(P)がドーパされた多結晶Si膜およびWSi膜を順次成膜した後、上記2つの膜をパターニングしてゲート配線15および容量素子用の電極を形成する。次に、例えばCVD法によって基板全面にSiO₂を主成分とする層間絶縁膜16を成膜する。そして、上記層間絶縁膜16およびゲート絶縁膜14の所定部分をエッチング除去して、コンタクトホール(図示せず)を形成する。その後、基板全面にTiW膜、Al膜およびTiW膜を順次積層して成膜した後、上記3つの膜をパターニングして信号配線17を形成する。上述の製造方法によって、図3に示す構成を有する多結晶SiTFE基板およびその上に位置する信号配線17が作成される。

10

【0052】

続いて、例えばプラズマCVD法によって基板全面に図示しないSiN膜を形成する。その後、図4に示すように、例えばTEOSを原料ガスとして用いたプラズマCVD法によって基板全面にSiO₂を主成分とする第1の層間絶縁膜19を上記信号配線17が覆われるように成膜する。この時基板表面は、プラズマCVD法によって、一様に同じ厚さになるようにSiO₂が成膜されるため、図4に示すように信号配線17上に段差が生じている。

【0053】

従って、上記の段差を減じるために、上記第1の層間絶縁膜19の信号配線17上に配された部分(即ち、凸部)のみを、例えばフォトリソグラフィおよびエッチングによって除去する。これによって、上記第1の層間絶縁膜19は、上記信号配線17間に成膜された部分、即ち、上記画素領域における開口領域および上記画素外周領域を残してパターニングされ、図5に示すように段差が減じられる。上記の方法により、確実に凸部である信号配線上部の層間絶縁膜19のみを除去することができ、効果的に段差を減少させることができる。

20

【0054】

続いて、上記画素外周領域および周辺回路領域の所定部分をパターニングし、引き出し電極18を形成する。その後、例えばTEOSを原料ガスとして用いたプラズマCVD法によって基板全面にSiO₂を主成分とする層間絶縁膜(もう一つの層間絶縁膜)21を1500nmの厚さになるように成膜する。そして、上記層間絶縁膜21の所定部分をエッチングすることによってコンタクトホール22を形成する。

30

【0055】

次に導電性遮光層20を成膜し、図7に示すように、画素開口領域以外の領域全ての遮光が成されるようにパターニングを行う。なお、上記導電性遮光層20は、コンタクトホール22を通じて引き出し電極18と接続されている。続いて、図8に示すように、上記導電性遮光層20を覆うように第2の層間絶縁膜23を成膜する。

【0056】

そして、上記第2の層間絶縁膜23は、化学機械研磨によって平坦化される。上記化学機械研磨は、例えばIPEC社472を用いて、以下に示す研磨布、CMP研磨クロス、スラリーを使用する。研磨布:IC-1400-050A2(ロデールニッタ製)、CMP研磨クロス:supremeRN-H24PJ、スラリー:セミスパース12(キャボット製セミスパース25の1/2希釈品)。

40

【0057】

なお上記化学機械研磨の研磨条件は、例えば以下のように設定することが好ましい。
 研磨液流量:Pompl = 150 sccm、研磨ヘッド圧力:press = 8.0 psi, Back press = 2.5 psi、回転数:Carr = 32 rpm, Platen = 28 rpm、遙動幅:osc start = 170 mm、osc end = 165 mm、標準研磨レート:フラットモニター; 300 nm/分、実試料; 500 nm/分

また、研磨時間は上記第2の層間絶縁膜23を300nmの厚さにする場合、1分20

50

秒とすることが好ましい。なお、上記化学機械研磨に使用する研磨布 IC-1400 は、弾力を有するクロス 2 枚を貼り合わせた二層構造をしている。これによれば、例えば単層の研磨布である IC-1000 を使用した場合と比較して、均一な研磨を施すことができる。

【0058】

上述の研磨条件にて、上記第 2 の層間絶縁膜の化学機械研磨を実施すれば、基板全面に対して均一な研磨を実施することができるとともに、上記画素外周領域および上記画素外周領域に近接した領域のオーバー研磨を防止することができる。そのため、上記液晶表示装置の基板全面において液晶層 26 の厚みを一定にし、表示画質の向上を図ることができる。また、画素電極 24 とその下層に位置する導電性遮光層 20 とのショートを防止することも可能である。

10

【0059】

上記化学機械研磨終了後、上記第 2 の層間絶縁膜 23 は、図 9 に示すように例えば 300 nm の厚さに平坦化される。そして続いて、上記第 2 の層間絶縁膜 23 の所定部分をエッチングによって除去して、コンタクトホール（図示せず）を形成する。その後、基板全面に ITO 膜を成膜した後、上記 ITO 膜をエッチングによりパターニングして、画素電極 24 を形成する（図 9 参照）。

【0060】

その後の工程は、一般的な液晶表示装置の製造方法に基づいて実施され、配向膜 25・27 および液晶層 26 などの積層が行われ、図 1 に示すような液晶表示装置が得られる。

20

【0061】

なお、本実施の形態においては、画素電極 24 は導電性遮光層 20 を介して引き出し電極 18 に接続されているが、良好なコンタクトを得ることができれば、上記導電性遮光層 20 を形成せず、上記画素電極 24 を引き出し電極 18 に直接接続するような構成にしてもよい。上記の構成によれば、層間絶縁膜 21 を設ける必要がなく、製造工程の簡略化を図ることができる。

【0062】

また、本実施の形態においては、上記第 1 の層間絶縁膜 19 は、TEOS を用いたプラズマ CVD 法によって成膜を行い、その後フォトリソグラフィおよびエッチングを行うことによって形成しているが、本発明はこれに限定されるものではなく、これ以外にも種々の方法を用いることができる。

30

【0063】

上記の方法としては、例えば、リンシリケートガラス（PSG）又はホウ素リンシリケートガラス（BPSG）などを成膜してからリフローさせる方法、スピオンガラス（SOG）を用いた流動法、絶縁膜を成膜してからエッチバックする方法、あるいは、絶縁膜を成膜してから化学機械研磨法により研磨する方法等が挙げられる。また、絶縁膜の成膜方法としては、TEOS を用いたプラズマ CVD 法以外の方法として、TEOS を用いた常圧 CVD 法、高密度プラズマ CVD 法、上記の方法を組み合わせて積層膜を成膜する方法などを用いることもできる。

【0064】

また、本実施の形態においては、画素電極駆動用の薄膜トランジスタとして多結晶 Si TFT を用いたが、本発明はこれに限定されることなく、例えば、a-Si TFT などを使用してもよい。

40

【0065】

【発明の効果】

以上のように、本発明の液晶表示装置の製造方法は、基板表面に形成されている画素電極駆動用の薄膜トランジスタと画素電極との間に、マトリクス状に配置されている信号配線を含んでなる中間層が設けられている液晶表示装置の製造方法において、マトリクス状に配置されている上記信号配線上に第 1 の層間絶縁膜を形成し、続いて上記第 1 の層間絶縁膜の表面に形成された凸部を除去した後、第 2 の層間絶縁膜を形成するステップを含む

50

という構成である。

【0066】

上記の構成によれば、上記第1の層間絶縁膜をマトリクス状に配された上記信号配線同士の間のみ埋め込むような状態で設けることができ、段差を減少させることができる。従って、上記第2の層間絶縁膜を平坦に形成することができるため、画素電極を平坦な表面上に形成して液晶層の厚みを一定に保ち、画質の低下を防止することができるという効果を奏する。

【0067】

上記の液晶表示装置の製造方法において、上記第2の層間絶縁膜は化学機械研磨によって平坦化される構成としてもよい。

10

【0068】

上記の構成によれば、上記第2の層間絶縁膜は、予め段差が減じられた上記第1の層間絶縁膜上に成膜されるため、化学機械研磨によってより良好に平坦化することができる。そして、画素外周領域および上記画素外周領域に近接した画素領域内の周辺領域について、オーバー研磨を防止することができるという効果を奏する。

【0069】

上記の液晶表示装置の製造方法において、上記凸部の除去は、フォトリソグラフィー及びエッチングによって行われる構成としてもよい。

【0070】

上記の構成によれば、上記第1の層間絶縁膜を形成する過程において、上記凸部である上記信号配線上に一時的に配された上記第1の層間絶縁膜を確実に除去できるとともに、上記信号配線間に設けられた上記第1の層間絶縁膜は確実に残すことができる。

20

【0071】

上記の液晶表示装置の製造方法において、上記凸部を除去した後、かつ上記第2の層間絶縁膜を形成する前に、もう一つの層間絶縁膜を形成し、上記もう一つの層間絶縁膜上に導電性遮光層を形成するステップをさらに含む構成としてもよい。

【0072】

上記の構成によれば、段差が減じられた第1の層間絶縁膜上に形成された上記もう一つの層間絶縁膜上に、導電性遮光層を配することができる。従って、上記導電性遮光層の遮光性能を向上させることができる。そして、上記導電性遮光層の上層には、上記第2の層間絶縁膜が形成された後、各領域全体に渡って均一に化学機械研磨を施すことができる。従って、局部的なオーバー研磨を防止することができるため、画素電極とその下層の導電性遮光層とのショートを効果的に防止することができるという効果を奏する。

30

【0073】

以上のように、本発明の参考に係る液晶表示装置は、基板表面に形成されている画素電極駆動用の薄膜トランジスタと画素電極との間に、マトリクス状に配置されている信号配線を含んでなる中間層が設けられている液晶表示装置において、上記中間層は、マトリクス状に配置された上記信号配線間を埋め込む第1の層間絶縁膜と、上記画素電極と上記第1の層間絶縁膜および上記信号配線との間に設けられている第2の層間絶縁膜とを有している構成である。

40

【0074】

上記の構成によれば、上記第2の層間絶縁膜は、上記第2の層間絶縁膜によって段差の減じられた層の上層に形成されているため、例えば、化学機械研磨を行うことによって、より平坦性を増加させることができる。具体的には、TFTや各種の重なる配線が少ない画素外周領域および画素領域内の周辺領域においても、他の領域と同じ研磨条件で化学機械研磨を行っても、不均一に研磨されることなく、残留膜厚に差が発生しない。さらに、各々の画素電極についても、画素電極の周辺部と中央部との間の段差が減少しているため、均一な研磨を行うことができる。従って、液晶表示装置全体において、液晶層の層厚を一定に保つことに貢献でき、より表示画質の向上を図ることができるという効果を奏する。

50

【 0 0 7 5 】

上記の液晶表示装置において、上記第1の層間絶縁膜は、フォトリソグラフィー及びエッチングによって形成されていることが好ましい。

【 0 0 7 6 】

上記の構成によれば、上記第1の層間絶縁膜を形成過程において、上記信号配線上に一時的に配された上記第1の層間絶縁膜を確実に除去できるとともに、上記信号配線間に設けられた上記第1の層間絶縁膜は確実に残すことができる。従って、上記第1の層間絶縁膜と上記信号配線とによって形成された層の表面の段差を減少させることができるという効果を奏する。

【 0 0 7 7 】

上記の液晶表示装置において、上記第2の層間絶縁膜と前記第1の層間絶縁膜および前記信号配線との間には、もう一つの層間絶縁膜が設けられており、上記もう一つの層間絶縁膜の前記信号配線を覆う領域には導電性遮光層が設けられている構成としてもよい。

【 0 0 7 8 】

一般に液晶表示装置においては、上記信号配線の上層であり、かつ上記画素電極の下層の位置に導電性遮光層が設けられている。上記の構成によれば、段差が減じられた第1の層間絶縁膜上に形成された上記もう一つの層間絶縁膜上に、導電性遮光層を配することができる。従って、上記導電性遮光層の遮光性能を向上させることができるという効果を奏する。

【 0 0 7 9 】

上記の液晶表示装置において、上記第1の層間絶縁膜、上記第2の層間絶縁膜、および上記もう一つの層間絶縁膜は、 SiO_2 を主成分とする構成としてもよい。

【 0 0 8 0 】

上記の構成によれば、 SiO_2 を主成分とすることによって良好な画像表示ができるとともに、比較的誘電率が低いため、配線間の容量が小さく信号処理ノイズの影響を少なくすることができるという効果を奏する。

【 0 0 8 1 】

上記の液晶表示装置において、上記第1の層間絶縁膜および上記第2の層間絶縁膜は、プラズマCVD法によって形成されている構成としてもよい。

【 0 0 8 2 】

上記の構成によれば、プラズマCVD法は、段差のある表面に対して優れた埋め込み性を有する成膜方法であるため、例えば、第1の層間絶縁膜を信号配線間がマトリクス状に配された表面に対しても、表面の全ての部分に渡って同じ厚さの膜を形成することができるという効果を奏する。

【 図面の簡単な説明 】

【 図 1 】 本発明の参考に係る液晶表示装置の一部の構成を示す断面図である。

【 図 2 】 本発明の参考に係る液晶表示装置の概要を示す平面透視図であり、画素電極、各種信号配線などがマトリクス状に配置された様子を示すものである。

【 図 3 】 本発明の実施の一形態における液晶表示装置の製造工程を示す液晶表示装置の断面図である。

【 図 4 】 本発明の実施の一形態における液晶表示装置の製造工程を示す液晶表示装置の断面図であり、図3に示す工程に続いて行われる工程を示すものである。

【 図 5 】 本発明の実施の一形態における液晶表示装置の製造工程を示す液晶表示装置の断面図であり、図4に示す工程に続いて行われる工程を示すものである。

【 図 6 】 本発明の実施の一形態における液晶表示装置の製造工程を示す液晶表示装置の断面図であり、図5に示す工程に続いて行われる工程を示すものである。

【 図 7 】 本発明の実施の一形態における液晶表示装置の製造工程を示す液晶表示装置の断面図であり、図6に示す工程に続いて行われる工程を示すものである。

【 図 8 】 本発明の実施の一形態における液晶表示装置の製造工程を示す液晶表示装置の断面図であり、図7に示す工程に続いて行われる工程を示すものである。

10

20

30

40

50

【図9】 本発明の実施の一形態における液晶表示装置の製造工程を示す液晶表示装置の断面図であり、図8に示す工程に続いて行われる工程を示すものである。

【図10】 本発明の実施の一形態における液晶表示装置の製造工程を示す液晶表示装置の断面図であり、図9に示す工程に続いて行われる工程を示すものである。

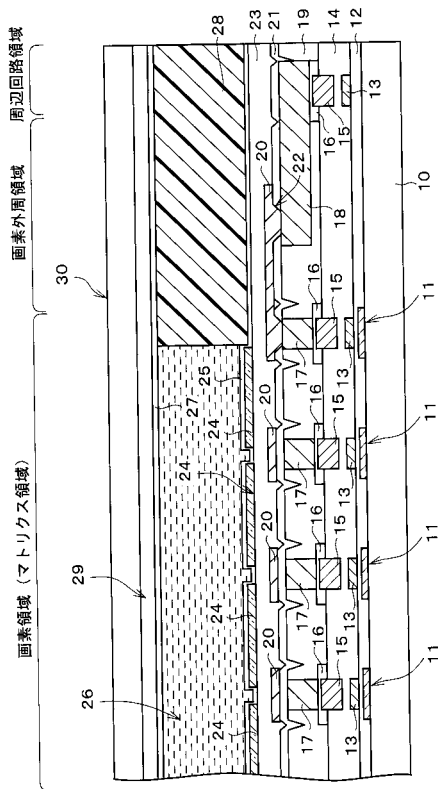
【符号の説明】

- 10 石英ガラス基板（基板）
- 11 導電性遮光膜（薄膜トランジスタ）
- 12 層間絶縁膜（薄膜トランジスタ）
- 13 多結晶Si膜（薄膜トランジスタ）
- 14 ゲート絶縁膜（薄膜トランジスタ）
- 15 ゲート配線（薄膜トランジスタ）
- 16 層間絶縁膜（中間層）
- 17 信号配線（信号配線・中間層）
- 19 第1の層間絶縁膜（第1の層間絶縁膜・中間層）
- 20 導電性遮光層（導電性遮光層・中間層）
- 21 層間絶縁膜（もう一つの層間絶縁膜・中間層）
- 23 第2の層間絶縁膜（第2の層間絶縁膜・中間層）
- 24 画素電極
- 25・27 配向膜
- 26 液晶

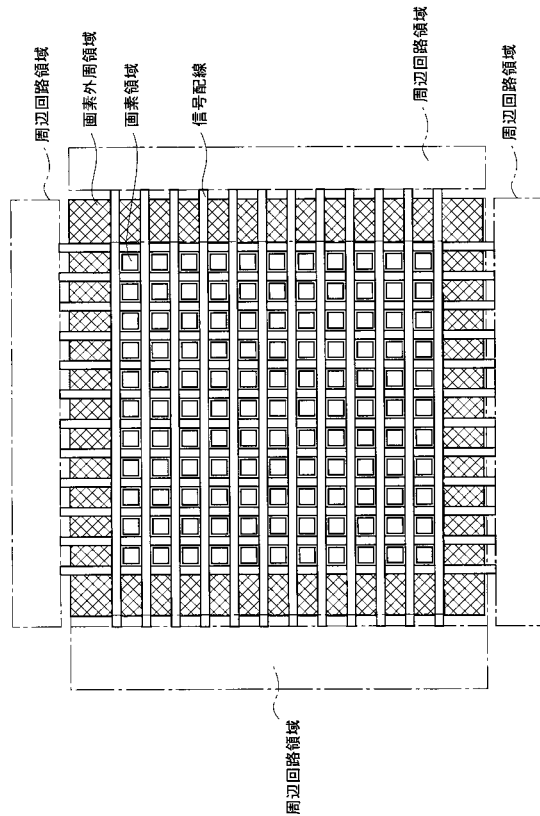
10

20

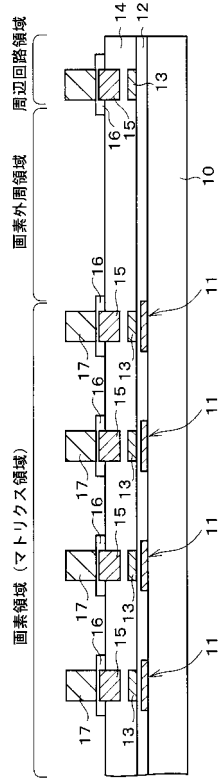
【図1】



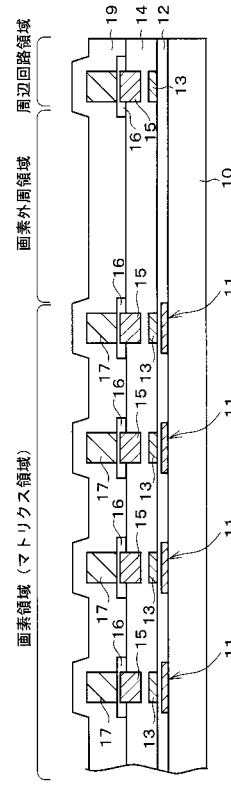
【図2】



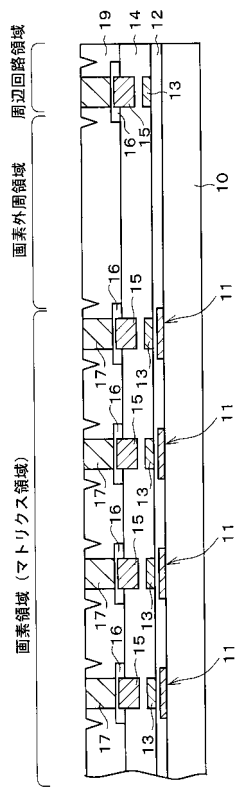
【図3】



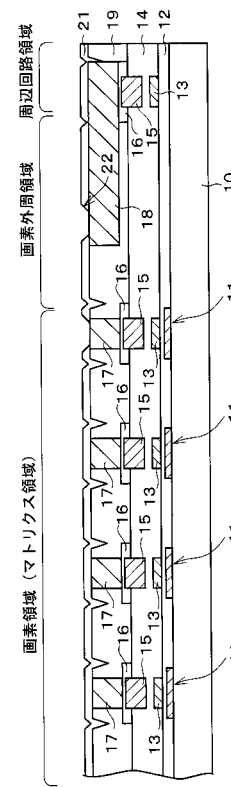
【図4】



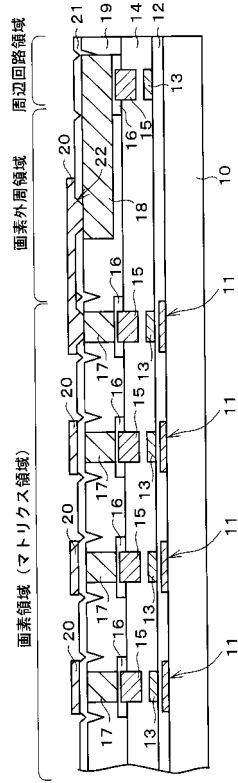
【図5】



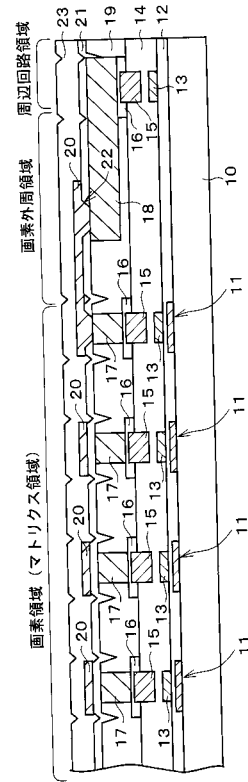
【図6】



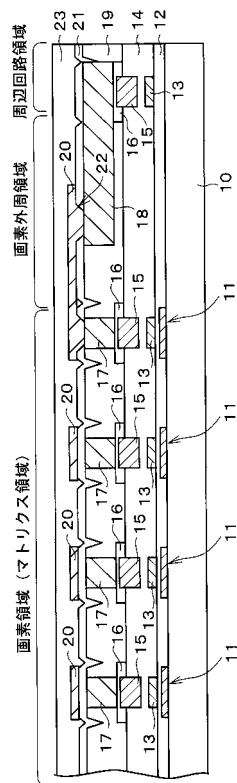
【図 7】



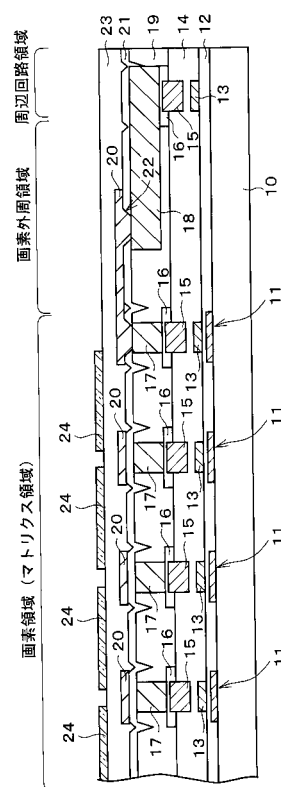
【図 8】



【図 9】



【図 10】



フロントページの続き

- (56)参考文献 特開2001-242443(JP,A)
特開平11-038440(JP,A)
特開平09-230319(JP,A)
特開2001-100658(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/1343
H01L 21/336
H01L 29/786

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶显示装置的制造方法 | | |
| 公开(公告)号 | JP4064145B2 | 公开(公告)日 | 2008-03-19 |
| 申请号 | JP2002115417 | 申请日 | 2002-04-17 |
| [标]申请(专利权)人(译) | 夏普株式会社 | | |
| 申请(专利权)人(译) | 夏普公司 | | |
| 当前申请(专利权)人(译) | 夏普公司 | | |
| [标]发明人 | 枇杷哲夫 | | |
| 发明人 | 枇杷 哲夫 | | |
| IPC分类号 | G02F1/1368 H01L29/786 H01L21/336 | | |
| FI分类号 | G02F1/1368 H01L29/78.619.A H01L29/78.619.B H01L29/78.627.A | | |
| F-TERM分类号 | 2H092/JB31 2H092/JB54 2H092/JB58 2H092/KB22 2H092/KB25 2H092/MA08 2H092/MA13 2H092/MA17 2H092/MA18 2H092/NA19 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB46 2H192/EA04 2H192/EA13 2H192/EA15 2H192/HA62 2H192/HA88 5F110/AA30 5F110/BB02 5F110/CC02 5F110/DD03 5F110/DD13 5F110/EE05 5F110/EE09 5F110/EE14 5F110/FF02 5F110/GG02 5F110/GG13 5F110/GG15 5F110/HL03 5F110/HL05 5F110/HL06 5F110/HL11 5F110/HL12 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN25 5F110/NN26 5F110/NN35 5F110/NN40 5F110/NN42 5F110/NN45 5F110/NN48 5F110/NN72 5F110/NN73 5F110/QQ11 5F110/QQ19 5F110/QQ23 | | |
| 审查员(译) | 福田 知喜 | | |
| 其他公开文献 | JP2003307749A | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题：提供一种液晶显示装置，其通过改善在化学机械抛光时根据抛光表面上的图案引起的不均匀性来抑制图像质量的劣化。
 ŽSOLUTION：石英玻璃基板10上设置有薄膜晶体管，薄膜晶体管包括导电遮光膜11，层间绝缘膜12，多晶硅膜13，栅极绝缘膜14和栅极布线15，以及薄膜之间在晶体管和像素电极24中，布置中间层，其中信号布线17，引出电极18和导电遮光层20以矩阵形式放置。该中间层设置有第一层间绝缘膜19，用于填充以矩阵形式布置的信号布线17与像素电极24之间的第二层间绝缘膜23与第一层间绝缘膜和信号布线之间的间隔。 17. Ž

