

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-57668

(P2007-57668A)

(43) 公開日 平成19年3月8日(2007.3.8)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/1345 (2006.01)	G02F 1/1345	2H088
G02F 1/13 (2006.01)	G02F 1/13 1O1	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	5C006
G09G 3/20 (2006.01)	G09G 3/20 623R	5C080
G09G 3/36 (2006.01)	G09G 3/20 624B	
審査請求 未請求 請求項の数 2 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2005-240987 (P2005-240987)

(22) 出願日 平成17年8月23日 (2005.8.23)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 今野 秀一

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

Fターム(参考) 2H088 FA12 FA13 FA30 HA06 HA08
MA16 MA202H092 GA59 JA24 JB69 JB77 MA56
NA29 NA305C006 AF43 AF53 BB16 BB28 BC06
BC11 BC20 BF03 BF25 BF50
EB015C080 AA10 BB05 DD15 DD28 FF11
JJ02 JJ03 JJ07

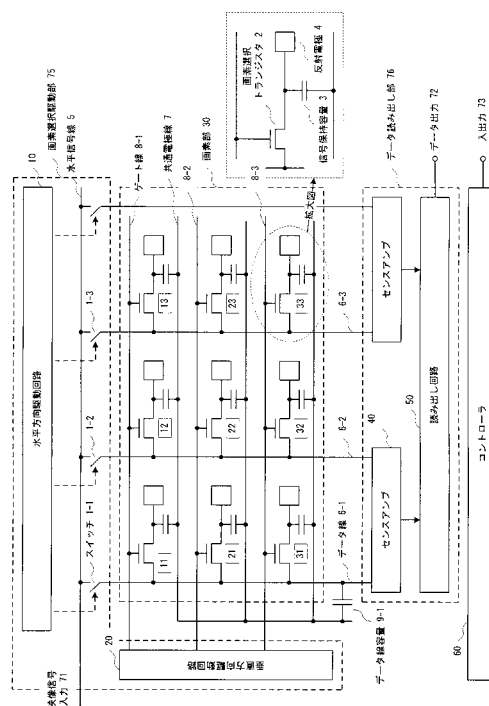
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 液晶を組み込む前に、液晶駆動LSI単体で、各画素の正常動作の検査を、容易かつ高精度に行うことができる液晶駆動素子を提供する。

【解決手段】 同一ゲート線(8)に配置された一対の信号保持容量(3)それぞれに所定の検査信号を書き込むデータ書き込み部(75、2)と、スイッチングトランジスタ(2)、データ線(6)を経由して、前記一対の信号保持容量にそれぞれ接続され、前記一対の信号保持容量に書き込まれた前記検査信号をそれぞれ入力して、2値化された検出データとして出力する差動増幅回路(40)と、前記複数の差動増幅回路から出力された検出データを、ラッチ、出力して、画素の良否判定信号を出力する読み出し回路(50)を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板上に互いに直交するように形成された複数のデータ線と複数のゲート線と、映像信号或いは検査信号が供給される信号供給線と、前記複数のデータ線と前記信号供給線とのオン・オフを行う切り換えスイッチと、前記切り換えスイッチをオンするパルスを順次供給する水平方向駆動回路と、前記複数のゲート線に走査信号を供給する垂直方向駆動回路と、前記複数のデータ線と複数のゲート線との交差部にマトリクス状に配置された複数の画素とを備え、前記複数の画素はそれぞれスイッチングトランジスタと信号保持容量部とを有し、前記スイッチングトランジスタのゲートが前記ゲート線に、ソースが前記データ線に、ドレインが前記信号保持容量部の一方の端子に接続され、前記信号保持容量部の他方の端子が共通電極に接続された表示装置に用いられる表示基板において、

前記切り換えスイッチにより前記検査信号が 2 つのデータ線に供給され、前記水平方向駆動回路から前記パルスを前記複数の切り換えスイッチに順次供給すると共に、前記垂直方向駆動回路から前記走査信号を前記複数のゲート線に順次供給して、前記 2 つのデータ線および前記同一のゲート線に接続された 2 つの前記スイッチングトランジスタを介して 2 つの前記信号保持容量部に書き込むとともに、前記 2 つの書き込まれて蓄積された検査信号を入力して、差分値を演算して、2 値化された検出データとして出力する差動増幅回路と、

前記差動増幅回路から出力された前記デジタル差分値をラッチ、出力して、前記複数の画素の良否判定を行う信号を出力する出力回路と、

を備えたことを特徴とする表示基板。

【請求項 2】

半導体基板上に互いに直交するように形成された複数のデータ線と複数のゲート線と、映像信号或いは検査信号が供給される信号供給線と、前記複数のデータ線と前記信号供給線とのオン・オフを行う切り換えスイッチと、前記切り換えスイッチをオンするパルスを順次供給する水平方向駆動回路と、前記複数のゲート線に走査信号を供給する垂直方向駆動回路と、前記複数のデータ線と複数のゲート線との交差部にマトリクス状に配置された複数の画素とを備え、前記複数の画素は、それぞれスイッチングトランジスタと信号保持容量部とを有し、前記スイッチングトランジスタのゲートが前記ゲート線に、ソースが前記データ線に、ドレインが前記信号保持容量部の一方の端子に接続され、前記信号保持容量部の他方の端子が共通電極に接続された表示装置に用いられる表示基板の良否判定方法において、

前記水平方向駆動回路から前記パルスを前記複数の切り換えスイッチに順次供給すると共に、前記垂直方向駆動回路から前記走査信号を前記複数のゲート線に順次供給して、第 1 の前記検査信号を 2 つのデータ線に供給し、前記 2 つのデータ線および前記同一のゲート線に接続された 2 つの前記スイッチングトランジスタを介して 2 つの前記信号保持容量部に書き込む第 1 ステップと、

前記第 1 の検査信号を読み出して入力する差動増幅回路の端子間の電圧を中和して 0 とする第 2 ステップと、

前記 2 つの書き込まれて蓄積された第 1 の検査信号を前記差動増幅回路に入力して、前記 2 つの第 1 の検査信号の差分値を演算して、2 値化された第 1 の検出データを出力する第 3 ステップと、

前記差動増幅回路から出力された前記第 1 の検出データをラッチして出力する第 4 ステップと、

前記ラッチして出力された前記第 1 の検出データにより良否判定した第 1 の結果を記憶部に記憶する第 5 ステップと、

次に、前記水平方向駆動回路から前記パルスを前記複数の切り換えスイッチに順次供給すると共に、前記垂直方向駆動回路から前記走査信号を前記複数のゲート線に順次供給して、第 2 の前記検査信号を 2 つのデータ線に供給し、前記 2 つのデータ線および前記同一のゲート線に接続された 2 つの前記スイッチングトランジスタを介して 2 つの前記信号保

10

20

30

40

50

持容量部に書き込む第 6 ステップと、

前記第 2 の検査信号を読み出して入力する差動増幅回路の端子間の電圧を中和して 0 とする第 7 ステップと、

前記 2 つの書き込まれて蓄積された第 2 の検査信号を前記差動増幅回路に入力して、前記 2 つの第 2 の検査信号の差分値を演算して、2 値化された第 2 の検出データを出力する第 8 ステップと、

前記差動増幅回路から出力された前記第 2 の検出データをラッチして出力する第 9 ステップと、

前記ラッチして出力された前記第 2 の検出データにより良否判定した第 2 の結果を記憶部に記憶する第 10 ステップと、

前記記憶部に記憶された前記第 1、第 2 の結果を読み出して、これら第 1、第 2 の結果がともに良品と判定された場合に、前記 2 つの画素は良品と判定する第 11 ステップと、を有することを特徴とする表示基板の良否判定方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリックス型液晶表示装置の液晶駆動素子に係わり、液晶駆動素子の検査回路を有する液晶表示装置に関するものである。

【背景技術】

20

【0002】

薄型ディスプレイを中心に、液晶表示装置が広く普及している。これら液晶表示装置の検査方法について、以下 LCOS (Liquid Crystal on Silicon) 型の液晶表示装置を例にとって説明する。LCOS 型液晶表示装置は、透明電極、液晶層、マトリクス状に配置された反射電極、シリコン基板上に液晶駆動回路が形成された液晶駆動素子とを重ねた構造の反射型液晶表示装置である。

【0003】

液晶駆動素子は、図 8 に示すように、水平方向駆動回路 10、垂直方向駆動回路 20、スイッチ群 1 からなる画素選択駆動部 75、画素部 30、コントローラ 60、およびデータ線群 6、ゲート線群 8、水平信号線 5 から構成されている。図中で、各要素番号のハイフン後のサフィックスは、必要に応じて付けたもので、異なった位置にあることを示す。画素部 30 は、データ線 6 とゲート線 8 の交差部にマトリクス状に配置された画素群 (画素番号 11 ~ 13、21 ~ 23、31 ~ 33 の 3 × 3 画素のみ図示する。) からなり、各画素は、画素選択トランジスタ 2、信号保持容量 3、および反射電極 4 を備えている。コントローラ 60 は、映像信号から各種クロック信号を生成して、水平方向駆動回路 10、垂直方向駆動回路 20 に供給、制御して、映像信号と同期してデータ線 6、ゲート線 8 を駆動することで、画素選択を行って、水平・垂直の走査を行う。そしてデータ線 6 とゲート線 8 の交差部の画素が選択されると、映像信号入力部 71 から入力された映像信号は、水平方向の画素を選択するスイッチ 1 と各画素内にある垂直方向の画素選択トランジスタ 2 を経由して信号保持容量 3 に書き込まれる。そしてこの信号保持容量 3 に接続された反射電極 4 を介して液晶が駆動される。

30

40

【0004】

これら液晶の画素数は通常 100 万画素以上と大きいので、液晶駆動素子 LSI を製造する過程で、欠陥や不良が発生することがある。このため、画素の欠陥などの検査を、液晶を組み込む前に液晶駆動素子単体で行うことが求められる。

映像信号の経路のどこかで、電源・GND・あるいは他の信号線等とショートするような故障があると、水平信号線 5 に、本来流れないはずの直流電流の流入や流出が起きるので、この水平信号線の端子でこの電流をモニタすれば故障の有無を検出できる。この場合は特別な検査回路を必要とせず、一般の LSI テスタ等でも比較的容易に検出できる。

逆に前記映像信号の経路のどこかに断線があって、信号保持容量 3 に対して映像信号が書

50

き込めない場合は、表示された画像を見れば故障の検出ができるが、モニタできるような電氣的な出力は存在しない。そこで通常、液晶駆動素子に検査用の読み出し回路を追加して、信号保持容量 3 に所定の電荷が蓄積されたかどうかを測定して検査する。

【0005】

図 9 に、液晶駆動素子における従来の電荷検査システムの構成例を示す。検査システムは、液晶駆動素子 70 と外部の検出回路 90 から構成されている。この液晶駆動素子 70 は、図 8 に示した表示対応液晶駆動素子のブロック構成に、スイッチ 91、読み出し線 92、および読み出し線容量（浮遊容量）93 からなるデータ読み出し部 96 を追加したもので、データ線容量 9 に蓄積された電荷による電位をスイッチ 91、読み出し線 92 を介して、データ出力部 72 にアナログ値として出力する構成となっている。

10

次に電荷測定方法について簡単に説明する。まず所定の電圧の信号を信号保持容量 3 に書き込む。次に、画素選択トランジスタ 2、およびスイッチ 91 をオフの状態、データ線 6 に 0 ボルトを印加して、データ線容量 9 に蓄積された電荷を 0 とする。そして画素選択トランジスタ 2 をオンして、前記信号保持容量 3 に蓄積された電荷をデータ線に放電させる。データ読み出し部 92 は、スイッチ 91 をオンしてデータ線の電位を読み出し線 92 を介してデータ出力部 72 に出力する。外部の検出回路 90 は、その電位変化を読み取る。以上により、電荷の有無を検出することで、画素の欠陥が検出できる。

【0006】

通常、液晶表示装置の駆動回路は CMOS LSI などで作られており、多くの画素が高密度に集積されているので、信号保持容量 3 の容量 C_s に対してデータ線 6 の浮遊容量 C_l は、 $C_s \ll C_l$ （例えば 1 : 50 以上）の関係にある。このため、信号保持容量 3 に蓄積された電荷をデータ線容量 9 に放電して読出した時の電位変化は、おおよそこの容量比の 1 と、かなり小さいものとなり、検出が難しい場合がある。

20

さらに、読み出し線容量 93 がデータ線容量 9 と同程度とすると、前記電位変化は $1/2$ となり、測定精度も、読み出し線を持たない場合の $1/2$ となる。このため、データ線ごとにバッファを備え、バッファにより読み出し線容量の影響を排除して、前記信号保持容量 3 に書き込み蓄積された電荷を、電位変化として検出する方法も開示されている。（例えば、特許文献 1 参照。）

【特許文献 1】特開 2003 - 114658 号公報（第 6 - 7 頁、10 - 12 頁、第 3 図、第 1 図）

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、微弱なアナログ信号を液晶駆動素子の外部に取り出して検出する方法では、測定精度が低下する、またはデータ線ごとにバッファを備えるなど回路が複雑となる欠点を持つ。また、外部にアナログ増幅器を備えた検出回路を必要とし、一般の LSI テスタだけで検査することはできない。

【0008】

そこで本発明は、上記のような問題点を解消するためになされたもので、簡単な検査装置を使って、液晶駆動素子単体で、画素部断線による不良も含む画素欠陥の検出が可能な液晶駆動素子を使った表示装置を提供することを目的とする。

40

【課題を解決するための手段】

【0009】

本願発明における第 1 の発明は、半導体基板上に互いに直交するように形成された複数のデータ線と複数のゲート線と、映像信号或いは検査信号が供給される信号供給線と、前記複数のデータ線と前記信号供給線とのオン・オフを行う切り換えスイッチと、前記切り換えスイッチをオンするパルスを順次供給する水平方向駆動回路と、前記複数のゲート線に走査信号を供給する垂直方向駆動回路と、前記複数のデータ線と複数のゲート線の交差部にマトリクス状に配置された複数の画素とを備え、前記複数の画素はそれぞれスイッチングトランジスタと信号保持容量部とを有し、前記スイッチングトランジスタのゲート

50

が前記ゲート線に、ソースが前記データ線に、ドレインが前記信号保持容量部の一方の端子に接続され、前記信号保持容量部の他方の端子が共通電極に接続された表示装置に用いられる表示基板において、前記切り換えスイッチにより前記検査信号が2つのデータ線に供給され、前記水平方向駆動回路から前記パルスを実記複数の切り換えスイッチに順次供給すると共に、前記垂直方向駆動回路から前記走査信号を実記複数のゲート線に順次供給して、前記2つのデータ線および前記同一のゲート線に接続された2つの前記スイッチングトランジスタを介して2つの前記信号保持容量部に書き込むとともに、前記2つの書き込まれて蓄積された検査信号を入力して、差分値を演算して、2値化された検出データとして出力する差動増幅回路（センスアンプ40）と、前記差動増幅回路から出力された前記検出データをラッチ、出力して、前記複数の画素の良否判定を行う信号を出力する出力回路（読み出し回路50）とを備えたことを特徴とする表示基板を提供する。 10

第2の発明は、半導体基板上に互いに直交するように形成された複数のデータ線と複数のゲート線と、映像信号或いは検査信号が供給される信号供給線と、前記複数のデータ線と前記信号供給線とのオン・オフを行う切り換えスイッチと、前記切り換えスイッチをオンするパルスを順次供給する水平方向駆動回路と、前記複数のゲート線に走査信号を供給する垂直方向駆動回路と、前記複数のデータ線と複数のゲート線との交差部にマトリクス状に配置された複数の画素とを備え、前記複数の画素は、それぞれスイッチングトランジスタと信号保持容量部とを有し、前記スイッチングトランジスタのゲートが前記ゲート線に、ソースが前記データ線に、ドレインが前記信号保持容量部の一方の端子に接続され、前記信号保持容量部の他方の端子が共通電極に接続された表示装置に用いられる表示基板の良否判定方法において、前記水平方向駆動回路から前記パルスを前記複数の切り換えスイッチに順次供給すると共に、前記垂直方向駆動回路から前記走査信号を実記複数のゲート線に順次供給して、第1の前記検査信号を2つのデータ線に供給し、前記2つのデータ線および前記同一のゲート線に接続された2つの前記スイッチングトランジスタを介して2つの前記信号保持容量部に書き込む第1ステップ（ステップS2）と、前記第1の検査信号を読み出して入力する差動増幅回路の端子間の電圧を中和して0とする第2ステップ（ステップS4）と、前記2つの書き込まれて蓄積された第1の検査信号を実記差動増幅回路に入力して、前記2つの第1の検査信号の差分値を演算して2値化された第1の検出データを出力する第3ステップ（ステップS4）と、前記差動増幅回路から出力された前記第1の検出データをラッチして出力する第4ステップ（ステップS5）と、前記ラッチして出力された前記第1の検出データにより良否判定した第1の結果を記憶部に記憶する第5ステップ（ステップS6）と、次に、前記水平方向駆動回路から前記パルスを前記複数の切り換えスイッチに順次供給すると共に、前記垂直方向駆動回路から前記走査信号を実記複数のゲート線に順次供給して、第2の前記検査信号を2つのデータ線に供給し、前記2つのデータ線および前記同一のゲート線に接続された2つの前記スイッチングトランジスタを介して2つの前記信号保持容量部に書き込む第6ステップ（ステップS2）と、前記第2の検査信号を読み出して入力する差動増幅回路の端子間の電圧を中和して0とする第7ステップ（ステップS4）と、前記2つの書き込まれて蓄積された第2の検査信号を実記差動増幅回路に入力して、前記2つの第2の検査信号の差分値を演算して2値化された第2の検出データを出力する第8ステップ（ステップS4）と、前記差動増幅回路から出力された前記第2の検出データをラッチして出力する第9ステップ（ステップS5）と、前記ラッチして出力された前記第2の検出データにより良否判定した第2の結果を記憶部に記憶する第10ステップ（ステップS6）と、前記記憶部に記憶された前記第1、第2の結果を読み出して、これら第1、第2の結果がともに良品と判定された場合に、前記2つの画素は良品と判定する第11ステップ（ステップS8）とを有することを特徴とする表示基板の良否判定方法を提供する。 20 30 40

【発明の効果】

【0010】

本発明における第1の発明によれば、前記切り換えスイッチにより前記検査信号が2つのデータ線に供給され、前記水平方向駆動回路から前記パルスを前記複数の切り換えスイ 50

ツチに順次供給すると共に、前記垂直方向駆動回路から前記走査信号を前記複数のゲート線に順次供給して、前記2つのデータ線および前記同一のゲート線に接続された2つの前記スイッチングトランジスタを介して2つの前記信号保持容量部に書き込むとともに、前記2つの書き込まれて蓄積された検査信号を入力して、差分値を演算して、2値化された検出データとして出力する差動増幅回路と、前記差動増幅回路から出力された前記検出データをラッチ、出力して、前記複数の画素の良否判定を行う信号を出力する出力回路とを備え、

また第2の発明によれば、前記水平方向駆動回路から前記パルス信号を前記複数の切り換えスイッチに順次供給すると共に、前記垂直方向駆動回路から前記走査信号を前記複数のゲート線に順次供給して、第1の前記検査信号を2つのデータ線に供給し、前記2つのデータ線および前記同一のゲート線に接続された2つの前記スイッチングトランジスタを介して2つの前記信号保持容量部に書き込む第1ステップと、前記第1の検査信号を読み出して入力する差動増幅回路の端子間の電圧を中和して0とする第2ステップと、前記2つの書き込まれて蓄積された第1の検査信号を前記差動増幅回路に入力して、前記2つの第1の検査信号の差分値を演算して2値化された第1の検出データを出力する第3ステップと、前記差動増幅回路から出力された前記第1の検出データをラッチして出力する第4ステップと、前記ラッチして出力された前記第1の検出データにより良否判定した第1の結果を記憶部に記憶する第5ステップと、次に、前記水平方向駆動回路から前記パルス信号を前記複数の切り換えスイッチに順次供給すると共に、前記垂直方向駆動回路から前記走査信号を前記複数のゲート線に順次供給して、第2の前記検査信号を2つのデータ線に供給し、前記2つのデータ線および前記同一のゲート線に接続された2つの前記スイッチングトランジスタを介して2つの前記信号保持容量部に書き込む第6ステップと、前記第2の検査信号を読み出して入力する差動増幅回路の端子間の電圧を中和して0とする第7ステップと、前記2つの書き込まれて蓄積された第2の検査信号を前記差動増幅回路に入力して、前記2つの第2の検査信号の差分値を演算して2値化された第2の検出データを出力する第8ステップと、前記差動増幅回路から出力された前記第2の検出データをラッチして出力する第9ステップと、前記ラッチして出力された前記第2の検出データにより良否判定した第2の結果を記憶部に記憶する第10ステップと、前記記憶部に記憶された前記第1、第2の結果を読み出して、これら第1、第2の結果がともに良品と判定された場合に、前記2つの画素は良品と判定する第11ステップとを有するので、

センサンプ出力以降のデータ読み出し回路はデジタル化できる。このため、

- ・簡単なセンサンプで高精度な判定が可能となる。
- ・この時の検査装置には、通常のLSIテストが使用可能となる。
- ・シフトレジスタを共用することで、トランジスタ数を大幅に節減できる。

また、簡単かつ小規模な回路で、画素部を含む信号線の断線の検査を行うことができる。さらに、LSIの製造後に液晶駆動素子単体での検査が可能なため、液晶組み立て工程への不良品の流出を最大限防止できて、液晶工程の負担も減り、不良品によるロスも最小限に抑えることができる。

【発明を実施するための最良の形態】

【0011】

以下、本発明の各実施形態に係る表示装置について図1～図7を用いて説明する。

図1は、本願発明の表示装置における液晶駆動素子の構成を示す図である（実施例1）。

図2は、本願発明の液晶駆動素子におけるセンサンプの例を示す図である。

図3は、本願発明の表示装置における検査システムの構成例を示す説明図である。

図4は、本願発明の表示装置における検査システムの動作を示すフローチャートである。

図5は、本願発明の表示装置における検査システムの各部電圧レベル設定例を示し、（A）は、画素書き込み信号、（B）は、差動増幅器の差動入力の説明図である。

図6は、本願発明の表示装置における液晶駆動素子の構成を示す図である（実施例2）。

図7は、本願発明の表示装置における液晶駆動素子の構成を示す図である（実施例3）。

【実施例1】

【 0 0 1 2 】

本発明の表示装置における液晶駆動素子 7 0 は、図 1 に示すように、画素部 3 0、画素選択駆動部 7 5、コントローラ 6 0、データ線群 6、ゲート線群 8、水平信号線 5 からなる液晶表示部、およびセンスアンプ 4 0、読出し回路 5 0 からなるデータ読み出し部から構成されている。

前記液晶表示部は、内部構成を含め、図 8 の構成と全く同一である。ただしコントローラ 6 0 の機能は拡張され、液晶表示モードの制御と共に、検査モードの制御を行う。

さらに、データ読み出し部 7 6 のセンスアンプ 4 0 は、図 2 に示すように、差動増幅回路部 4 1、ソース接地アンプ部 4 2、CMOS インバータ部 4 3 から構成され、中和トランジスタ 4 4、差動入力端子 4 5、差動入力端子（反転ビット）4 6、中和制御信号入力端子 4 7、定電流源バイアス端子 4 8、センスアンプ出力端子 4 9 を備えている。また、読出し回路 5 0 は、例えば、並列入力直列出力のシフトレジスタから構成されている。

10

【 0 0 1 3 】

そして検査時には、水平方向に隣り合う 2 画素を対として、所定のデータを信号保持容量 3 に書き込んで読み出し、それぞれの出力を差動増幅器からなるセンスアンプ 4 0 に差動入力して、検出データを出力するよう構成されている。

すなわち、図 1 において、隣接する画素 1 1 と 1 2、2 1 と 2 2、3 1 と 3 2 は、対画素の関係にあり、これらの画素に接続されているデータ線 6 - 1 と 6 - 2 に対してセンスアンプ 4 0 を設ける。そして、差動入力 4 5 には奇数画素番号画素、反転差動入力 4 6 には偶数画素番号画素のデータ線が接続される。センスアンプ 4 0 の差動増幅回路 4 1 に、対画素から読み出されたデータが入力されると、センスアンプ出力 4 9 は、“1”または“0”の 2 値データを出力する。これらセンスアンプの出力は、並列入力直列出力シフトレジスタからなる読出し回路 5 0 に取り込まれ、順次転送されてデータ出力部 7 2 に出力される。

20

以下本発明の特徴である液晶駆動素子の検査動作について、説明する。

【 0 0 1 4 】

液晶駆動素子の検査システムは、図 3 に示すように、検査対象の前記液晶駆動素子と検査装置 8 0 とからなる。そして、検査装置は、所定のパルス信号からなる検査信号を出力して、映像信号入力部 7 1 に供給する信号出力部、液晶駆動素子の出力データを入力する信号入力部、前記入力した検出データから画素欠陥の有無を判定する記憶処理部、および液晶駆動素子のコントローラ 6 0 と通信して、液晶駆動素子を動作制御する制御部から構成されている。

30

【 0 0 1 5 】

次に、図 4 のフローチャートにより、検査システムでの欠陥検出の動作手順を説明する。検査装置は、コントローラ 6 0 を介して、駆動回路素子 7 0 を検査モードに設定する等の初期設定を行う（ステップ S 1）。

次に前記対画素を単位として、所定の検査信号データを保持容量 3 に書き込む（ステップ S 2）。すなわち、垂直方向駆動回路 1 0 は、コントローラ 6 0 にしたがって、ゲート線 8 を駆動して、最初の走査線を選択する。映像信号入力部 7 1 には、検査装置により、順次“1”、“0”、“1”、“0”・・・からなる入力信号が入力される。すると水平方向駆動回路 1 0 は、コントローラ 6 0 にしたがって、データ線 6 を前記入力信号に同期して駆動し、スイッチ 1 を順次オンとして、一行目の画素 1 1、1 2、1 3・・・に、順次“1”、“0”、“1”、“0”・・・を書き込む。

40

こうして、1 走査線分のデータの書き込みを終了する（ステップ S 3）。

次に前記書き込んだデータの読み出しを行う（ステップ S 4）。まず読み出しの準備として、垂直方向駆動回路 1 0 は、ゲート線 8 を非選択として、まず前記書き込んだ走査線の全ての画素選択トランジスタ 2 をオフとする。そして、全てのセンスアンプ 4 0 の中和トランジスタをオンとして、差動増幅器 4 1 の 2 つの差動入力の電位を一致させる。そして、垂直方向駆動回路 1 0 は、ゲート線 8 を選択して、前記書き込んだ走査線の全ての画素選択トランジスタ 2 をオンとして、書き込まれたデータを各データ線 6 に放電させる。す

50

ると、センスアンプ 40 は、対となっているデータ線の信号（電位）を差動入力して、2 値化した検出データを出力する。

次に、前記センスアンプ 40 から出力された検出データを、読み出し回路 50 を構成するシフトレジスタの並列入力端子から、シフトレジスタにラッチして取り込み、シフトして、順次データ出力部 72 に転送、出力する。尚、この読み出し回路には、シフトレジスタの代わりに、データセクタなどを使って出力することも出来る。（ステップ S5）。

検査装置 80 は、液晶駆動素子のデータ出力部 72 から、順次前記検出データを読み取り、書き込んだデータと読み出した検出データが、正しいかどうかを調べることによりデータの良否判定を行って、不良画素を内部のメモリに記憶する（ステップ S6）。

次に、第 2 の検査信号として書き込みデータの論理を反転させて、以上の S2 ~ S6 のステップを再度実行する（ステップ S7）。こうして、各対画素に対して、“1”、“0”、および“0”、“1”、のデータが書き込み・読み出されて、不良画素が検査装置 80 に記憶されることとなる。

そして、対画素で“1”、“0”、および“0”、“1”、の不良画素データがそろったら、検査装置 80 は、対画素毎に欠陥判定を行う（ステップ S8）。

すなわち、“1”、“0”、および“0”、“1”、のデータがどちらかが不正、または共に不正だった場合は、その対画素は欠陥画素であると判断して欠陥登録する（ステップ S9）。

“1”、“0”、および“0”、“1”、のデータが共に正しい場合は、その対画素は正常であると判断して正常登録する（ステップ S10）。

以上のステップ S8 ~ S10 の欠陥判定を一行目の走査線の全画素が終了するまで、繰り返す（ステップ S11）。

そして、全ての走査線が終了するまで、以上のステップ S2 ~ S11 の手順を繰り返して画面全体の欠陥判定を行い終了する（ステップ S12）。

こうして、1 対の 2 画素に対して“1”、“0”および“0”、“1”の 2 通りのデータを書き込んで検査するので、片方あるいは両方の画素にショートや断線などの故障があった場合でもほぼ確実に検出可能である。

なお、以上の動作手順では、走査線を単位として書き込みと読み出しを行って欠陥判定をしたが、画面全体に対して書き込んだ後に走査線単位で読み出して欠陥判定することもできる。

【0016】

次に、画素部の断線の検出動作について、図 5 により具体的に説明する。

図 5（A）に、縦軸を電圧として、画素書き込み時の各部印加電圧の例を示す。

共通電極線に与える基準電圧 V_{com} は、任意の電圧で良いが、例えば電源電圧の半分程度とする。論理“1”、論理“0”の書き込み信号は、基準電圧 V_{com} に対して対称で、いずれも正電圧の V_1 、 V_0 とする。

【0017】

図 5（B）に、縦軸を電圧として、センスアンプ 40 の各種入力条件における差動入力を差分値として示したもので、さらに前記条件に対応させて欠陥の有無、検出データ論理値を示したものである。（ただし、以下の式で説明する読み出し時の容量分割に係る係数 $K_1 = C_s / (C_l + C_s)$ は省略している。）

以下、センスアンプ 40 の動作を説明する。

“1”、“0”また“0”、“1”を書き込んで読み出した時の入力差分値は、データ書き込み時の各部に蓄積された電荷は、保持容量 3 を C_s 、データ線容量 9 を C_l とすると以下のようなになる。ただし、式中の‘ ’ は、断線を表す。

“1”書き込み時の C_s の電荷 正常： $Q_s = V_1 * C_s$ 断線時： $Q'_s = 0$

“0”書き込み時の C_s の電荷 正常： $Q_s = V_0 * C_s$ 断線時： $Q'_s = 0$

中和時、 C_l に蓄積された電荷は以下のようなになる。ただし、 V_c は中和後の電圧とする。

データ線容量の電荷 $Q_l = V_c * C_l$

10

20

30

40

50

C_s の電荷 Q_s をデータ線に放電させた時の電位は、各種条件により以下ようになる。

$$\begin{aligned} \text{"1" 側 正常: } E_1 &= (Q_1 + Q_s) / (C_1 + C_s) \\ &= (V_c * C_1 + V_1 * C_s) / (C_1 + C_s) \end{aligned}$$

$$\text{断線時: } E_1' = (V_c * C_1) / (C_1) = V_c$$

ただし、断線のため、分母の C_s は 0 とした。

$$\begin{aligned} \text{"0" 側 正常: } E_0 &= (Q_1 + Q_s) / (C_1 + C_s) \\ &= (V_c * C_1 + V_0 * C_s) / (C_1 + C_s) \end{aligned}$$

$$\text{断線時: } E_0' = (V_c * C_1) / (C_1) = V_c$$

したがって、“1”、“0”を書き込み、読み出した時の差分値“1” - “0”は、図 5 (B) の左側に示すように、以下ようになる。

10

共に正常の場合 (図 5 では、“正 - 正”と記す。)

$$\begin{aligned} \blacksquare E &= E_1 - E_0 \\ &= ((V_1 * C_s) - (V_0 * C_s)) / (C_1 + C_s) \\ &= (V_1 - V_0) * C_s / (C_1 + C_s) \end{aligned}$$

“1”が正常、“0”が断線の場合 (図 5 では、“正 - 断”と記す。)

$$\begin{aligned} \blacksquare E &= E_1 - E_0' \\ &= (V_c * C_1 + V_1 * C_s) / (C_1 + C_s) - V_c \\ &= (V_1 - V_c) * C_s / (C_1 + C_s) \end{aligned}$$

“1”が断線、“0”が正常の場合 (図 5 では、“断 - 正”と記す。)

$$\begin{aligned} \blacksquare E &= E_1' - E_0 \\ &= V_c - (V_c * C_1 + V_0 * C_s) / (C_1 + C_s) \\ &= (V_c - V_0) * C_s / (C_1 + C_s) \end{aligned}$$

20

“1”、“0”とも断線の場合 (図 5 では、“断 - 断”と記す。)

$$\blacksquare E = E_1' - E_0' = 0$$

次に、反転データ“0”、“1”を書き込み、読み出した時の差分値“0” - “1”は、同様に、図 5 (B) の右側に示すように、電圧 0 に対して折り返えして、±の符号を反転したものとなる。

これら対画素の状態によって異なる差分値を、センスアンプの利得増幅して 2 値化する。対画素がともに正常な時に、書き込まれた検査データに応じて差分値は正または負の最大値を取り、正規の 2 値化出力“1”または“0”が得られる。

30

【0018】

図 5 (B) をセンスアンプ差動入力の差分値でみると、両端は、正常で、中間部は全て異常となっている。したがって、正常か異常かは、書き込みデータが“1”、“0”、また“0”、“1”に応じて、判定閾値を正常と異常の上限の平均値に設定して、それぞれ独立に判定すればよい。例えば、前記判定閾値の絶対値は、 $K_1 * ((V_1 - V_0) + (V_1 - V_c)) / 2 = K_1 * ((V_1 - V_0) + (V_c - V_0)) / 2 = K_1 * 3 / 4 * (V_1 - V_0)$ となる。

ただし、中和動作により、 $V_c = (V_1 - V_0) / 2$ になるものとしている。

この時の閾値は利得的な要素が強く、差分値を 2 値化するときのセンスアンプの利得や、保持容量の信号をデータ線に読み出すときの容量比などで決まってくる。つまり、書き込まれた検査信号を読み出して 2 値化するときの総合利得とも言える値になる。

40

従って、外部からは直流電圧的な意味でこの閾値を制御することはできないが、前記判定閾値の式に示したように、 $V_1 - V_0$ の電位差 (差分) を適切に設定することで、正常な対画素の時は閾値以上の 2 値化出力“1”を得、少なくともどちらか一方に断線等があって対画素からの差分信号が小さくなった時や、 $V_1 - V_0$ が負の電圧になるような検査信号で検査したような時には閾値以下の 2 値化出力“0”を得るようにできる。

反対に、センスアンプの差動入力の極性を入れ替えた回路を使用するなら、正常な対画素からのみ負側の閾値以下の 2 値化出力“0”を得、それ以外は“1”となるように $V_1 - V_0$ の電位差 (差分) を設定して、正常か異常かの判定を行える。

【0019】

50

本実施例では、図 5 (B) に示すように、正常と異常の判定の閾値を、例えば書き込みデータ “ 1 ”、“ 0 ” の閾値 $K1 * ((V1 - V0) + (V1 - Vc)) / 2$ に 1 つだけ設定して、検査結果を得る。この場合、“ 1 ”、“ 0 ” に対しては、正常な場合は、“ 1 ”となり、異常な場合は“ 0 ”となりどちらも正しい判定がなされる。ところが、“ 0 ”、“ 1 ”に対しては、共に正常の場合は、“ 0 ”となり正しい判定となるが、異常の場合も“ 0 ”となり、誤った判定となる。すなわち、閾値を前記のように 1 つだけ設定すると、共に正常な時は正しい 2 つの検査結果となるが、異常な場合は、必ずどちらか検査結果が誤った判定となる。本実施例では、前記検査結果をそのまま検出データとして、センスアンプから出力する。すなわち検出データそのものは、単独でみると判定が誤っている場合がある。そこで、検査装置では、ステップ 8、9、10 に示すように、“ 1 ”、“ 0 ”と“ 0 ”、“ 1 ”の 2 つの対となった検出データチェックして、共に正しい場合のみ、画素に断線による欠陥がないと判定させたものである。

10

【 0 0 2 0 】

以上のように、本発明の実施例 1 によれば、上記した構成により、センスアンプ出力が 2 値化されているので、センスアンプ出力以降のデータ読み出し回路はデジタル化できる。このため、液晶駆動素子にアナログ伝送のための読み出し線は不要となり、信号保持容量 C_s に蓄積された電荷の放電先はデータ線容量 C_l だけとなり、簡単なセンスアンプで高精度な判定が可能となる。また、この時の検査装置 80 には、通常の L S I テスタが使用可能となり、外部に特別な検出回路は不要である。

さらに、2 画素に対して、“ 1 ”、“ 0 ”または“ 0 ”、“ 1 ”と互いに逆のデータを書き込み、差動検出して読み出すので、差動入力が大きくとれ、保持容量とデータ線の容量比が大きい素子にも対応し易い。また、2 画素のデータを差動検出することや、差動増幅器の中和回路により、D C 増幅で厄介なバイアス調整の問題も解消できる。

20

【 実施例 2 】

【 0 0 2 1 】

実施例 1 における、読出し回路 50 と水平方向駆動回路 10 は、どちらもシフトレジスタで構成できる。そして、両方のシフトレジスタを同時に使うことはない。そこで、実施例 2 は、両者を統合して、1 つのシフトレジスタで構成したものである。

本発明の実施例 2 について図 6 を用いて説明する。本発明における液晶駆動素子の水平方向駆動回路 10 と、読出し回路 50 は、図 6 に示すように、1 つの直・並列入力、直・並列出力のシフトレジスタ 55 から構成されている。そして、直列入力はコントローラ 60 のパルスを入力し、並列出力はスイッチ 1 のオン・オフの制御信号を出力する。また並列入力端子には、各センスアンプ 40 の出力が接続され、直列出力はデータ出力 72 となる。

30

【 0 0 2 2 】

各画素にデータを書き込む時は、前記直・並列入力、直・並列出力のシフトレジスタ 55 を、直列入力並列出力のシフトレジスタとして動作させて、水平方向駆動回路を構成して、前記水平方向駆動回路と垂直方向駆動回路 20 とで、ゲート線 8、データ線 6 を駆動して、画素を順次選択しながら、映像信号入力 71 からデータを全画素に書き込む。

またデータを読み出す時は、前記直・並列入力、直・並列出力のシフトレジスタ 55 を、並列入力直列出力のシフトレジスタとして動作させて、読出し回路を構成する。そして、垂直方向駆動回路 20、センスアンプ 40、および前記読出し回路を使用して、実施例 1 同様、ゲート線 8 を駆動して、1 走査線全てのセンスアンプ 40 からの出力を、シフトレジスタの並列入力端子からラッチして取り込んで、順次データ出力部 72 に直列出力する。

40

【 0 0 2 3 】

以上のように、本発明の第 2 実施例によれば、上記した構成があるので、シフトレジスタ 55 は、書き込み時には直列入力並列出力動作、読出し時には並列入力直列出力に切り替えて動作させることで、図 1 における読出し回路 50 を削除でき、トランジスタ数を大幅に節減できる。

50

【実施例 3】

【0024】

実施例 3 は、実施例 2 をベースとして、画素選択駆動部を 2 系統備え、データ線、ゲート線を並列駆動するとともに、映像信号を複数に分割して並列処理することで、液晶駆動素子の動作周波数を下げたものである。

実施例 3 について、4 相で並列駆動する場合を例にとって、図 7 により説明する。

水平信号線 5、シフトレジスタ 55、スイッチ 1 は、画素部の上部と下部に配置されデータ線 6 を上下から並列に駆動する。この時センスアンプ 40 は、その入力を隣接する対画素のデータ線と接続して、1 つおきに上下交互に配置する。垂直方向駆動回路 20 は、左右に配置され、ゲート線 8 を左右から並列に駆動する。これら 2 系統の画素選択駆動部には、外部またはコントローラ 60 から同一の信号が供給され、2 系統で並列に駆動するだけなので、1 系統で駆動するのと変わらず、実施例 2 の場合と全く同じように動作する。

10

【0025】

また、入力映像信号は、外部の信号変換部により、4 サンプル毎のデータからなる 4 系統の信号に分けられ、さらに各信号は、それぞれ所定量遅延され、同期が取られて出力される。液晶駆動素子は、4 本構成の水平信号線 5 の映像信号入力 71 より、4 系統に分割された前記映像信号を入力する。これにより、シフトレジスタ 55 の出力信号 1 つで、4 個のスイッチを同時に駆動して、書き込みを行うことができる。また読み出し時には、フローチャートにより説明した動作手順のステップ S4 ~ ステップ S6 に従って、読み出しが可能である。この場合、シフトレジスタの段数と、センスアンプの数は一致し、整合性がよい。ただし検出データは、データ出力 72, 72' の 2 系統に出力される。こうして、4 画素を並列処理することで、液晶駆動素子は入力映像信号のサンプルクロックの 1/4 の周波数のクロックで動作して、従来例 2 の場合と全く同様に、各画素へのデータの書き込みが可能となる。

20

【0026】

以上のように、本発明の実施例 3 によれば、ゲート線、データ線は同一信号により両側から並列に駆動されるので、ゲート線、データ線に 1 箇所なら断線が起こっても表示は変わらないので、断線対策の効果をもつ。

また、シフトレジスタ 55 の 1 本の出力でスイッチ 1 を複数個駆動することで、並列処理が可能となり、トランジスタ素子数の削減、また書き込み時の動作周波数の低減ができる。

30

【0027】

本実施例では、水平方向に隣り合う 2 画素を対の画素として説明したが、同一走査線上の任意の 2 画素を対の画素としてもよい。

さらに、本実施例では、反射型液晶表示装置を例にとって説明したが、透過型液晶表示装置にも適用可能である。

【図面の簡単な説明】

【0028】

【図 1】本願発明の表示装置における液晶駆動素子の構成を示す図である（実施例 1）。

【図 2】本願発明の液晶駆動素子におけるセンスアンプの例を示す図である。

40

【図 3】本願発明の表示装置における検査システムの構成例を示す説明図である。

【図 4】本願発明の表示装置における検査システムの動作を示すフローチャートである。

【図 5】本願発明の表示装置における検査システムの各部電圧レベル設定例を示し、(A) は、画素書き込み信号、(B) は、差動増幅器の差動入力の説明図である。

【図 6】本願発明の表示装置における液晶駆動素子の構成を示す図である。（実施例 2）

【図 7】本願発明の表示装置における液晶駆動素子の構成を示す図である。（実施例 3）

【図 8】表示装置における液晶駆動素子の構成を示す図である。

【図 9】液晶駆動素子における従来の検査システムの構成例を示す図である。

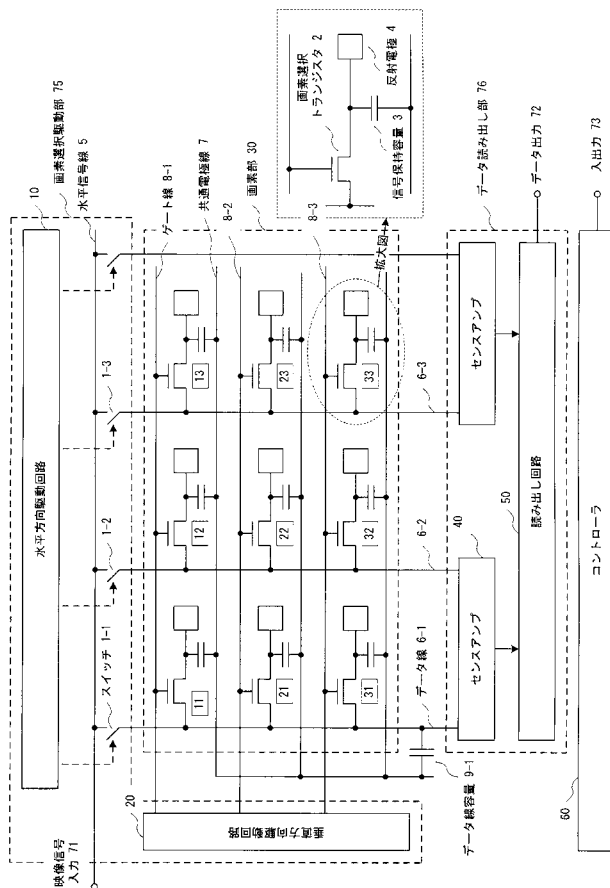
【符号の説明】

【0029】

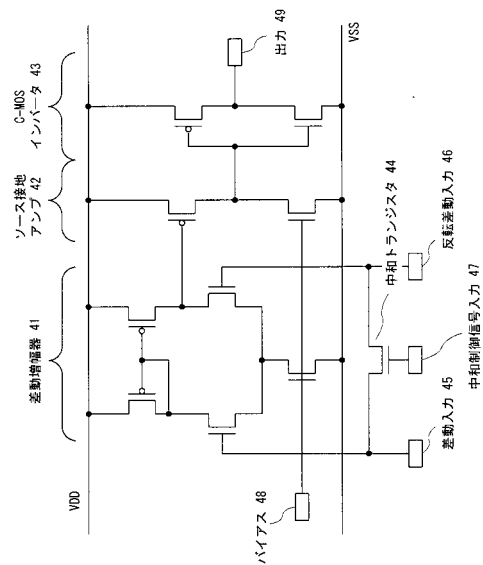
50

1 スイッチ、2 画素選択トランジスタ、3 信号保持容量、4 反射電極、5 水平信号線、6 データ線、7 共通電極線、8 ゲート線、9 データ線容量、10 水平方向駆動回路、20 垂直方向駆動回路、30 画素部、11~13, 21~23, 31~33 各画素、40 センスアンプ、50 読み出し回路、60 コントローラ、71 映像信号入力部、72 データ出力部、75 画素選択駆動部

【図 1】



【図 2】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 7 0 Q

G 0 9 G 3/36

专利名称(译)	表示装置		
公开(公告)号	JP2007057668A	公开(公告)日	2007-03-08
申请号	JP2005240987	申请日	2005-08-23
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	今野秀一		
发明人	今野 秀一		
IPC分类号	G02F1/1345 G02F1/13 G02F1/1368 G09G3/20 G09G3/36		
FI分类号	G02F1/1345 G02F1/13.101 G02F1/1368 G09G3/20.623.R G09G3/20.624.B G09G3/20.670.Q G09G3/36		
F-TERM分类号	2H088/FA12 2H088/FA13 2H088/FA30 2H088/HA06 2H088/HA08 2H088/MA16 2H088/MA20 2H092/GA59 2H092/JA24 2H092/JB69 2H092/JB77 2H092/MA56 2H092/NA29 2H092/NA30 5C006/AF43 5C006/AF53 5C006/BB16 5C006/BB28 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF25 5C006/BF50 5C006/EB01 5C080/AA10 5C080/BB05 5C080/DD15 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ07 2H192/AA24 2H192/DA12 2H192/FB02 2H192/GD03 2H192/HB04 2H192/HB13 2H192/HB22 2H192/HB25		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶驱动元件，该液晶驱动元件能够在组装液晶之前通过单独的液晶驱动LSI容易且高精度地检查各像素的正常工作。数据写入部分（75、2），用于将预定的检查信号写入到布置在同一栅极线（8），开关晶体管（2）和数据线（6）上的一对信号保持电容器（3）中的每一个上。）经由连接到一对信号保持电容器的差分放大器电路，分别输入写入在一对信号保持电容器中的检查信号，并作为二值化检测数据输出。（40）和读取电路（50），用于锁存并输出从多个差分放大器电路输出的检测数据，并输出像素通过/失败判断信号。[选型图]图1

