

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-267415
(P2006-267415A)

(43) 公開日 平成18年10月5日(2006.10.5)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1339 (2006.01)	GO2F 1/1339 500	2H089
GO2F 1/1333 (2006.01)	GO2F 1/1333 500	2H090
GO2F 1/1335 (2006.01)	GO2F 1/1335 520	2H091
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092

審査請求 未請求 請求項の数 1 O L (全 12 頁)

(21) 出願番号 特願2005-84037 (P2005-84037)	(71) 出願人 000004329 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地
(22) 出願日 平成17年3月23日 (2005.3.23)	(72) 発明者 河田 浩志 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
	Fターム(参考) 2H089 LA09 LA16 LA19 LA20 MA04X NA14 QA12 QA14 TA01 TA02 TA09 TA17 UA05 2H090 JB04 LA01 LA02 LA04 LA20 2H091 FA14Y FB09 FD04 FD23 GA01 GA02 GA08 GA13 LA18 2H092 HA05 JA23 JB07 KA07 NA01 PA01 PA03 PA12 RA05

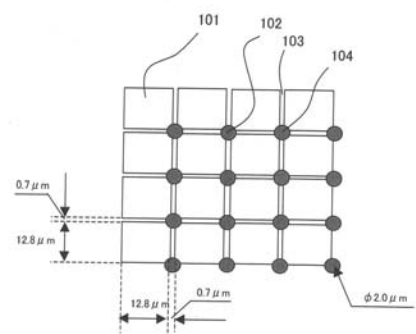
(54) 【発明の名称】 反射型液晶表示素子

(57) 【要約】

【課題】 輝度の低下及び黒浮きの発生等の表示品位を低下させることなく、液晶を封止すべき一对の基板間の間隔を平行に保持して、安定に生産できる反射型液晶表示素子を提供する。

【解決手段】 スイッチング素子とこれに接続する画素電極101を所定の画素電極間隙103を有してマトリクス状に配置して構成したアクティブマトリクス基板と、共通電極を一方の面上に形成したガラス基板とを対向させて、所定の基板間間隙になるように配置して、前記基板間間隙に液晶を封止して構成する反射型液晶表示素子において、画素電極間の画素電極間隙の交差部104に、前記基板間間隙を保持するためのフォトレジストからなる柱状スペーサ102を設けてあり、柱状スペーサ102の総面積S1と画素電極101及び画素電極間隙103からなる画素領域の面積S2との比を、0.007(%) S1/S2 0.027(%)とした。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

S i 基板上に互いに直交する複数の選択線と複数のデータ線が形成されており、これら複数の選択線と複数のデータ線の交差する部分にそれぞれスイッチング素子とこれに接続する画素電極を所定の画素電極間隙を有してマトリクス状に配置して構成したアクティブマトリクス基板と、共通電極を一方の面上に形成したガラス基板とを、前記画素電極と前記共通電極とを対向させて所定の基板間隙になるように配置して、前記基板間隙に液晶を封止して構成する反射型液晶表示素子において、

前記画素電極間の画素電極間隙の交差部に、前記基板間隙を保持するためのフォトレジストからなる柱状スペーサを設けてあり、前記柱状スペーサの総面積 S 1 と前記画素電極及び前記画素電極間隙からなる画素領域の面積 S 2 との比を、

0 . 0 0 7 (%) S 1 / S 2 0 . 0 2 7 (%)

としたことを特徴とする反射型液晶表示素子。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶プロジェクタおよびプロジェクションTVに用いる反射型液晶表示素子に関するものである。

【背景技術】

20

【0002】

従来、液晶プロジェクタ及びプロジェクションTVに用いられる反射型液晶表示素子としては、アクティブマトリクス型の液晶表示素子が広範に普及している。

この反射型液晶表示素子は、S i 基板上に互いに直交する複数の選択線と複数のデータ線が形成されており、これら複数の選択線と複数のデータ線の交差する部分にそれぞれスイッチング素子とこれに接続する画素電極をマトリクス状に配置して構成したアクティブマトリクス基板と、共通電極を一方の面上に形成したガラス基板とを、画素電極と共通電極とを対向させて所定の間隙になるように配置して、その間隙に液晶を封止したものより構成されている。

【0003】

30

この反射型液晶表示素子においては、一般に、アクティブマトリクス基板とガラス基板の間隙（以下、単に、一對の基板間隙、又は基板間隔ともいう）を、数 μm （例えば $3\mu\text{m}$ ）一定に、かつ基板間隙の面内分布を可能な限り均一になるように保持することが必要である。このために、所定の直径を有する球状のスペーサビーズ（スペーサボールともいう）を画素領域となるアクティブマトリクス基板とガラス基板の間隙に散布しておき、これにより、間隙を平行に保持してそこに液晶を封止する方法（例えば、特許文献1参照。）が広く採用されている。

【特許文献1】特開平11-264988号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0004】

ところで、スペーサビーズを、液晶を封止すべき基板間に散布して、基板間隔を保持する方法においては、スペーサビーズは基板間隙に浮遊しているに過ぎないため、液晶注入時あるいは、パネルに組み立てた後にパネルに対する接触などによる外的圧力によりスペーサビーズが移動してしまい、基板間隔を良好に平行に保てなくなり液晶表示素子の光学特性の均一性を確保できないという問題点が生じる。また、スペーサビーズ散布時に微妙な位置制御が出来ないために、スペーサビーズの分布の不均一性やスペーサビーズの凝集により光学特性を確保できないという問題点が生じる。

【0005】

また、反射型液晶表示素子においては、透過型液晶表示素子と異なり、画素領域は全て

50

投影されるので、高輝度化に伴って、スペーサピーズの存在そのものが反射型液晶表示素子の表示品位を損ねてしまうという問題があった。すなわち、基板間の良好な間隙を維持するためにスペーサピーズの量を増加すると素子の輝度が低下してしまい、また、スペーサピーズ周辺の液晶の配向乱れに起因する、黒表示において輝度がわずかに上昇してしまう、いわゆる黒浮きが発生するという問題があった。

【0006】

そこで、本発明は、上記問題を解決して、輝度の低下及び黒浮きの発生等の反射型液晶表示素子の表示品位を低下させることなく、液晶を封止すべき一对の基板間の間隔を平行に保持して、安定に生産することが可能な反射型液晶表示素子を提供することを目的とする。

10

【課題を解決するための手段】

【0007】

上記目的を達成する手段として、本発明は、Si基板上に互いに直交する複数の選択線と複数のデータ線が形成されており、これら複数の選択線と複数のデータ線の交差する部分にそれぞれスイッチング素子とこれに接続する画素電極を所定の画素電極間隙を有してマトリクス状に配置して構成したアクティブマトリクス基板と、共通電極を一方の面上に形成したガラス基板とを、前記画素電極と前記共通電極とを対向させて所定の基板間間隙になるように配置して、前記基板間間隙に液晶を封止して構成する反射型液晶表示素子において、前記画素電極間の画素電極間隙の交差部に、前記基板間間隙を保持するためのフォトレジストからなる柱状スペーサを設けてあり、前記柱状スペーサの総面積 S_1 と前記画素電極及び前記画素電極間隙からなる画素領域の面積 S_2 との比を、 $0.007(\%)$ $S_1 / S_2 = 0.027(\%)$ としたことを特徴とする反射型液晶表示素子である。

20

【発明の効果】

【0008】

本発明の反射型液晶表示素子は、請求項1記載によれば、画素電極間の画素電極間隙の交差部に、基板間間隙を保持するためのフォトレジストからなる柱状スペーサを設けてあり、前記柱状スペーサの総面積 S_1 と前記画素電極及び前記画素電極間隙からなる画素領域の面積 S_2 との比を、 $0.007(\%)$ $S_1 / S_2 = 0.027(\%)$ としたことにより、輝度の低下及び黒浮きの発生等の反射型液晶表示素子の表示品位を低下させることなく、液晶を封止すべき一对の基板間の間隔を平行に保持して、安定に生産することが可能な反射型液晶表示素子を提供出来るという効果がある。

30

【発明を実施するための最良の形態】

【0009】

以下、本発明の実施の形態につき、好ましい実施例により、図面を参照して説明する。

【実施例1】

【0010】

まず、本発明に係る反射型液晶表示素子について説明する。

反射型液晶表示素子は、アクティブマトリクス基板とガラス基板とを対向配置した間隙に液晶を封止したものより構成される。

【0011】

40

アクティブマトリクス基板は、Si基板上に互いに直交する複数の選択線と複数のデータ線が形成されており、これら複数の選択線と複数のデータ線の交差する部分にそれぞれスイッチング素子とこれに接続する反射画素電極（以下、単に画素電極ともいう）をマトリクス状に配置して構成してある。データ線はスイッチング素子の入力部（ソース）に接続されており、選択線はスイッチング素子のゲートに接続され、画素電極はスイッチング素子の出力部（ドレイン）に接続されている、すなわちアクティブマトリクス回路が構成されている。

【0012】

ガラス基板の一方の面上には共通電極が形成されている。

ここで、アクティブマトリクス基板とガラス基板を、画素電極と共通電極とを対向する

50

ように所定幅の間隙となるように配置して、その間隙に液晶を封止して反射型液晶表示素子を構成している。

画素電極は、矩形（正方形）状であり、所定の画素電極間隙を有して配置されている。画素電極間隙の複数の交差部には、以下に説明する所定の柱状スペーサが形成されている。

【 0 0 1 3 】

図 1 は、アクティブマトリクス基板上に形成した反射画素電極及び柱状スペーサの配置例を示す図である。

同図に示すように、画素電極 1 0 1 は一辺 1 2 . 8 μm の正方形であり、画素電極間隔 1 0 3 は 0 . 7 μm で、マトリクス状に配置されている。画素電極間隙の交差部 1 0 4 には、円柱状の柱状スペーサ 1 0 2 が配置されている。 10

【 0 0 1 4 】

同図では、すべての画素電極間隙の交差部に配置した例を示してあるが、実施例 1 の反射型液晶表示装置を構成するアクティブマトリクス基板においては、図 2 に示すように、4 画素電極 1 0 1 離れた画素電極間隙の交差部 1 0 4 に柱状スペーサ 1 0 2 を形成してある。

【 0 0 1 5 】

次に、本発明の反射型液晶表示素子の本実施例 1 について説明する。

まず、一辺 1 2 . 8 μm である反射画素電極 1 0 1 を画素電極間隔 0 . 7 μm で配置し、アクティブマトリクス回路を形成した S i 基板（アクティブマトリクス基板）、および I T O 膜を形成したガラス基板を用意した。 20

【 0 0 1 6 】

図 2 は、本発明の反射型液晶表示素子の実施例 1 における反射画素電極に対する柱状スペーサの配置を示す図である。

同図に示すように、アクティブマトリクス基板にネガ型の感光性樹脂（J S R 製、型式 B P R - 1 0 7 ）を塗布し、フォトリソグラフィーにより、縦（Y）方向及び横（X）方向において 4 画素電極 1 0 1 離れた画素電極間隙の各交差部 1 0 4 に、円柱状の柱状スペーサ 1 0 2 を形成した。

【 0 0 1 7 】

柱状スペーサ 1 0 2 は、直径 2 μm であり、高さが液晶を封入するアクティブマトリクス基板とガラス基板との間隔（以下、単に、一对の基板間隔ともいう）の幅例えば 3 μm で構成してある。 30

ここで、形成する柱状スペーサ 1 0 2 のサイズは一对の基板間隔を保持する点からは、面積が大きいほど有利であるが、あまり大きくすると柱状スペーサ 1 0 2 が画素電極 1 0 1 上にまで大きくはみ出して形成されてしまう。一方、あまり小さくすると必要な柱状スペーサ 1 0 2 のスペーサとしての強度が極端に低下し、一对の基板間隔保持が出来ずに、一对の基板を貼り合わせる際に、柱状スペーサ 1 0 2 が破壊されてしまう。これらの相反する点を考慮して直径 2 μm とした。

【 0 0 1 8 】

次に、アクティブマトリクス基板の画素電極 1 0 1 及び柱状スペーサ 1 0 2 の形成面およびガラス基板の I T O 形成面上に無機配向膜を成膜した。 40

次に、アクティブマトリクス基板の液晶注入窓領域を除き、エポキシ樹脂をアクティブマトリクス基板上の画素領域（すなわち、反射電極 1 0 1 が配置されている領域である）外に塗布した後、このエポキシ樹脂を介してガラス基板を張り合わせた。

【 0 0 1 9 】

次に、エポキシ樹脂を硬化させ、液晶パネル枠を形成した。ここで、画素領域に柱状スペーサ 1 0 2 を有するため、一对の基板間隔の均一化が容易であることはいうまでもない。

次に、この液晶パネル枠に液晶を注入し本実施例 1 の反射型液晶表示素子を作製した。

【 0 0 2 0 】

ここで、実施例 1 の反射型液晶表示素子において、画素のサイズ（反射画素電極サイズと画素電極間隔との和）は、 $12.8\mu\text{m} + 0.7\mu\text{m} = 13.5\mu\text{m}$ である。画素数は 1000×1000 個である。従って、画素領域の面積 S_2 は $182250000\mu\text{m}^2$ となる。

【0021】

一方、一個の柱状スペーサ 102 の表面面積は、 $(2\mu\text{m} / 2)^2 \times 3.14 = 3.14\mu\text{m}^2$ である。4 画素電極 101 毎に 1 個の柱状スペーサを配置してあるので、画素領域の柱状スペーサ数は 126×126 個あり、画素領域の柱状スペーサの総面積 S_1 は $49850.64\mu\text{m}^2$ となる。

従って、柱状スペーサ 102 の総面積 S_1 と画素領域の面積 S_2 との比は 0.027% となる。

これを、図 6 において実施例 1 で示す。

図 6 は、柱状スペーサの反射画素電極領域に対する面積比を示すグラフ図である。

同図において、縦軸は面積比（ S_1 / S_2 ）を、横軸は、試料をそれぞれ示す。

【0022】

一方、本実施例 1 の反射型液晶表示素子の単色でのピーク輝度、および黒表示における黒浮きを評価比較するために、柱状スペーサ 102 を形成しないアクティブマトリクス基板を作製し、画素領域に光学特性を確保できる所定量の直径 $3\mu\text{m}$ のスペーサビーズを散布した以外は同様の工程で、アクティブマトリクス基板にガラス基板を貼り合わせて反射型液晶表示素子を作製し、基板間隔が $3\mu\text{m}$ となっているものを比較試料として良品を選別した。これを柱状スペーサ無しの反射型液晶表示素子とする。

【0023】

実施例 1 の反射型液晶表示素子と柱状スペーサ無しの反射型液晶表示素子について、単色でのピーク輝度、および黒表示における輝度を測定した。

前面投射の三板式反射型液晶用光学系を用いて、グリーンチャンネルに液晶表示素子を取り付け、単色でのピーク輝度、及び黒表示における輝度を測定した。なお、輝度測定には、カラーアナライザ（コニカミノルタ（株）製、型式 CA100-PLUS）を用いた。

【0024】

単色でのピークおよび黒表示のそれぞれにおいて、柱状スペーサ無しの反射型液晶表示素子で得られる輝度を 100% とした場合、実施例 1 の反射型液晶表示素子においては、単色でのピークの輝度は 98.3% であり（図 7 の（A）に示す）、この輝度低下は $<2\%$ であり実用範囲である、また、黒表示の輝度は 100% であり（図 7 の（B）に示す）、黒浮き現象は生じていなかった。

【0025】

なお、図 7 は、単色でのピーク輝度および黒表示における輝度の変化率を示すグラフ図である。図 7 の（A）は、単色でのピーク輝度表示における輝度の変化率（縦軸）を試料毎（横軸）に、図 7 の（B）は、黒表示における輝度の変化率（縦軸）を試料毎（横軸）に、それぞれ示すものである。

【0026】

ここで、柱状スペーサ 102 を画素領域に配置した場合、柱状スペーサ 102 が存在する場所では、液晶は存在しないので、この部分では変調をかけることができない。また、柱状スペーサ 102 の周辺（直近）部分においても、液晶は画素電極 101 上とは異なった挙動を示すことが知られており、これらのことから、例えば、黒表示のための電圧をかけているにもかかわらず上記の領域だけはぼんやりと光ってしまうとか、また、白表示のための電圧をかけているにもかかわらず柱状スペーサ 102 の部分では実際には反射がおこらない（部分的に反射画素電極 101 を覆っている）為に、単色でのピーク輝度における明るさが、低下してしまう、といった現象が起こる。柱状スペーサ 102 の画素領域に占める割合が大きければ、当然明るさは大きく変化することになるが、その割合を所定値以下に抑えることで、明るさの変化を実用上問題ないレベルに抑える事ができる。

10

20

30

40

50

【 0 0 2 7 】

このように、実施例 1 の反射型液晶表示装置によれば、所定の柱状スペーサを画素電極間隙の交差部に設け、柱状スペーサの総面積 S_1 と画素領域の面積 S_2 との比が 0 . 0 2 7 % となるようにすることにより、輝度の低下及び黒浮きの発生等の反射型液晶表示素子の表示品位を低下させることなく、液晶を封止すべき一对の基板間の間隔を平行に保持して、安定に生産することが可能な反射型液晶表示素子を提供出来る。

【 実施例 2 】

【 0 0 2 8 】

実施例 2 の反射型液晶表示素子は、実施例 1 の反射型液晶表示素子において、アクティブマトリクス基板上で縦横両方向に 4 画素電極 1 0 1 離れた画素電極間隙の各交差部 1 0 4 に柱状スペーサ 1 0 2 を形成したのに代えて、縦横両方向に 8 画素電極 1 0 1 離れた画素電極間隙の各交差部 1 0 4 に柱状スペーサ 1 0 2 を設けた以外は、実施例 1 と同様にして作製したものである。

【 0 0 2 9 】

図 3 は、本発明の反射型液晶表示素子の実施例 2 における反射画素電極に対する柱状スペーサの配置を示す図である。

同図に示すように、実施例 2 においては、アクティブマトリクス基板上に縦横両方向に 8 画素電極 1 0 1 離れた画素電極間隙の各交差部 1 0 4 に柱状スペーサ 1 0 2 を形成してある。

ここで、実施例 2 の反射型液晶表示素子において、実施例 1 と同様に、画素領域の面積 S_2 は $182250000 \mu m^2$ となる。

【 0 0 3 0 】

一方、一個の柱状スペーサ 1 0 2 の表面面積は、 $(2 \mu m / 2)^2 \times 3.14 = 3.14 \mu m^2$ である。8 画素電極 1 0 1 毎に 1 個の柱状スペーサ 1 0 2 を配置してあるので、画素領域の柱状スペーサ数は 63×63 個あり、画素領域の柱状スペーサの総面積 S_1 は $12426.66 \mu m^2$ となる。

従って、柱状スペーサ 1 0 2 の総面積 S_1 と画素領域の面積 S_2 との比は 0 . 0 0 7 % となる。

これを、図 6 において実施例 2 で示す。

【 0 0 3 1 】

次に、実施例 1 と同様にして実施例 2 の反射型液晶表示素子の単色でのピーク輝度、および黒表示における輝度を測定した。

白および黒表示のそれぞれにおいて、柱状スペーサ無しの反射型液晶表示素子で得られる輝度を 1 0 0 % とした場合、実施例 2 の反射型液晶表示素子においては、白表示の輝度は 9 8 . 2 % であり (図 7 の (A) に示す)、この輝度低下は < 2 % であり実用範囲である、また、黒表示の輝度は 1 0 0 % であり (図 7 の (B) に示す)、黒浮き現象は生じていなかった。

【 0 0 3 2 】

(比較例 1)

比較例 1 の反射型液晶表示素子は、実施例 1 の反射型液晶表示素子において、アクティブマトリクス基板上で縦横両方向に 4 画素電極 1 0 1 離れた画素電極間隙の各交差部 1 0 4 に柱状スペーサ 1 0 2 を形成したのに代えて、縦横両方向に 2 画素電極 1 0 1 離れた画素電極間隙の各交差部 1 0 4 に柱状スペーサ 1 0 2 を設けた以外は、実施例 1 と同様にして作製したものである。

【 0 0 3 3 】

図 4 は、本発明の反射型液晶表示素子の比較例 1 における反射画素電極に対する柱状スペーサの配置を示す図である。

同図に示すように、比較例 1 においては、アクティブマトリクス基板上に縦横両方向に 2 画素電極 1 0 1 離れた画素電極間隙の各交差部 1 0 4 に柱状スペーサ 1 0 2 を形成してある。

10

20

30

40

50

ここで、比較例 1 の反射型液晶表示素子において、実施例 1 と同様に、画素領域の面積 S_2 は $182250000 \mu\text{m}^2$ となる。

【0034】

一方、一個の柱状スペーサ 102 の表面面積は、 $(2 \mu\text{m} / 2)^2 \times 3.14 = 3.14 \mu\text{m}^2$ である。2 画素電極 101 毎に 1 個の柱状スペーサ 102 を配置してあるので、画素領域の柱状スペーサ数は 251×251 個あり、画素領域の柱状スペーサの総面積 S_1 は $197823.14 \mu\text{m}^2$ となる。

従って、柱状スペーサ 102 の総面積 S_1 と画素領域の面積 S_2 との比は 0.109% となる。

これを、図 6 において比較例 1 で示す。

10

【0035】

次に、実施例 1 と同様にして比較例 1 の反射型液晶表示素子の単色でのピーク輝度、および黒表示における輝度を測定した。

白および黒表示のそれぞれにおいて、柱状スペーサ無しの反射型液晶表示素子で得られる輝度を 100% とした場合、比較例 1 の反射型液晶表示素子においては、白表示の輝度は 91.2% であり（図 7 の（A）に示す）、この輝度低下は約 9% であり、実用範囲には入らない、また、黒表示の輝度は 157.1% であり（図 7 の（B）に示す）、黒浮き現象が顕著であり、実用範囲には入らない。

【0036】

（比較例 2）

20

比較例 2 の反射型液晶表示素子は、実施例 1 の反射型液晶表示素子において、アクティブマトリクス基板上で縦横両方向に 4 画素電極 101 離れた画素電極間隙の各交差部 104 に柱状スペーサ 102 を形成したのに代えて、縦横両方向に各画素電極 101 毎の画素電極間隙の各交差部 104 に柱状スペーサ 102 を設けた以外は、実施例 1 と同様にして作製したものである。

【0037】

図 5 は、本発明の反射型液晶表示素子の比較例 2 における反射画素電極に対する柱状スペーサの配置を示す図である。

同図に示すように、比較例 2 においては、アクティブマトリクス基板上に縦横両方向に各画素電極 101 毎の画素電極間隙の各交差部 104 に柱状スペーサ 102 を形成してある。

30

ここで、比較例 2 の反射型液晶表示素子において、実施例 1 と同様に、画素領域の面積 S_2 は $182250000 \mu\text{m}^2$ となる。

【0038】

一方、一個の柱状スペーサ 102 の表面面積は、 $(2 \mu\text{m} / 2)^2 \times 3.14 = 3.14 \mu\text{m}^2$ である。2 画素電極 101 毎に 1 個の柱状スペーサ 102 を配置してあるので、画素領域の柱状スペーサ数は 1001×1001 個あり、画素領域の柱状スペーサの総面積 S_1 は $3146283.14 \mu\text{m}^2$ となる。

従って、柱状スペーサ 102 の総面積 S_1 と画素領域の面積 S_2 との比は 1.726% となる。

40

これを、図 6 において比較例 2 で示す。

【0039】

次に、実施例 1 と同様にして比較例 2 の反射型液晶表示素子の単色でのピーク輝度、および黒表示における輝度を測定した。

白および黒表示のそれぞれにおいて、柱状スペーサ無しの反射型液晶表示素子で得られる輝度を 100% とした場合、比較例 2 の反射型液晶表示素子においては、白表示の輝度は 72.1% であり（図 7 の（A）に示す）、この輝度低下は約 28% であり、とても実用範囲には入らない、また、黒表示の輝度は 328.6% であり（図 7 の（B）に示す）、黒浮き現象が極めて顕著であり、実用範囲には入らない。

【0040】

50

このように、アクティブマトリクス基板上の画素領域に、アクティブマトリクス基板とガラス基板の間隔を正確・安定に保持するためのフォトリソからなる柱状スペーサを設ける場合、画素領域に占める柱状スペーサの面積の割合 ($S1/S2$) が大きくなると、柱状スペーサ部分での光の散乱による輝度低下が顕著になってくるが、4画素毎以上に柱状スペーサを配置する ($S1/S2 = 0.027$) 場合、輝度低下を実用上問題の無い2%以下にまで抑制することが出来、黒表示においても、実用上問題の無いレベルを保つことが出来ることがわかった。

【0041】

なお、8より大きい値の画素毎に柱状スペーサを配置する場合は、アクティブマトリクス基板とガラス基板との間隔を安定に均一に保持することが困難となるので、 $S1/S2 = 0.007$ とすることが必要である。($S1/S2$) が上記の数値に範囲になるように柱状スペーサを規則的に配置するのであれば、反射型液晶表示装置の光学特性を維持して、安定均一に基板間隔を保持し、安定した光学特性を得ることが出来る。また、柱状スペーサを容易に安定に製造できるので、反射型液晶表示素子を安定に生産することが出来る。

10

【図面の簡単な説明】

【0042】

【図1】アクティブマトリクス基板上に形成した反射画素電極及び柱状スペーサの配置例を示す図である。

【図2】本発明の反射型液晶表示素子の実施例1における反射画素電極に対する柱状スペーサの配置を示す図である。

20

【図3】本発明の反射型液晶表示素子の実施例2における反射画素電極に対する柱状スペーサの配置を示す図である。

【図4】本発明の反射型液晶表示素子の実施例1における反射画素電極に対する柱状スペーサの配置を示す図である。

【図5】本発明の反射型液晶表示素子の実施例1における反射画素電極に対する柱状スペーサの配置を示す図である。

【図6】柱状スペーサの反射画素電極領域に対する面積比を示すグラフ図である。

【図7】単色でのピーク輝度および黒表示における輝度の変化率を示すグラフ図である。

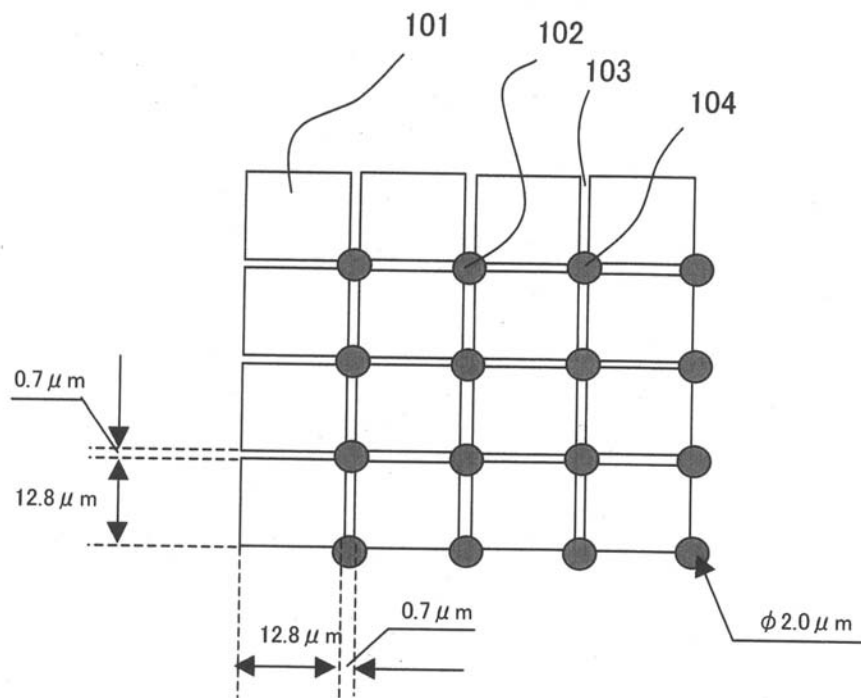
【符号の説明】

30

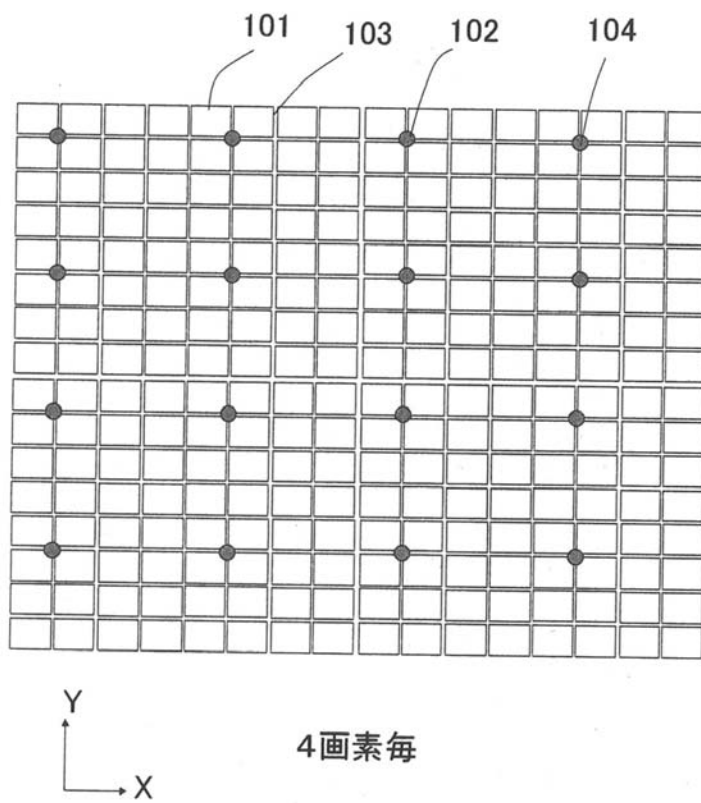
【0043】

- 101 反射画素電極
- 102 柱状スペーサ
- 103 画素電極間隙
- 104 画素電極間隙の交差部

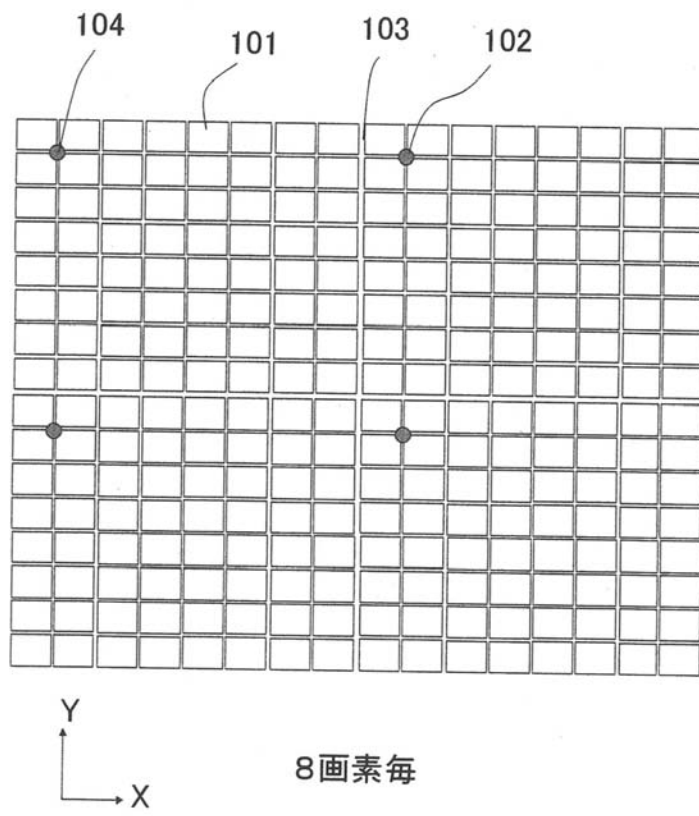
【 図 1 】



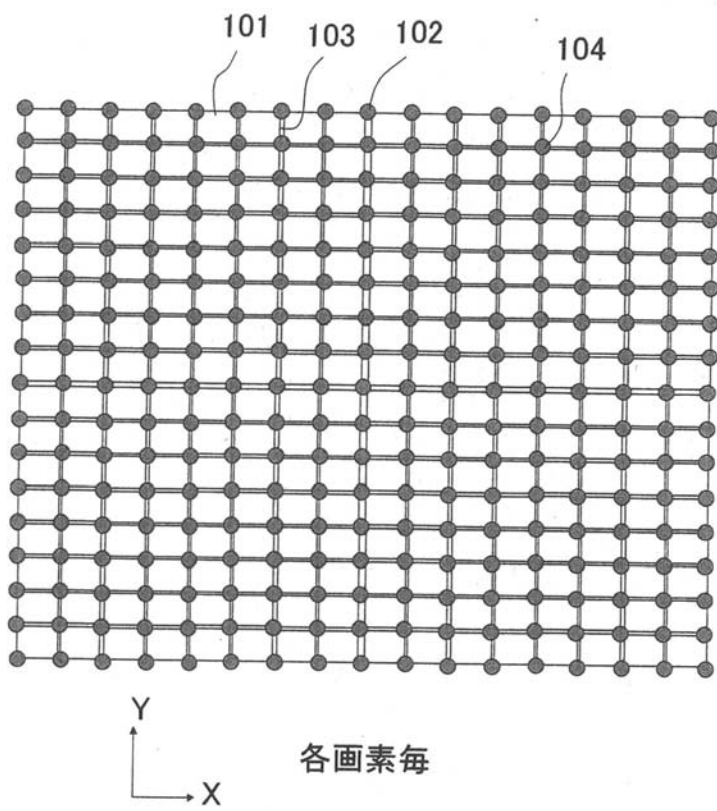
【 図 2 】



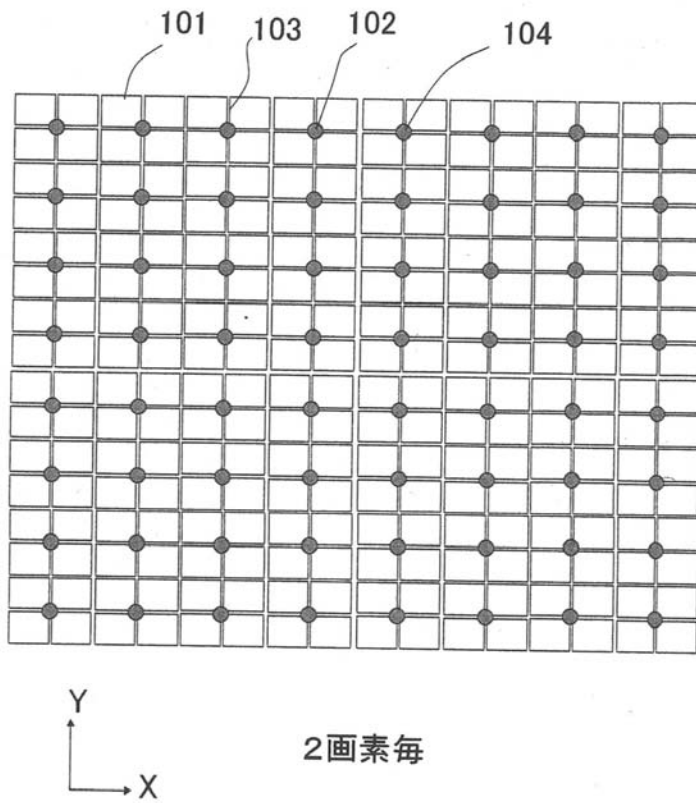
【 図 3 】



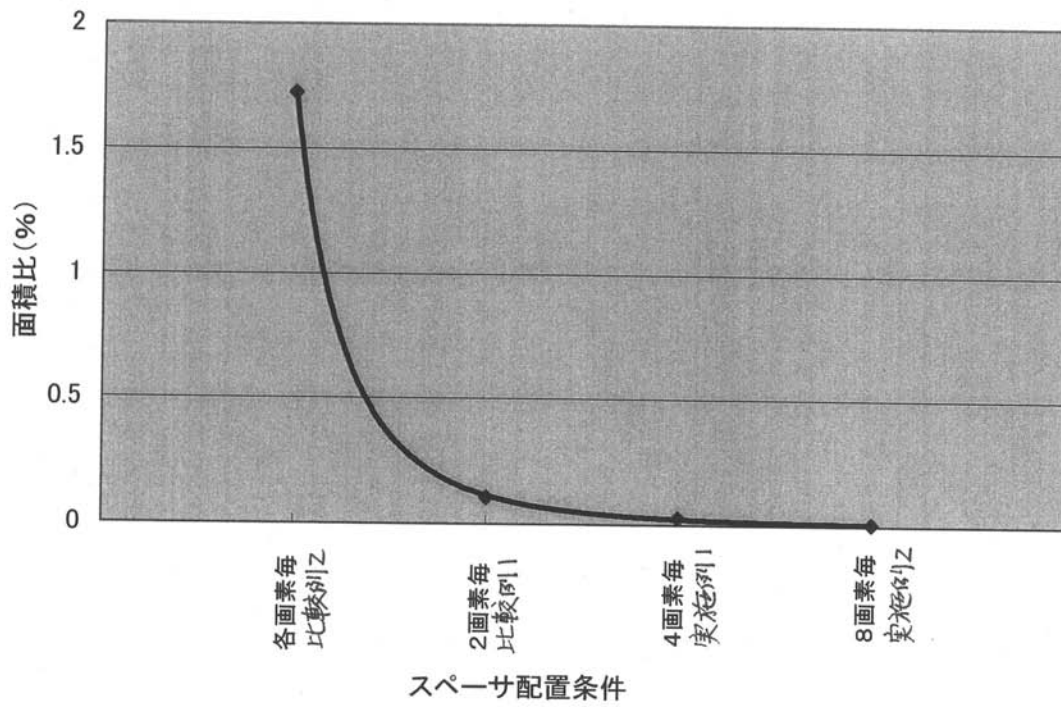
【 図 4 】



【図5】

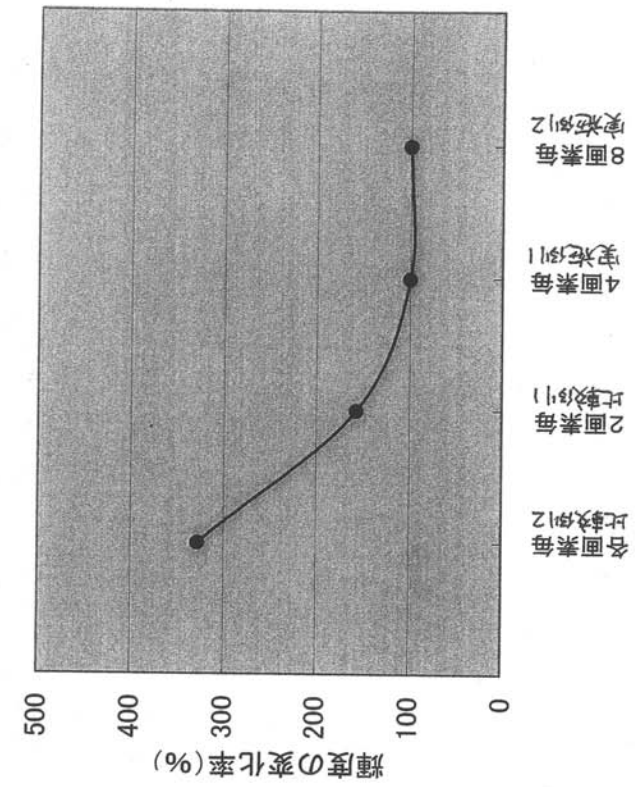


【図6】

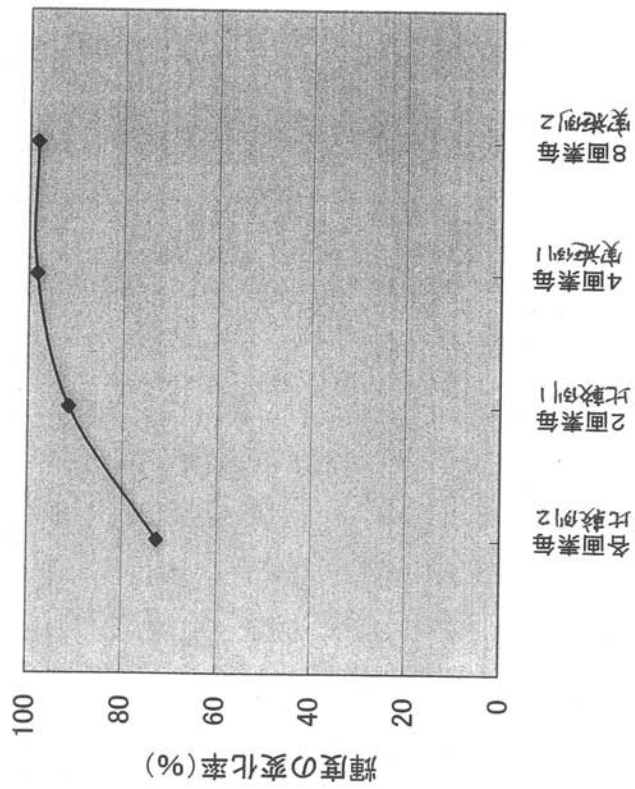


柱状スペーサの画素電極領域に対する面積比

【図7】



(A)



(B)

专利名称(译)	反射型液晶表示素子		
公开(公告)号	JP2006267415A	公开(公告)日	2006-10-05
申请号	JP2005084037	申请日	2005-03-23
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	河田浩志		
发明人	河田 浩志		
IPC分类号	G02F1/1339 G02F1/1333 G02F1/1335 G02F1/1368		
FI分类号	G02F1/1339.500 G02F1/1333.500 G02F1/1335.520 G02F1/1368		
F-TERM分类号	2H089/LA09 2H089/LA16 2H089/LA19 2H089/LA20 2H089/MA04X 2H089/NA14 2H089/QA12 2H089/QA14 2H089/TA01 2H089/TA02 2H089/TA09 2H089/TA17 2H089/UA05 2H090/JB04 2H090/LA01 2H090/LA02 2H090/LA04 2H090/LA20 2H091/FA14Y 2H091/FB09 2H091/FD04 2H091/FD23 2H091/GA01 2H091/GA02 2H091/GA08 2H091/GA13 2H091/LA18 2H092/HA05 2H092/JA23 2H092/JB07 2H092/KA07 2H092/NA01 2H092/PA01 2H092/PA03 2H092/PA12 2H092/RA05 2H189/DA07 2H189/DA30 2H189/DA48 2H189/DA49 2H189/EA02Y 2H189/FA16 2H189/FA44 2H189/FA51 2H189/HA14 2H189/HA16 2H189/MA07 2H189/NA05 2H190/JB04 2H190/LA01 2H190/LA02 2H190/LA04 2H190/LA20 2H191/FA31 2H191/FA31Y 2H191/GA01 2H191/GA04 2H191/GA11 2H191/GA19 2H191/LA13 2H191/LA31 2H191/MA13 2H192/AA24 2H192/BC72 2H192/GD03 2H192/GD23 2H192/JB02 2H291/FA31Y 2H291/GA01 2H291/GA04 2H291/GA11 2H291/GA19 2H291/LA13 2H291/LA31 2H291/MA13		
外部链接	Espacenet		

摘要(译)

在不降低显示质量的，例如降低的发生和浮动黑亮度A，在一对基板之间的间隔被密封在保持平行的液晶，反射型液晶显示装置，能够产生稳定的提供。通过以矩阵的像素电极101排列构成的开关元件和有源矩阵基板以预定的像素电极间隙103被连接到在一个表面上设置有共用电极的玻璃基板并且，液晶被密封在基板之间的间隙中，使得像素电极的交叉点104在像素电极之间间隙在，它设置有由光致抗蚀剂的柱状间隔件102，用于保持所述基片电极间间隙，所述区域的比率组成的总面积S1的像素区域和像素电极101和柱状间隔102的像素电极间隙103的S2， $0.007(\%) \leq S1/S2 \leq 0.027(\%)$ 。点域1

