

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-4640

(P2004-4640A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G02F 1/133 575	5C058
H04N 5/66	G09G 3/20 612F	5C080
	G09G 3/20 612U	
審査請求 未請求 請求項の数 8 O L (全 13 頁) 最終頁に続く		

(21) 出願番号 特願2003-79412 (P2003-79412)
 (22) 出願日 平成15年3月24日 (2003.3.24)
 (31) 優先権主張番号 2002-015245
 (32) 優先日 平成14年3月21日 (2002.3.21)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 大韓民国京畿道水原市八達区梅灘洞 4 1 6
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子
 (72) 発明者 李 昇 祐
 大韓民国ソウル市衿川区禿山 1 洞 2 9 3 -
 1 0 番地禿山現代アパート 1 0 2 棟 1 0 0
 8 号
 Fターム(参考) 2H093 NA16 NA33 NA51 NC16 NC29
 NC34 NC35 NC51 ND03 ND17

最終頁に続く

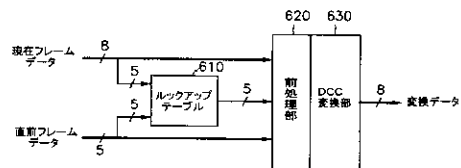
(54) 【発明の名称】 色特性補償機能と応答速度補償機能を有する液晶表示装置

(57) 【要約】 (修正有)

【課題】 色特性補償のためのACCブロックと応答速度補償のためのDCCブロックが一緒に組み込み、この時、発生する表示不良の問題を解決した液晶表示装置を提供する。

【解決手段】 液晶表示装置のタイミング制御部は、グラフィックソースからRGBデータを受け入れ、ACC機能、DCC機能及びデータ再分配機能を行うデータ処理ブロックと、フレームの始点を示す信号、クロック信号及び同期信号を利用して表示動作に必要な制御信号を生成する制御信号生成ブロックで構成され、ACCブロックとDCCブロックが同時に適用される時、表示不良問題が発生することを防止するために前記DCCブロック内に前処理部を備えている。

【選択図】 図5



【特許請求の範囲】

【請求項1】

複数のゲートラインとデータラインが交差する領域に形成された画素を有する液晶パネルと、

前記液晶パネルのゲートラインを順次にスキヤニングするための信号を印加するゲート駆動部と、

前記液晶パネルの各画素に印加するための階調電圧をRGBデータに基づいて設定し出力するソース駆動部と、

ゲート制御電圧を生成して前記ゲート駆動部に出力し、前記階調電圧を設定するための階調電圧群を生成して前記ソース駆動部に出力する電圧発生部と、

グラフィックソースからRGBデータを受け入れ、任意の二つの階調値の間の少なくとも一つ以上の階調を表現するために、前記二つの階調値が所定の頻度によって反復的に現れるように一つのフレームのデータを変形して複数のフレームに拡散させるACCブロック、現在フレームデータと直前フレームデータを比較してDCC補正値を求め、その値に基づいてフレームデータを生成するDCCブロック及び、前記DCCブロックで生成されたフレームデータを前記ソース駆動部で処理可能にデータフォーマットを変換させるタイミング再分配ブロックで構成されたタイミング制御部を含み、

前記DCCブロックは現在フレームデータのNビットと直前フレームデータの上位mビットを受け入れ、

前記ACCブロックから出力されたフレームデータの全体ビットまたは一部ビットを1フレーム内に保存するフレームメモリと、

現在フレームデータの上位mビットと前記フレームメモリに保存された直前フレームデータのmビットを受信し、これに対応するmビットのDCC補正値を出力するルックアップテーブルと、

前記現在フレームデータのNビットと前記直前フレームデータのmビットを受け入れ、その階調値の差が‘1’であるかどうかによってDCCブロックの適用有無を決定する前処理部と、

前記前処理部の出力によってDCCブロックを適用しない場合には現在フレームデータをそのまま出力させ、DCCブロックを適用する場合には前記ルックアップテーブルの出力と現在フレームデータの下位ビットを利用してNビットのデータを生成するDCC変換部

【請求項2】

前記前処理部は、

現在フレームデータのNビットを受け入れ、その上位mビットを出力させる上位ビット選択器と、

直前フレームデータのmビットと前記上位ビット選択器から出力される現在フレームデータのmビットを受け入れ、二つの中で大きい値を出力させる大きい値選択器と、

直前フレームデータのmビットと前記上位ビット選択器から出力される現在フレームデータのmビットを受け入れ、二つの中で小さい値を出力させる小さい値選択器と、

前記大きい値選択器と小さい値選択器の出力に対して減算する減算器と、

前記減算器の出力が‘1’である場合にDCCブロックを適用しないDCCディスエーブル信号を生成するDCC制御信号生成器で構成されることを特徴とする、請求項1に記載の液晶表示装置。

【請求項3】

前記ACCブロックは

RGBデータのビット数を所定ビット拡張させるデータ階調拡張器と、

前記ソース駆動部で処理可能なビット数に合うようにデータのビット数を縮小させ、前記拡張されたビットによって前記RGBデータが示す階調とその上位階調の発生頻度が所定のフレーム単位で調節されるようにフレームデータを構成するデータ階調縮小器で構成されることを特徴とする、請求項1に記載の液晶表示装置。

10

20

30

40

50

【請求項4】

複数のゲートラインとデータラインが交差する領域に形成された画素を有する液晶パネルと、

前記液晶パネルのゲートラインを順次にスキヤニングするための信号を印加するゲート駆動部と、

前記液晶パネルの各画素に印加するための階調電圧をRGBデータに基づき設定して出力するソース駆動部と、

ゲート制御電圧を生成して前記ゲート駆動部に出力し、前記階調電圧を設定するための階調電圧群を生成して前記ソース駆動部に出力する電圧発生部と、グラフィックソースからRGBデータを受け入れ、任意の二つの階調値の間の少なくとも一つ以上の階調を表現するために、前記二つの階調値が所定の頻度によって反復的に現れるように一つのフレームのデータを変形して複数のフレームに拡散させるACCブロックと、現在フレームデータと直前フレームデータを比較してDCC補正値を求め、その値に基づいてフレームデータを生成するDCCブロックと、前記DCCブロックで生成されたフレームデータを前記ソース駆動部で処理可能なようにデータフォーマットを変換させるタイミング再分配ブロックで構成されたタイミング制御部を含み、

前記DCCブロックは現在フレームデータのNビットと直前フレームデータの上位mビットを受け入れ、

前記現在フレームデータの(N-p)ビットと直前フレームデータの(N-p)ビットを受信し、これに対応する基準データと係数を出力するルックアップテーブルと、

前記現在フレームデータのNビットと前記直前フレームデータのmビットを受け入れ、その階調値の差が'1'であるかどうかによってDCCブロックの適用有無を決定する前処理部と、

前記前処理部の出力によってDCCブロックを適用しない場合には現在フレームデータをそのまま出力させ、DCCブロックを適用する場合には前記ルックアップテーブルの出力を利用してDCC補正値を求め、前記DCC補正値と現在フレームデータの下位ビットを利用してNビットのデータを生成するDCC変換部で構成されることを特徴とする液晶表示装置。

【請求項5】

前記ACCブロックは

RGBデータのビット数を所定ビット拡張させるデータ階調拡張器と、

前記ソース駆動部で処理可能なビット数に合うようにデータのビット数を縮小させ、前記拡張されたビットによって前記RGBデータが示す階調とその上位階調の発生頻度が所定のフレーム単位で調節されるようにフレームデータを構成するデータ階調縮小器で構成されることを特徴とする、請求項4に記載の液晶表示装置。

【請求項6】

複数のゲートラインとデータラインが交差する領域に形成された画素を有する液晶パネルと、

前記液晶パネルのゲートラインを順次にスキヤニングするための信号を印加するゲート駆動部と、

前記液晶パネルの各画素に印加するための階調電圧をRGBデータに基づき設定して出力するソース駆動部と、

ゲート制御電圧を生成して前記ゲート駆動部に出力し、前記階調電圧を設定するための階調電圧群を生成して前記ソース駆動部に出力する電圧発生部と、

グラフィックソースからRGBデータを受け入れ、任意の二つの階調値の間の少なくとも一つ以上の階調を表現するために、前記二つの階調値が所定の頻度によって反復的に現れるように一つのフレームのデータを変形して複数のフレームに拡散させるACCブロックと、現在フレームデータと直前フレームデータを比較してDCC補正値を求め、その値に基づいてフレームデータを生成するDCCブロックと、前記DCCブロックで生成されたフレームデータを前記ソース駆動部で処理可能なようにデータフォーマットを変換させる

10

20

30

40

50

タイミング再分配ブロックで構成されたタイミング制御部を含み、
前記 D C C ブロックは現在フレームデータの N ビットと直前フレームデータの上位 N ビットを受け入れ、
前記現在フレームデータの (N - p) ビットと直前フレームデータの (N - p) ビットを受信し、これに対応する基準データと係数を出力するルックアップテーブルと、
前記現在フレームデータの N ビットと前記直前フレームデータの N ビットを受け入れ、その階調値の差が ' 1 ' であるかどうかによって D C C ブロックの適用有無を決定する前処理部と、
前記前処理部の出力によって D C C ブロックを適用しない場合には現在フレームデータをそのまま出力させ、 D C C ブロックを適用する場合には前記ルックアップテーブルの出力を利用して D C C 補正値を求め、前記 D C C 補正値と現在フレームデータの下位ビットを利用して N ビットのデータを生成する D C C 変換部で構成されることを特徴とする液晶表示装置。

10

【請求項 7】

前記前処理部は、
直前フレームデータの N ビットと現在フレームデータの N ビットを受け入れ、二つの中で大きい値を出力させる大きい値選択器と、
直前フレームデータの N ビットと現在フレームデータの N ビットを受け入れ、二つの中で小さい値を出力させる小さい値選択器と、
前記大きい値選択器と小さい値選択器の出力に対して減算を行う減算器と、
前記減算器の出力が ' 1 ' である場合に D C C ブロックを適用しない D C C ディスエーブル信号を生成する D C C 制御信号生成器で構成されることを特徴とする、請求項 6 に記載の液晶表示装置。

20

【請求項 8】

前記 A C C ブロックは
R G B データのビット数を所定ビット拡張させるデータ階調拡張器と、
前記ソース駆動部で処理可能なビット数に合うようにデータのビット数を縮小させ、前記拡張されたビットによって前記 R G B データが示す階調とその上位階調の発生頻度が所定のフレーム単位で調節されるようにフレームデータを構成するデータ階調縮小器で構成されることを特徴とする、請求項 6 に記載の液晶表示装置。

30

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は色特性補償機能と応答速度補償機能を有する液晶表示装置に関し、さらに詳しくは色特性補償のための A C C (A c c u r a t e C o l o r C a p t u r e) ブロックと応答速度補償のための D C C (D y n a m i c C a p a c i t a n c e C o m p e n s a t i o n) ブロックを一緒に組み込んだ液晶表示装置に関する。

【0002】**【従来の技術】**

最近、パーソナルコンピュータやテレビなどの軽量化及び薄形化によって表示装置分野にも軽量化及び薄形化が要求されており、このような要求を充足させるために陰極線管 (C R T) の代りに液晶表示装置 (L C D) のようなフラットパネル表示装置 (F P D) が開発されて様々な分野において実用化されている。

40

【0003】

液晶表示装置では二つの基板の間に注入されている異方性誘電率を有する液晶物質に電界が印加され、この電界の強さを調節することによって基板を透過する光の量が制御され、所望の画像に対する表示が行われる。

【0004】

このような液晶表示装置は現在ノートブックコンピュータの表示装置だけでなく、デスクトップコンピュータの表示装置としてもその使用が拡大されている。現在のコンピュータ

50

使用者は発展したマルチメディア環境でコンピュータの表示装置を利用し動映像を視聴しようとする欲求を有している。このような要求を充足させるためには、液晶表示装置で色特性の向上と応答速度の向上が必要である。

【0005】

前記色特性の向上のための方法として、ACC (Accurate Color Capture、以下、'ACC'とする)機能が知られている。先ず、ACC機能について説明する。

【0006】

液晶表示装置には外部のグラフィックソースから赤、緑、青のデジタルRGBデータが入力され、各RGBデータは画素毎にNビット構成である。このRGBデータは液晶パネル上の対応する画素に印加するアナログ電圧を決定するのに用いられる。ここで、前記RGBデータのビット数Nは画素印加電圧の階調数と関連する。つまり、NビットのRGBデータは 2^N 個の階調を表示することができる。したがって、原則的には入力RGBデータのビット数によって表示できる階調数が決められるので、表示可能な階調数を増加させるためには入力RGBデータのビット数を増加させなければならない。しかし、入力RGBデータのビット数を増加させれば、システムが複雑になるだけでなく、システムクロックの周波数も増加する問題点がある。

10

【0007】

前記ACC方法は入力RGBデータのビット数を増加させずに表示可能な階調数を増加させるための技術である。つまり、任意の二つの階調値の間の階調を表現するために、フレームレート制御(FRC: Frame Rate Control)が利用される。フレームレート制御とは一つのフレームの視認状態を複数のフレームを用いて制御するように制御空間を拡張させることである。例えば、液晶パネル上の任意の画素に対して連続する二つの階調'118'と'119'の間にある'118.5'が表現されるようにする場合、第1フレームではその画素に対して階調値'119'を割当てるようにし、第2フレームでは'118'を割当てるようにデータ処理を行えば、階調'118'と'119'が時間的に平均されるので、残像特性を有する人間の目により液晶表示装置で'118.5'の階調が表示されていると認識され得る。このような効果を得るためのデータ処理をACC機能という。二つの階調の間をいかに精密に分割するかによって、制御すべきフレームの拡張程度が増加する。

20

30

【0008】

一方、液晶表示装置の応答速度を向上させるための方法として、DCC (Dynamic Capacitance Capture、以下、'DCC'とする)機能が知られている。次にDCC機能について説明する。

【0009】

このDCC機能は任意の画素に対する直前フレームの階調値と現在フレームの階調値を比較し、その差よりさらに大きい値が直前フレームの階調値に足されるようにRGBデータの処理を行う方法、つまり、従来オーバーシュート駆動である。一般的に、1フレームの持続時間は16.7msである。任意の画素で液晶物質両端に電圧が加えられる時、液晶物質が応答するには時間がかかる。したがって、意図する階調値が表現されるためには時間遅延が必須である。前記DCC機能はこのような時間遅延を最少化するための技術である。例えば、任意の画素に対して直前フレームでの階調値が'118'で、現在フレームでの階調値が'128'である時、両階調間の变化である'+10'より大きい値(補償値という)を'118'に足した階調値、例えば'135'を現在フレームの階調値とするように変換する。このようなDCC方法では直前フレームのデータを保存するためのフレームメモリが必要であり、前記補償値を直前フレームのデータと現在フレームのデータに基づいてルックアップテーブルより選定する方法が簡便である。ルックアップテーブルの大きさは入力する二つのデータのビット数に関連し、ビット数が増加するほどその大きさも大きくなる。したがって、フレームメモリに保存されるデータのビット数は入力RGBデータのビット数より小さくするのが一般的である。

40

50

【 0 0 1 0 】

液晶表示装置で色特性向上と応答速度向上を全て満足させるためには前述したACCとDCC技術を同時に適用する必要があり、このような技術的背景下で本発明が導出された。

【 0 0 1 1 】

【 発明が解決しようとする課題 】

本発明の目的は、色特性補償のためのACCブロックと応答速度補償のためのDCCブロックが同時に適用できると共に、この時、発生する表示不良の問題を解決できる液晶表示装置を提供することである。

【 0 0 1 2 】

【 課題を解決するための手段 】

前記目的を達成するための本発明の液晶表示装置は、

複数のゲートラインとデータラインが交差する領域に形成された画素を有する液晶パネルと、

前記液晶パネルのゲートラインを順次にスキヤニングするための信号を出力するゲート駆動部と、

前記液晶パネルの各画素に印加するための階調電圧をRGBデータに基づいて設定し出力するソース駆動部と、

ゲート制御電圧を生成して前記ゲート駆動部に出力し、前記階調電圧を設定するための階調電圧群を生成して前記ソース駆動部に出力する電圧発生部と、

グラフィックソースから前記RGBデータを受け入れ、任意の二つの階調値の間の少なくとも一つ以上の階調を表現するために、前記二つの階調値が所定の頻度によって反復的に現れるように一つのフレームのデータを変形して複数のフレームに拡散させるACCブロックと、現在フレームデータと直前フレームデータを比較してDCC補正值を求め、その値に基づいてフレームデータを生成するDCCブロックと、前記DCCブロックで生成されたフレームデータを前記ソース駆動部で処理可能なようにデータフォーマットを変換させるタイミング再分配ブロックで構成されたタイミング制御部を含み、

前記DCCブロックは現在フレームデータのNビットと直前フレームデータの上位mビットを受け入れ、

前記ACCブロックから出力されたフレームデータの全体ビットまたは一部ビットを1フレーム内に保存するフレームメモリと、

現在フレームデータの上位mビットと前記フレームメモリに保存された直前フレームデータのmビットを受信し、これに対応するmビットのDCC補正值を出力するルックアップテーブルと、

前記現在フレームデータのNビットと前記直前フレームデータのmビットを受け入れ、その階調値の差が‘1’であるかどうかによってDCCブロックの適用有無を決定する前処理部と、

前記前処理部の出力によってDCCブロックを適用しない場合には現在フレームデータをそのまま出力させ、DCCブロックを適用する場合には前記ルックアップテーブルの出力と現在フレームデータの下位ビットを利用してNビットのデータを生成するDCC変換部で構成されている。

【 0 0 1 3 】

前記本発明の構成ではACCブロックとDCCブロックが液晶表示装置のタイミング制御部に同時に適用され、この時、発生する恐れがある表示不良問題はDCCブロックに備えられた前処理部によって除去され、色特性向上と応答速度向上が共に達成できるということに特徴がある。

【 0 0 1 4 】

このような本発明の目的、技術的構成及びその効果は以下の実施例に対する説明を通じてより明白になる。

【 0 0 1 5 】

【 発明の実施の形態 】

以下、添付した図面を参照して本発明の好ましい実施例を詳細に説明する。

【0016】

本発明について説明する前に、一般的な液晶表示装置でACCブロックとDCCブロックが単純に結合された場合について説明する。

【0017】

図1には一般的な液晶表示装置の概略的な構成が示されている。

【0018】

図1に示すように、一般的な液晶表示装置は液晶パネル1、ゲート駆動部2、ソース駆動部3、電圧発生部4及びタイミング制御部5で構成される。

【0019】

前記液晶パネル1は互いに交差する複数のゲートライン及びデータラインと、各ゲートラインとデータラインが交差する領域に形成された画素で構成され、ゲートラインが順次にスキミングされるたびに表示のためのアナログ電圧がデータラインを経て対応する画素に印加される。前記タイミング制御部5には外部のグラフィックソースからRGBデータ、フレームの始点を示すデータイネーブル信号(DE)、同期信号(SYNC)及びクロック信号(CLK)が入力され、前記RGBデータはタイミング制御部5のデータ処理ブロック51によってタイミング再分配などのデータ処理が行われた後、ソース駆動部3に伝送される。また、タイミング制御部5の制御信号生成ブロック52では前記データイネーブル信号(DE)、同期信号(SYNC)及びクロック信号(CLK)を利用して表示動作を制御するための多様な制御信号(Cont)が生成されて各構成要素に伝送される。前記電圧発生部4はゲートラインをスキミングするためのゲートオン/オフ電圧をゲート制御電圧として生成し、前記ゲート駆動部2に出力させると同時に、画素印加電圧である階調電圧を含む階調電圧群を生成して前記ソース駆動部3に出力させる。前記ソース駆動部3ではタイミング制御部5から伝送されたRGBデータによってそれに見合う階調電圧が階調電圧群から選択法によって設定され前記液晶パネル1に印加される。この階調電圧設定の方法は、内挿法・外挿法など如何なる方法でもよい。

10

20

【0020】

図2には図1に示されたタイミング制御部2のデータ処理ブロック51がより詳細に示されている。

【0021】

図2に示すように、データ処理ブロック51はACCブロック53、DCCブロック54及びタイミング再分配ブロック55で構成されている。タイミング再分配ブロック55はタイミング制御部5の典型的な機能を行うブロックであって、グラフィックソースから入力されたRGBデータのフォーマットをソース駆動部3の回路スペックに合うように変換する。

30

【0022】

図3には図2のACCブロック53とDCCブロック54がより詳細に示されている。

【0023】

図3を参照すれば、ACCブロック53はデータ階調拡張器531とデータ階調縮少器532で構成され、DCCブロック54はフレームメモリ541とデータ階調信号変換器542で構成される。

40

【0024】

まず、NビットのRGBデータがデータ階調拡張器531に入力され、データ階調拡張器531によって前記RGBデータのビット数が(N+d)ビットに拡張される。次に、タイミング制御部5の出力を処理するためのソース駆動部3が処理できるビット数に変換するために、データ階調縮少器532を用いて、(N+d)ビットのデータをNビットに再び縮少させる。この時、データ階調縮少器532はデータのビット数を縮少させると同時に、上位Nビットの階調値とその階調値に'1'を足した値が拡張ビット(d)によって所定数のフレームを単位として交互に発生するようにフレーム群を構成する。つまり、前記Nビットデータの階調値を'A'とする時、所定のフレーム群内に拡張ビット(d)に

50

よって 'A' と 'A + 1' の発生頻度が調節されるようにフレームデータが構成され、Nビットで表現可能な階調値の中間階調を表現できる。例えば1フレーム毎に 'A' と 'A + 1' が交互に発生するならば平均の階調値は 'A + 0.5' になり、'A' 1フレームと 'A + 1' 2フレームならば 'A + (2 / 3)' になる。前記例において、データ階調縮小器532はNビットに縮小させると仮定したが、必ずNビットである必要はなく、ソース駆動部のビット処理能力によって変更できる。

【0025】

データ階調縮小器10から出力されるNビットのデータはDCCブロック54に伝送され、フレームメモリ541には前記Nビットのデータの中で上位mビットのデータが入力される。フレームメモリ541は1フレームのデータを保存する。一方、フレームメモリ541に保存されていた直前フレームのmビットのデータとデータ階調縮小器532から出力される現在フレームのNビットのデータはデータ階調信号変換器542に入力され、データ階調信号変換器542では現在フレームと直前フレームのデータを入力としてルックアップテーブルからDCC補正值が求められ、このDCC補正值と入力データのうち(N - m)ビットのデータからDCC変換データを推定あるいは演算して最終的な出力が得られる。

10

【0026】

図4a及び図4bにはデータ階調信号変換器542の第1例と第2例が示されている。

【0027】

まず、図4aを参照すれば、データ階調信号変換器542の第1実施例はルックアップテーブル410とDCC変換部420で構成される。

20

【0028】

ルックアップテーブル410には図3のフレームメモリ541から出力されたmビットの直前フレームデータと、図3のデータ階調縮小器532から出力されたNビットの現在フレームデータの中で上位mビットのデータが各々入力される。ルックアップテーブル410では前記直前フレームデータと現在フレームデータをアドレスとしてmビットのDCC補正值が決定され、この値はDCC変換部420に出力される。DCC変換部420には前記ルックアップテーブル410から出力されたmビットのDCC補正值と現在フレームデータの(N - m)ビットが入力され、これらデータを利用した演算によってNビットを構成することによりDCC変換されたデータが得られる。

30

【0029】

図4bに示されたデータ階調信号変換器542の第2実施例はルックアップテーブルのサイズを減少させるためにルックアップテーブルの入力ビット数を第1実施例よりさらに減少させ、ルックアップテーブルでDCC補正值を直接提供する方法ではなく、基準データと係数だけを提供し、DCC補正值は前記基準データと係数を利用したDCC変換部440の演算によって得られ、このように得られたDCC補正值に基づいてNビットが構成されることに特徴がある。このような特徴による第2実施例はNビットの現在フレームデータで(N - p)ビット、mビットの直前フレームデータで(N - p)ビットを各々受け入れ、これらの値に対応する基準データと係数を出力させるルックアップテーブル430と、現在フレームデータのpビットと直前フレームデータのM - (N - p)ビットと前記ルックアップテーブル430から出力される基準データと係数を受け入れてDCC変換されたデータを生成するDCC変換部440で構成される。

40

【0030】

先に説明したように、一般的な液晶表示装置ではタイミング制御部にACCブロックとDCCブロックを単純に結合する構造を提案し、色特性向上と応答速度の向上を期待することができる。しかし、このように、ACCブロックとDCCブロックが同時に適用される時、ACCブロックによって任意の画素に対する現在フレームと直前フレームの階調差が1に達するにもかかわらず、上位mビットの値に変化が生じ、DCC補正值が現在フレームデータより大きい値になる場合が発生する。このようになる場合には停止画面で画面の一部に長い線が表示される。つまり、画面不良が誘発される。

50

【0031】

このような画面不良をなくすため、ACCブロックによってフレームレート制御が適用されているフレームに対してはDCCブロックの機能が適用されないようにしなければならない。つまり、任意の画素に対する直前フレームと現在フレームの階調値の差が「1」である場合には、DCCブロックが適用されないように制御をする必要がある。

【0032】

このような問題点を解決するために、本発明では、DCC変換部の前でDCCブロックの適用有無を決定する前処理部をさらに含むデータ階調信号変換器542の第1実施例を図5に示して提案している。

【0033】

図5に示す第1実施例によるデータ階調信号変換器は、Nビットの現在フレームデータの上位mビットと、直前フレームデータのmビットを受け入れ、それに対応するmビットのDCC補正值を出力させるルックアップテーブル610と、Nビットの現在フレームデータとmビットの直前フレームデータを受け入れて前記現在フレームデータの上位mビットを抽出し、これを直前フレームデータのmビットと比較してその差が「1」であるかどうかによってDCCブロックの適用有無を決定する前処理部620と、前記前処理部620の出力によってDCCブロックを適用しない場合には現在フレームデータをそのまま出力させ、DCCブロックを適用する場合にはルックアップテーブル610の出力に現在フレームデータの下位ビットを合成してDCC変換されたデータを生成するDCC変換部630で構成される。

10

20

【0034】

第1実施例では、 $N = 8$ 、 $m = 5$ であると仮定してビット数を表示したが、本発明の技術的範囲はこれに限定されない。

【0035】

図6には図5に示された前処理部620の構成がより詳細に示されており、図7には図5に示された5ビット用ルックアップテーブル610の一例が表として示されている。

【0036】

図6を参照すれば、前処理部620は上位ビット選択器621、大きい値選択器622、小さい値選択器623、減算器624及びDCC制御信号生成器625で構成される。

【0037】

上位ビット選択器621では8ビットの現在フレームデータのうち上位5ビットが選択され、現在フレームデータと直前フレームデータの上位5ビットデータは大きい値選択器622と小さい値選択器623に各々入力される。大きい値選択器622は二つの入力のうち大きい値を選択し、小さい値選択器623は二つの入力のうち小さい値を選択する。大きい値選択器622と小さい値選択器623の出力は減算器624に送られてその二つの差が計算される。DCC制御信号生成器625では減算器624の出力が「1」である場合にDCCディスプレイ信号が「ハイ(high)」状態になる。この場合にはDCC変換部630でDCCブロックが適用されない。

30

【0038】

図7のルックアップテーブルを参照して(表示は10進法)、現在フレームデータが「24(10進法) = 00011000(2進法)」で、直前フレームデータが「23 = 00010111」の場合を例として説明する。

40

【0039】

フレームメモリには上位5ビットだけが保存されるので、直前フレームデータとして「00010」と現在フレームデータとして「00011」がルックアップテーブル610に入力される。図7で、縦軸は現在フレームデータの階調値であり、横軸は直前フレームデータの階調値である。また、括弧内の数字は上位5ビットが示す値である。したがって、「00011」の現在フレームデータと「00010」の直前フレームデータを図7のルックアップテーブルに適用すれば、DCC補正值「32 = 00100000」が得られ、この中で上位5ビットが出力される。一方、現在フレームデータの上位5ビットと直前フ

50

フレームデータの上位5ビットが示す値の差が‘1’であるので、前記前処理部によってディスプレイ信号が‘ハイ’状態になる。したがって、DCC変換部630では現在フレームデータに対してDCCブロックが適用されず、現在フレームデータがそのまま出力される。もし、DCCブロックが適用される場合には、‘32’の上位5ビットに現在フレームデータの下位3ビットが結合され、‘32 = 00100000’が出力される。このようにすれば、ACCブロックとDCCブロックを同時に適用する時に発生する画面不良を除去することができる。

【0040】

図8はデータ階調信号変換器の第2実施例を示し、第2実施例ではルックアップテーブルのサイズを減少させると同時に前処理部を備えたことに特徴がある。

10

【0041】

第2実施例によれば、ルックアップテーブル710の入力ビット数が4ビットに減少しており、ルックアップテーブル710はDCC補正値を直接提供する形式ではなく基準データと係数だけを提供し、DCC補正値は前記基準データと係数を利用したDCC変換部730の演算によって得られ、このように得られたDCC補正値に基づいてNビットのDCC変換されたデータが構成されることに特徴がある。

【0042】

一方、第2実施例ではDCC変換部730の前端に前処理部720が付加されており、前処理部720は第1実施例の前処理部と同様に現在フレームデータの上位所定数のビットと直前フレームデータの上位所定数のビットを受け入れ、その値の差が‘1’である場合にはDCCブロックが適用されないように制御する。

20

【0043】

次に述べる第3実施例は、第1実施例あるいは第2実施例とは異なり、フレームデータの全ビットを比較する方式である。

【0044】

図9はデータ階調信号変換器の第3実施例を示し、図10には図9の前処理部820がより詳細に示されている。

【0045】

図9の第3実施例はハードウェアの構成要素において前記第2実施例と類似であり、DCCブロックを適用するために現在フレームデータと直前フレームデータの全てのビットが用いられるという点が異なる。つまり、前記第3実施例はフレームメモリが直前フレームデータの全てのビットを保存していることをその前提としている。この場合に最も優れた画質が得られるが、計算量は増加することがある。

30

【0046】

第2実施例と同様に、前記第3実施例でもルックアップテーブル810の入力ビット数が4ビットに減少しており、ルックアップテーブル810はDCC補正値を直接提供することなく基準データと係数だけを提供し、DCC補正値は前記基準データと係数を利用したDCC変換部830の演算によって得られ、このように得られたDCC補正値に基づいてDCC変換されたデータが構成される。

【0047】

一方、DCCブロックを適用するために現在フレームデータと直前フレームデータの全てのビットが用いられるので、図9の前処理部820を詳細に示している図10に示しているように、図6の前処理部と異なって上位ビット選択器が除去された。図10の前処理部は現在及び直前フレームデータの全てのビットを利用してDCC制御信号を生成するという点の他は図6に示された前処理部とその構成及び動作が同一である。

40

【0048】

【発明の効果】

このように、ACCブロックとDCCブロックを液晶表示装置のタイミング制御部に一緒に組み込むので、色特性向上と応答速度向上を共に達成できる。また、ACCブロックとDCCブロックを同時に適用することにより、複合化により発生する画質不良の問題を前

50

処理部によって選別的にDCCブロックが適用されるようにして解決できた。

【図面の簡単な説明】

【図1】一般的な液晶表示装置の概略的な構成を示す図面である。

【図2】図1に示されたデータ処理ブロックを詳細に示す図面である。

【図3】図2に示されたACCブロックとDCCブロックをより詳細に示す図面である。

【図4a】図3に示されたデータ階調信号変換器の第1例を各々示す図面である。

【図4b】図3に示されたデータ階調信号変換器の第2例を各々示す図面である。

【図5】本発明による液晶表示装置のデータ階調信号変換器の第1実施例を示す図面である。

【図6】図5に示された前処理部を詳細に示す図面である。

10

【図7】図5のルックアップテーブル構成方法を例示した図表である。

【図8】本発明による液晶表示装置のデータ階調信号変換器の第2実施例を示す図面である。

【図9】本発明による液晶表示装置のデータ階調信号変換器の第3実施例を示す図面である。

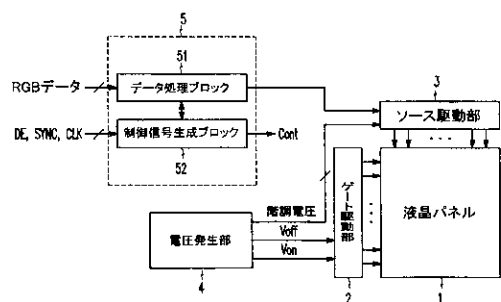
【図10】図9に示された前処理部を詳細に示す図面である。

【符号の説明】

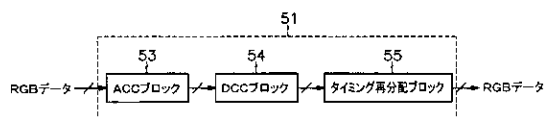
- 1：液晶パネル
- 2：ゲート駆動部
- 3：ソース駆動部
- 4：電圧発生部
- 5：タイミング制御部
- 51：データ処理ブロック
- 52：制御信号生成ブロック

20

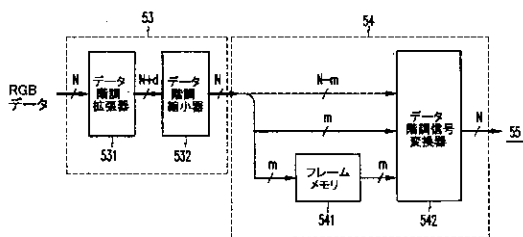
【図1】



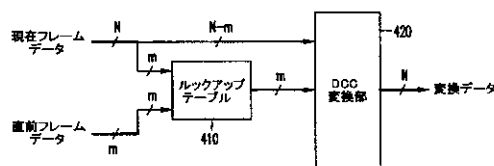
【図2】



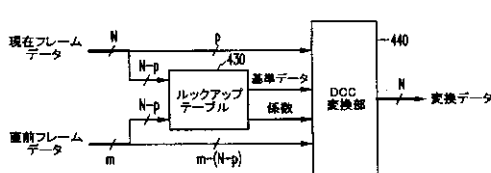
【図3】



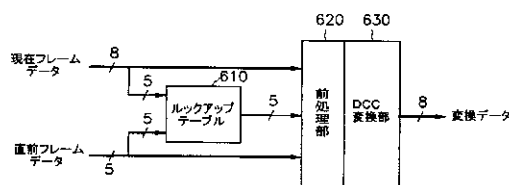
【図4a】



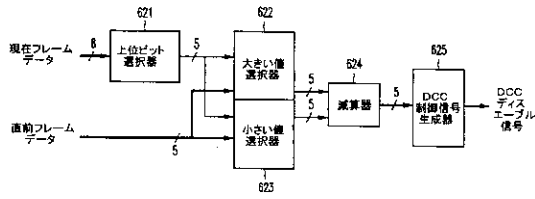
【図4b】



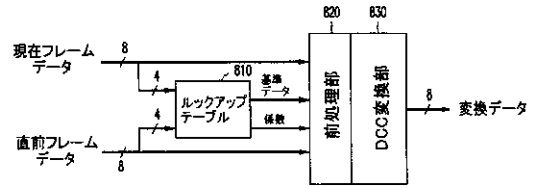
【図5】



【 図 6 】



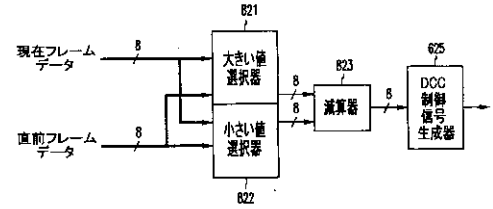
【 図 9 】



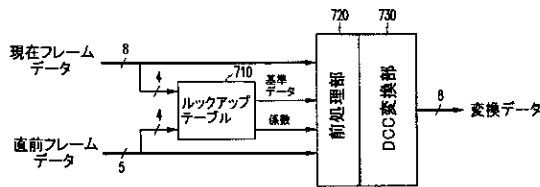
【 図 7 】

	0(0)	8(1)	16(2)	24(3)	32(4)	40(5)
0 (0)	0	0	0	0	0	0
8 (1)	16	8	8	8	8	0
16 (2)	32	24	16	16	8	8
24 (3)	40	32	32	24	24	16
32 (4)	48	48	40	40	32	24
40 (5)	72	64	56	56	48	40
48 (6)	88	80	72	72	64	56

【 図 10 】



【 図 8 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 3 1 B
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 4 2 J
G 0 9 G	3/20	6 5 0 M
H 0 4 N	5/66	1 0 2 B

F ターム(参考) 5C006 AA01 AA14 AA16 AA22 AC21 AF03 AF04 AF13 AF44 AF45
 AF46 AF51 AF52 AF53 AF61 AF71 AF83 BC03 BC11 BC16
 BF02 BF14 BF24 FA14 FA41 FA56
 5C058 AA06 BA01 BA07 BB14
 5C080 AA10 BB05 CC03 DD04 DD08 DD22 EE19 EE29 JJ02

专利名称(译)	一种液晶显示装置，具有色彩特性补偿功能和响应速度补偿功能		
公开(公告)号	JP2004004640A	公开(公告)日	2004-01-08
申请号	JP2003079412	申请日	2003-03-24
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李昇祐		
发明人	李昇祐		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G3/3648 G09G3/2011 G09G3/2025 G09G3/2081 G09G2320/0252 G09G2340/16		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.612.F G09G3/20.612.U G09G3/20.621.F G09G3/20.631.B G09G3/20.631.V G09G3/20.641.C G09G3/20.641.E G09G3/20.641.P G09G3/20.642.J G09G3/20.650.M H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA51 2H093/NC16 2H093/NC29 2H093/NC34 2H093/NC35 2H093/NC51 2H093/ND03 2H093/ND17 5C006/AA01 5C006/AA14 5C006/AA16 5C006/AA22 5C006/AC21 5C006/AF03 5C006/AF04 5C006/AF13 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF61 5C006/AF71 5C006/AF83 5C006/BC03 5C006/BC11 5C006/BC16 5C006/BF02 5C006/BF14 5C006/BF24 5C006/FA14 5C006/FA41 5C006/FA56 5C058/AA06 5C058/BA01 5C058/BA07 5C058/BB14 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD04 5C080/DD08 5C080/DD22 5C080/EE19 5C080/EE29 5C080/JJ02 2H193/ZA04 2H193/ZC15 2H193/ZD21 2H193/ZE01		
优先权	1020020015245 2002-03-21 KR		
其他公开文献	JP4490044B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，其中将用于补偿颜色特性的ACC块和用于补偿响应速度的DCC块结合在一起以解决此时出现的显示缺陷的问题。液晶显示装置的时序控制器从图形源接收RGB数据，并执行ACC功能，DCC功能和数据重新分配功能，指示帧的起点的信号，时钟信号和同步信号。它由控制信号生成块组成，该控制信号生成块通过使用DCC块生成显示操作所需的控制信号，以防止在同时应用ACC块和DCC块时出现显示缺陷问题。设有预处理段。[选择图]图5

