

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-121934

(P2007-121934A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 623B	5C006
G02F 1/133 (2006.01)	G09G 3/20 624C	5C080
	G09G 3/20 611E	
	G02F 1/133 550	
審査請求 未請求 請求項の数 5 O L (全 12 頁)		

(21) 出願番号 特願2005-317271 (P2005-317271)
 (22) 出願日 平成17年10月31日 (2005.10.31)

(71) 出願人 000103747
 オプトレックス株式会社
 東京都荒川区東日暮里五丁目7番18号
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100108578
 弁理士 高橋 詔男
 (74) 代理人 100101465
 弁理士 青山 正和
 (72) 発明者 大林 浩治
 東京都荒川区東日暮里5丁目7番18号
 オプトレックス株式会社内
 Fターム(参考) 2H093 NA16 NC12 NC16 NC34 ND10
 5C006 AC21 BB12 FA23
 5C080 AA10 BB05 DD06 JJ02 JJ03
 JJ04

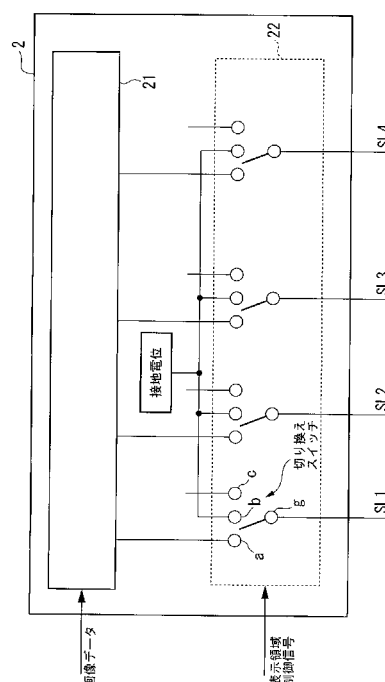
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】液晶表示領域において部分的な表示を行う際、非表示部分にフリッカが生じない部分表示制御を行うことが可能な液晶表示装置及びその駆動方法を提供する。

【解決手段】本発明の液晶表示装置は、画像を表示する表示領域の部分表示処理を行うものであり、データが書き込まれる画素電極と、これに対向する共通電極とを有し、マトリクス状に配置された画素と、画素を制御するスイッチング素子と、スイッチング素子をオン/オフ制御するゲート回路と、スイッチング素子がオン状態となると、表示データを画素電極に供給するソース回路と、共通電極の電位を制御するコモン電圧制御回路とを備え、ソース回路がソースラインに対して画像表示を行う表示データを与えるか、非表示の画素の画素電極に印加する電位を与えるか、ハインピーダンス状態にするかの切替を行う手段を有する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

画像を表示する表示領域の部分表示処理を行う液晶表示装置であり、
データが書き込まれる画素電極、及び該画素電極と対向する共通電極を有する、マトリクス状に配置された複数の画素と、
前記画素をスイッチング制御するスイッチング素子と、
前記スイッチング素子のゲートに対して、ゲートラインを介して、オン/オフ制御する駆動信号を供給するゲート回路と、
前記スイッチング素子がオン状態となった際、ソースラインを介して、表示データを前記画素電極に供給するソース回路と、
前記共通電極の電位を制御するコモン電圧制御回路と
を備えており、
前記ソース回路が前記表示領域の非表示部分において最初に駆動される各画素のゲートラインへ供給される前記駆動信号の印加に同期して、前記各画素のソースラインに対して、非表示の画素の共通電極に印加する電位を供給した後、ソースラインをハイインピーダンス状態に切り替える手段を有することを特徴とする液晶表示装置。

10

【請求項 2】

非表示の画素の共通電極に印加する前記電位を接地電位とすることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

20

画像を表示する表示領域の部分表示処理を行う液晶表示装置の駆動方法であり、
スイッチング素子が、画素電極及び共通電極を有する、マトリクス状に配置された複数の画素をスイッチング制御する過程と、
ゲート回路が前記スイッチング素子のゲートに対して、ゲートラインを介して、オン/オフ制御する駆動信号を供給する過程と、
ソース回路が前記スイッチング素子がオン状態となった際、ソースラインを介して、表示データを前記画素電極に供給する過程と、
コモン電圧制御回路が前記共通電極の電位を制御する過程と
を有しており、
前記ソース回路が、前記ソースラインに対して画像表示を行う表示データを供給するか、非表示の画素の共通電極に印加する電位を供給するか、ハイインピーダンス状態にするかの切替を行うことを特徴とする液晶表示装置の駆動方法。

30

【請求項 4】

前記ソース回路が、前記非表示領域の非表示部分において最初に駆動される各画素のゲートラインへ供給される前記駆動信号の印加に同期して、前記各画素のソースラインに対して、非表示の画素の共通電極に印加する電位を供給した後、ソースラインをハイインピーダンス状態に切り替えることを特徴とする請求項 3 に記載の液晶表示装置の駆動方法。

【請求項 5】

非表示の画素の共通電極に印加する前記電位を接地電位とすることを特徴とする請求項 4 に記載の液晶表示装置の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶を駆動する液晶表示装置の技術分野に属し、特にマトリクス状に配列された画素電極をスイッチング制御するトランジスタを備え、アクティブマトリクス駆動を行う液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

TFT-LCD (thin film transistor-liquid crystal display) は、例えば、バックライトユニットを用いる透過型 TFT-LCD の場合は、ガラス基板等の透明絶縁性

50

基板からなるＴＦＴ基板（アレイ基板）と対向基板とが所定のセルギャップで対向させて貼り合わされ、基板間に液晶が封止されている。

ＴＦＴ基板上には複数の画素電極がマトリクス状に配置され、各画素電極にはＴＦＴが接続され、一方の対向基板上には共通電極が形成されている。ここで、前記共通電極は対向基板の全面に形成されている。

さらに、カラー表示を行うＬＣＤの場合には、ＴＦＴ基板又は対向基板のいずれかにカラーフィルタ（ＣＦ）が形成されている。

【０００３】

上記画素は、スイッチングトランジスタにより、画素電極の電位が制御され、共通電極との間で電位差が生じる。ここで、共通電極に所定の電圧が印加されており、スイッチングトランジスタを駆動させることで、画素電極に対し、表示データに対応した電圧が印加される。例えば、液晶表示装置が透過型であり、液晶がノーマリーホワイトである場合、電位差が生じなければ透過であり、電位差が生じれば非透過となるため、スイッチングトランジスタは画素電極に対して、画像を表示するのであれば、共通電極との間に液晶が配向するために必要な電位差を生じさせる電圧を印加し、画像を表示しないのであれば、共通電極と同様な値の電圧を印加する。

【０００４】

上述した液晶制御により、液晶表示装置の各画素における液晶の配向を変化させることにより、光の透過を制御し、画像表示が行われる。

上記スイッチングトランジスタは、ゲートライン及びソースラインの交差部分に、画素に対応して設けられている。

液晶は、上述した電位差の極性が常に同一であると、配向が変化する特性が劣化してしまうため、フレーム毎に電位差の極性を変化させるフレーム反転を行うフレーム反転駆動などの制御が行われている（例えば、特許文献１参照）。

また、より表示品質を向上させるためにライン反転駆動が用いられる。ライン反転駆動では、ラインごとに液晶にかかる極性を変化させており、また、１フレーム毎に液晶にかかる電位差の極性を逆転するように駆動する。

ところで、前記フレーム反転駆動などの極性反転駆動を用いると、例えばソースラインに供給される電圧の大きさは、片極性で駆動する場合に比べて２倍必要になり、駆動回路の高耐圧化が要求される。そこで、フレーム反転駆動、あるいはライン反転駆動の場合、共通電極に供給される電圧を、反転タイミングと同期して極性反転させることでソースラインに供給される電圧を半減させたコモン反転駆動が用いられるようになってきている。

【特許文献１】特開２００２－０４１００３号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

上述した液晶表示装置における画像表示において、液晶表示領域部の部分的な表示を行う場合、例えば、携帯電話においては、機能設定画面などで全画面の一部の画像表示のみを行う場合がある。

従来の液晶表示装置にあつては、上記部分表示制御において、例えば非表示部分の画素に対応するスイッチングトランジスタのソースに接続されるソースラインをハイインピーダンス（ＨｉＺ）状態にすることで、画素の画素電極及び共通電極間に電位差を生じさせずに、非表示状態とする方法が用いられている。

【０００６】

しかしながら、例えばコモン反転駆動を組み合わせたフレーム反転駆動を用いた場合は、液晶表示領域の表示部分と非表示部分との切り替わりの領域において、非表示とする画素がフリッカを起こしてしまい、画面が見にくい状態となってしまう。このフリッカが発生する状態を以下に説明する。ここで、簡単のため、４行４列の画素の液晶表示装置の構成を示す図１及び図４を用いて、従来の液晶表示装置の部分表示方法について説明する。ここで、行は走査線方向、すなわち同一のゲートラインにゲートが接続されたスイッチン

10

20

30

40

50

グトランジスタの並び方向であり、列はソースライン方向、すなわち同一のソースラインにドレインが接続されたスイッチングトランジスタの並び方向である。図4(a)及び図4(b)は、各行の画素の駆動を説明するためのタイミングチャートである。

【0007】

ゲート回路101は、順次、ゲートラインGL1~GL4に対して時系列的に、図4(a)及び図4(b)に示すように駆動信号(駆動パルス)を出力して、各行単位でのスイッチングトランジスタのオンオフ制御をする。例えば、ゲート回路101は、時刻t12にゲートラインGL1に対して駆動パルス(幅T)を出力し、時刻t22にゲートラインGL2に対して駆動パルスを出力し、時刻t32にゲートラインGL3に対して駆動パルスを出力し、時刻t42にゲートラインGL4に対して駆動パルスを出力する。スイッチングトランジスタのドレインは、画素(液晶素子)の画素電極に接続されている。

時刻t11, t21, t31, t41において、共通電極及びソースラインの電位の制御が行われる。

【0008】

また、各画素のスイッチングトランジスタのゲートには、それぞれ行毎に、ゲートラインGL1, GL2, GL3及びGL4が接続されている。液晶表示がコモン反転駆動を組み合わせたライン反転駆動のため、各行のゲートラインが駆動されるタイミング毎に、順次、共通電極COMには反転された電圧が供給される。このとき、共通電極COMの低電圧電位をVCOML、高電圧電位をVCOMHとする。すなわち、各行の画素の共通電極には、対応するゲートラインが印加されたタイミングにて、隣接する行の画素が駆動された際に供給された電圧に対し、順次、反転された電圧が印加される。

【0009】

また、ソース回路102は、上記駆動信号に同期させて、各行における画素に表示させるデータに対応した電圧をソースラインに供給する。

ここで、上記に述べた方法で液晶表示領域の表示部分と非表示部分を駆動させる方法を示す。

また、1行目と2行目が表示部分、3行目と4行目が非表示部分であるとする。ライン反転駆動のため、奇数フレームのとき、1行目の画素の画素電極に対し、ゲートラインGL1に駆動信号が出力されたタイミングにて、共通電極COMに対してVCOMLの電圧が供給され、2行目の画素の画素電極に対し、ゲートラインGL2に駆動信号が出力されたタイミングにて、共通電極COMにVCOMHの電圧を印加する。また、非表示部分の3行目及び4行目各々が駆動されたタイミングにて、共通電極COMには接地電位が与えられている。

一方、偶数フレームのとき、1行目の画素の画素電極に対し、ゲートラインGL1に駆動信号が出力されたタイミングにて、共通電極COMに上記VCOMHの電圧が供給され、2行目の画素の画素電極に対し、ゲートラインGL2に駆動信号が出力されたタイミングにて、共通電極COMにVCOMLの電圧を印加する。また、非表示部分の3行目及び4行目各々が駆動されたタイミングにて、奇数フレームの場合と同様に、共通電極COMには接地電位が与えられている。

【0010】

従来の液晶表示装置では、上述したように制御した場合、表示部分と非表示部分との切り替わり、すなわち2行目から3行目に切り替わるときに、ソースラインSL1~SL4各々がハイインピーダンス状態となるため、ソースラインSL1~SL4各々に表示部分のデータの電位が残り、自然放電するまでに、ある程度の時間がかかる。この時、3行目と4行目のゲートが開くと非表示部分の画素に奇数フレームではある程度の電荷が供給され、画素電極及び共通電極間に電位差が生じ、偶数フレームでは電位差が小さくなることで、液晶の配向が変化するため、図4(c)に示すように、3行目及び4行目の画素にフリッカが発生するという問題がある。

また、従来の液晶表示装置では、非表示部分のゲートラインへの駆動パルスの供給を停止する駆動方法も提案されている。しかし、このような駆動方法では、表示領域を表示か

10

20

30

40

50

ら非表示に切り替えた場合、切り替え直後にゲートラインへの駆動パルスの供給を停止すると、ソースラインに表示画素の画素電極の電荷が残り、自然放電するまでに時間がかかるという問題を有している。

【0011】

本発明は、このような事情に鑑みてなされたもので、液晶表示領域において部分的な表示を行う際、非表示部分にフリッカなどが生じない部分表示制御を行うことが可能な液晶表示装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明の液晶表示装置は、画像を表示する表示領域の部分表示処理を行う液晶表示装置であり、データが書き込まれる画素電極、及び該画素電極と対向する共通電極を有する、マトリクス状に配置された複数の画素と、前記画素をスイッチング制御するスイッチング素子と、前記スイッチング素子のゲートに対して、ゲートライン（走査線）を介して、オン/オフ制御する駆動信号を供給するゲート回路と、前記スイッチング素子がオン状態となった際、ソースライン（データ線）を介して、表示データを前記画素電極に供給するソース回路と、前記共通電極の電位を制御するコモン電圧制御回路とを備えており、前記ソース回路が、表示領域の非表示部分において最初に駆動される各画素のゲートラインへ供給される前記駆動信号の印加に同期して、前記各画素のソースラインに対して、非表示の画素の共通電極に印加する電位を供給した後、ソースラインをハイインピーダンス状態に切り替えることを特徴とする。

10

20

【0013】

さらに、本発明の液晶表示装置は、非表示の画素の共通電極に印加する前記電位を接地電位とすることを特徴とする。

【0014】

本発明の液晶表示装置の駆動方法は、画像を表示する表示領域と表示しない非表示領域との部分表示処理を行う液晶表示装置の駆動方法であり、スイッチング素子が、画素電極及び共通電極を有する、マトリクス状に配置された複数の画素をスイッチング制御する過程と、ゲート回路が前記スイッチング素子のゲートに対して、ゲートラインを介して、オン/オフ制御する駆動信号を供給する過程と、ソース回路が前記スイッチング素子がオン状態となった際、ソースラインを介して、表示データを前記画素電極に供給する過程と、コモン電圧制御回路が前記共通電極の電位を制御する過程とを有しており、前記ソース回路が、前記ソースラインに対して画像表示を行う表示データを供給するか、非表示の画素の共通電極に印加する電位を供給するか、ハイインピーダンス状態にするかの切替を行うことを特徴とする。

30

【0015】

また、本発明の液晶表示装置の駆動方法は、前記ソース回路が、前記表示領域の非表示部分において最初に駆動される各画素のゲートラインへ供給される前記駆動信号の印加に同期して、前記各画素の画素電極に対して、非表示の画素の共通電極に印加する電位を供給した後、ソースラインをハイインピーダンス状態に切り替えることを特徴とする。

さらに、本発明の液晶表示装置の駆動方法は、非表示の画素の共通電極に印加する前記電位を接地電位とすることを特徴とする。

40

【発明の効果】

【0016】

以上説明したように、本発明の液晶表示装置によれば、ソースラインをハイインピーダンス状態に移行する前に、一旦、ソースラインを非表示とする画素の画素電極の電位と同様の電位とした後に、ソースラインをハイインピーダンス状態に移行させているため、非表示部分の各画素の画素電極に対して、従来のように、直前にソースラインに供給された電位を、不必要に非表示の画素に供給することを防止することができ、非表示部分の画素におけるフリッカなどの発生を抑制することができる。

【発明を実施するための最良の形態】

50

【0017】

以下、本発明の一実施形態による液晶表示装置を図面を参照して説明する。図1は同実施形態の構成例を示す概念図である。

図1は、簡単のために、ゲートラインGL1, GL2, GL3及びGL4の4行と、ソースラインSL1, SL2, SL3及びSL4の4列との、4行4列の構成の液晶表示装置の構成を示している。

上記各行及び各列の交差部において、マトリクス状に画素（液晶素子）Gが配設されている。画素Gの画素電極にはスイッチングトランジスタTRのドレインが接続されている。このスイッチングトランジスタTRは、ソースがソースラインに接続され、ゲートがゲートラインに接続されている。ゲート回路1は、所定の周期により、ゲートラインGL1 ~ GL4各々を行の並びの順に、上部のゲートラインGL1から時系列に下部のゲートラインGL4までの各ゲートライン毎に、所定幅の駆動パルスを出力する。

10

【0018】

ソース回路2は、上記駆動パルスの出力されるタイミングに同期して（駆動パルスに同期して）、ソースラインSL1, SL2, SL3及びSL4各々に対し、駆動パルスが出力されているゲートライン（走査線）の各画素に表示する表示データ（例えば、階調電圧）を出力する。

各スイッチングトランジスタは、ゲートに接続されているゲートラインに駆動パルスが出力されると、オン状態となり、ソースに接続されているソースラインの表示データ（ソースラインに出力されている表示データ）を、ドレインに接続されている画素の画素電極へ伝達（上記表示電位に対応した電荷を供給）する。

20

画素Gは、画素電極が形成された基板と、共通電極が形成された基板との間に液晶が封止され、各画素電極部分に対応して構成された液晶素子であり、画素電極に蓄積された電荷に基づく電位と、共通電極の電位との電位差により、画素電極毎に上記液晶の配向が制御されて、透明及び非透明となることにより画像（ドット）の表示を行う。

【0019】

本実施形態においては、液晶をコモン反転駆動を組み合わせたライン反転駆動にて動作させるものとして説明する。本実施形態の説明において、例えば一例として、説明の簡単化のために、画素電極及び共通電極間の電位差における制御電圧範囲の最大電圧（最大値）を5Vととし、制御電圧範囲の最小電圧（最小値）を0V（接地電位）として説明する

30

全ての画素Gの共通電極には、共通に共通電極COMが接続され、各行の画素が駆動されるタイミングにて、隣接する行の画素が駆動されたときに対して反転された電圧が共通電極に印加される。すなわち、ゲートラインGL1, GL3（例えば、奇数行）の画素が駆動されたタイミングにて、共通電極COMに対して電位VCOM1が印加され、ゲートラインGL2, GL4（例えば、偶数行）の画素が駆動されたタイミングにて、共通電極COMに、電位VCOM1の反転した電位VCOM2が供給される。このときのVCOMの高電位をVCOMH、低電位をVCOMLとする。奇数フレームでVCOM1 = VCOML, VCOM2 = VCOMHであれば、偶数フレームでは、VCOM1 = VCOMH, VCOM2 = VCOMLとなる。画素電極と共通電極との間の電位差により、液晶の配向を制御して表示を行うため、この電極間の電位差を0Vと5Vとの間で制御する。共通電極の電位は、各行の画素が駆動されるタイミングにて、隣接した画素の行の間において、順次、反転された状態となる。

40

上述したライン反転駆動における共通電極COMの電位の制御は、図示しないコモン電圧制御回路が行う。

【0020】

ソース回路2は、各ソースラインに出力する表示データを、その表示データを供給する行の画素、すなわち、ゲートラインに駆動信号が与えられたタイミングにて、共通電極COMに供給される電位に対応させ、画像表示に対応した電位差が生じる電位として出力する。

すなわち、ソース回路2は、例えば、画像データから求められた画素電極と共通電極と

50

の間の電位差、すなわち表示電圧が 3 V であるとき、共通電極の電位が V_{COMH} の場合、この V_{COMH} から表示電圧を減算して、減算値 ($V_{COMH}-3$) V を表示データとして画素電極に出力し、共通電極の電位が V_{COML} のとき、画像データから求められた表示電圧 3 V は ($3 + V_{COML}$) V の表示データとして画素電極に出力する。

【0021】

次に、本発明の実施形態によるソース回路 2 の詳細な構成について説明する。図 2 は、ソース回路 2 の構成例を示すブロック図である。

表示データ出力部 21 は、入力される画像データと、対応する行の共通電極に供給されている電位とに基づいて上記表示データを生成し、ゲート回路 1 が出力する駆動パルスに同期して、生成した表示データを出力する。

切替制御部 22 は、各ソースライン毎に、各々切替スイッチが設けられており、外部から入力される表示領域制御信号の制御データにより、表示部分及び非表示部分に供給する電位の制御を行い、以下の 3 つの切り替え状態に各々のソースラインを変更する制御を行う。

【0022】

そして、切替制御部 22 は、上記切替スイッチの切替制御を行い、ソースラインに接続されている共通端子 g を、表示データ出力部 21 の各ソースラインに対応した端子 a と、接地電位（後に述べるように、非表示部分をゲートが選択している時に共通電極に供給される電位と同様の電位）に接続された端子 b と、どこにも接続されていない端子 c（ソースラインをハイインピーダンス状態とする端子）と、のいずれかに接続される。

【0023】

A．表示領域の表示部分の画素に対応するスイッチングトランジスタに駆動パルスが供給された際、共通端子 g が端子 a に接続され、このスイッチングトランジスタに対応するソースラインに表示データを出力する。

B．表示領域の非表示部分における最初の画素に対応するスイッチングトランジスタに、駆動パルスが出力されるタイミングに同期して、共通端子 g が端子 b に接続され、このスイッチングトランジスタに対応するソースラインを接地電位とする。ここで、非表示部分の画素の共通電極に接地電位が与えられている。

C．表示領域の非表示部分において、上記最初の画素の次の画素に対応するスイッチングトランジスタに駆動パルスが印加されるタイミングにて、共通端子 g を端子 c に接続、すなわちフロート状態とし、非表示部分全ての画素に対応するスイッチングトランジスタのゲートに駆動パルスが印加されている間、ソースラインをハイインピーダンスとする。

上述した A，B，C の処理が、奇数フレーム及び偶数フレームそれぞれにおいて、表示部分及び非表示部分に対応して行われる。

【0024】

次に、図 1，図 2 及び図 3 を用いて、本実施形態による液晶表示装置の動作を説明する。図 3 は、本実施形態の動作例を説明する波形図であり、図 3 (a) の時刻 $t_{11} \sim t_{43}$ までが奇数フレームの動作を示し、図 3 (b) の時刻 t_{51} から t_{83} までが偶数フレームの動作を示している。ここで、切替制御部 22 には、外部から 1 行目及び 2 行目の画素を表示部分とし、3 行目及び 4 行目の画素を非表示部分とする表示領域制御信号が入力されているとする。

【0025】

本実施形態の以下の説明においては、非表示部分の行（ゲートライン GL3 及び 4 に対応する画素の行）の画素が選択されたタイミングにて、共通電極 COM の電位が上記共通電圧制御回路により接地電位とされる。

【0026】

< 奇数フレーム > 図 3 (a)

時刻 t_{11} において、ソース回路 2 における表示データ出力部 21 は、外部から入力される 1 行目の各画素に対する画像データに基づき、ゲートライン GL1 にスイッチングト

10

20

30

40

50

ランジスタTRを介して接続された各画素に対する表示データを生成し、それぞれ対応する画素のソースラインSL1～SL4各々に出力する。ここで、また、上記コモン電圧制御回路は、共通電極COMをVCOMLの電位とする。

したがって、表示データ出力部21は、画像データを表示する液晶の配向を得るため、 $(5 + V_{COML})V$ の電位を表示データとして生成する。

このとき、切替制御部22は、ソースラインSL1～SL4各々を、表示データ出力部21に接続させ、すなわち共通端子gを端子aに接続し、表示データ出力部21が出力する表示データを各ソースラインに供給する。

【0027】

次に、時刻 t_{12} において、ゲート回路1は、1行目のゲートラインGL1に対して、パルス幅Tの駆動パルスを出力する。 10

これにより、1行目の画素に対応するスイッチングトランジスタがオン状態となり、各画素の画素電極に電荷が蓄積されて表示電位となる。

そして、時刻 t_{13} において、ゲート回路1は、上記駆動パルスを立ち下げ、スイッチングトランジスタをオフ状態とし、1行目の各画素の画素電極に蓄積された電荷を保持する状態とする。これにより、図3(c)に示すように、1行目の各画素に画像が表示(黒ドット表示)される。

【0028】

次に、時刻 t_{21} において、ソース回路2における表示データ出力部21は、外部から入力される2行目の各画素に対する画像データに基づき、ゲートラインGL2にスイッチングトランジスタTRを介して接続された各画素に対する表示データを生成し、それぞれ対応する画素のソースラインSL1～SL4各々に出力する。ここで、また、コモン電圧制御回路は、共通電極COMをVCOMHの電位とする。 20

したがって、表示データ出力部21は、ライン反転制御において、共通電極に与える電位が、VCOMLからVCOMHへと反転したため、画像データを表示する液晶の配向を得るため、画像データから表示データを算出し、 $(V_{COMH} - 5)V$ の電圧を、2行目の画素に供給する表示データとする。

このとき、切替制御部22は、ソースラインSL1～SL4各々を、表示データ出力部21に接続させ、すなわち共通端子gを端子aに接続し、表示データ出力部21が出力する表示データを各ソースラインに供給する。 30

【0029】

次に、時刻 t_{22} において、ゲート回路1は、2行目のゲートラインGL2に対して、パルス幅Tの駆動パルスを出力する。

これにより、2行目の画素に対応するスイッチングトランジスタがオン状態となり、各画素の画素電極に電荷が蓄積されて表示電位となる。

そして、時刻 t_{23} において、ゲート回路1は、上記駆動パルスを立ち下げ、スイッチングトランジスタをオフ状態とし、2行目の各画素の画素電極に蓄積された電荷を保持する状態とする。これにより、図3(c)に示すように、2行目の各画素に画像が表示(黒ドット表示)される。

【0030】

次に、時刻 t_{31} において、切替制御部22は、ソースラインSL1～SL4各々を、接地電位の端子に接続させ、すなわち共通端子gを端子bに接続し、各ソースラインを接地電位とする。このため、ソース回路2における表示データ出力部21は、非表示部分である、ソースラインSL1～SL4各々に表示データの出力は行わない。ここで、また、コモン電圧制御回路は、共通電極COMを0V(接地電位)とする。 40

【0031】

次に、時刻 t_{32} において、ゲート回路1は、3行目のゲートラインGL3に対して、パルス幅Tの駆動パルスを出力する。

これにより、3行目の画素に対応するスイッチングトランジスタがオン状態となり、3行目の各画素の画素電極に電荷が放電されて接地電位となる。また、ソースラインSL1 50

～ S L 4 の電位も接地電位とする。

そして、時刻 t_{33} において、ゲート回路 1 は、上記駆動パルスを立て下げ、スイッチングトランジスタをオフ状態とする。

これにより、画素電極及び共通電極の双方が接地電位となるため、液晶の配向は変化されず、画像が表示されず、すなわちフリッカが発生しない。

【0032】

次に、時刻 t_{41} において、切替制御部 22 は、ソースライン S L 1 ～ S L 4 各々を、フローティング状態とし、すなわち共通端子 g を端子 c に接続し、各ソースラインをハイインピーダンス状態とする。このため、ソース回路 2 における表示データ出力部 21 は、非表示部分であるソースライン S L 1 ～ S L 4 各々に表示データの出力は行わない。また、コモン電圧制御回路は、共通電極 C O M を 0 V (接地電位) のままとする。

【0033】

次に、時刻 t_{42} において、ゲート回路 1 は、4 行目のゲートライン G L 4 に対して、パルス幅 T の駆動パルスを出力する。

これにより、4 行目の画素に対応するスイッチングトランジスタがオン状態となるが、ソースライン S L 1 ～ S L 4 が、ハイインピーダンスとなっており、また、時刻 t_{31} ～ t_{41} の間に、ソースラインの電位が接地電位となっているので、各画素の画素の電位も接地電位となる。

そして、時刻 t_{43} において、ゲート回路 1 は、上記駆動パルスを立て下げ、スイッチングトランジスタをオフ状態とする。

これにより、画素電極及び共通電極の双方が接地電位となるため、液晶の配向は変化されず、画像が表示されず、すなわちフリッカが発生しない。

【0034】

< 偶数フレーム > 図 3 (b)

時刻 t_{51} において、ソース回路 2 における表示データ出力部 21 は、外部から入力される 1 行目の各画素に対する画像データに基づき、ゲートライン G L 1 にスイッチングトランジスタ T R を介して接続された各画素に対する表示データを生成し、それぞれ対応する画素のソースライン S L 1 ～ S L 4 各々に出力する。ここで、また、上記コモン電圧制御回路は、共通電極 C O M を V_{COMH} の電位とする。

したがって、表示データ出力部 21 は、画像を表示するために $(V_{COMH} - 5) V$ の電圧を出力する。

このとき、切替制御部 22 は、ソースライン S L 1 ～ S L 4 各々を、表示データ出力部 21 に接続させ、すなわち共通端子 g を端子 a に接続し、表示データ出力部 21 が出力する表示データを各ソースラインに供給する。

【0035】

次に、時刻 t_{52} において、ゲート回路 1 は、1 行目のゲートライン G L 1 に対して、パルス幅 T の駆動パルスを出力する。

これにより、1 行目の画素に対応するスイッチングトランジスタがオン状態となり、各画素の画素電極に電荷が蓄積されて表示電位となる。

そして、時刻 t_{53} において、ゲート回路 1 は、上記駆動パルスを立て下げ、スイッチングトランジスタをオフ状態とし、1 行目の各画素の画素電極に蓄積された電荷を保持する状態とする。これにより、図 3 (c) に示すように、1 行目の各画素に画像が表示 (黒ドット表示) される。

ここまでの駆動は奇数フレームでの t_{11} ～ t_{13} までと同様の駆動である。

【0036】

次に、時刻 t_{61} において、ソース回路 2 における表示データ出力部 21 は、外部から入力される 2 行目の各画素に対する画像データに基づき、ゲートライン G L 2 にスイッチングトランジスタ T R を介して接続された各画素に対する表示データを生成し、それぞれ対応する画素のソースライン S L 1 ～ S L 4 各々に出力する。ここで、また、コモン電圧

制御回路は、共通電極COMをVCOML電位とする。

したがって、表示データ出力部21は、ライン反転制御において、共通電極に与える電位が、VCOMHからVCOMLへと反転したため、画像データを表示する液晶の配向を得るため、画像データから表示データを算出し、2行目の画素に供給する表示データとする。

このとき、切替制御部22は、ソースラインSL1～SL4各々を、表示データ出力部21に接続させ、すなわち共通端子gを端子aに接続し、表示データ出力部21が出力する表示データを各ソースラインに供給する。

【0037】

次に、時刻t62において、ゲート回路1は、2行目のゲートラインGL2に対して、パルス幅Tの駆動パルスを出力する。

10

これにより、2行目の画素に対応するスイッチングトランジスタがオン状態となり、各画素の画素電極に電荷が蓄積されて表示電位となる。

そして、時刻t63において、ゲート回路1は、上記駆動パルスを立ち下げ、スイッチングトランジスタをオフ状態とし、2行目の各画素の画素電極に蓄積された電荷を保持する状態とする。これにより、図3(c)に示すように、2行目の各画素に画像が表示(黒ドット表示)される。

上述の駆動の電位は、奇数フレームのt21～t23と同様である。

【0038】

次に、時刻t71において、切替制御部22は、ソースラインSL1～SL4各々を、接地電位の端子に接続させ、すなわち共通端子gを端子bに接続し、各ソースラインを接地電位とする。このため、ソース回路2における表示データ出力部21は、非表示領域であるため、ソースラインSL1～SL4各々に電位の出力は行わない。ここで、また、コモン電圧制御回路は、共通電極COMを0V(接地電位)とする。

20

【0039】

次に、時刻t72において、ゲート回路1は、3行目のゲートラインGL3に対して、パルス幅Tの駆動パルスを出力する。

これにより、3行目の画素に対応するスイッチングトランジスタがオン状態となり、各画素の画素電極に電荷が放電されて接地電位となる。

そして、時刻t73において、ゲート回路1は、上記駆動パルスを立ち下げ、スイッチングトランジスタをオフ状態とし、画素電極の電位を接地電位の状態とする。このとき、画素電極と共通電極との間には電位差が生じない状態が維持される。

30

これにより、奇数フレームの場合と同様に、画素電極と共通電極の間で電位差が生じず奇数フレームの場合と同様に画像は表示されない。すなわち図3(c)に示すように3行目の画素にフリッカが発生しない。

【0040】

次に、時刻t81において、切替制御部82は、ソースラインSL1～SL4各々を、フローティング状態とし、すなわち共通端子gを端子cに接続し、各ソースラインをハイインピーダンス状態とする。ソース回路2における表示データ出力部21は、非表示部分であるソースラインSL1～SL4各々に表示データの出力は行わない。また、コモン電圧制御回路は、共通電極COMを0Vのままとする。

40

【0041】

次に、時刻t82において、ゲート回路1は、4行目のゲートラインGL4に対して、パルス幅Tの駆動パルスを出力する。

これにより、4行目の画素に対応するスイッチングトランジスタがオン状態となるが、ソースラインSL1～SL4がハイインピーダンス状態となっており、また時刻t71からt81の間でのソースラインの電位が接地電位となっている。また、各画素の画素電極の電位も接地電位となる。

そして、時刻t83において、ゲート回路1は、上記駆動パルスを立ち下げ、スイッチングトランジスタをオフ状態とする。

これにより、画素電極及び共通電極の双方が接地電位となる。このため、3行目の場合

50

と同様に奇数フレームの場合と同じく、画素電極と共通電極の間で電位差が生じず、画像が表示されない。すなわち図3(c)に示すように3及び4行目の画素にフリッカが発生しない。

なお、上述の駆動方法では、ゲートラインへ駆動パルスを連続して供給しても良いし、全画面表示と部分表示とでゲートラインの電位が大きく変化しない範囲で、数フレーム毎にゲートラインへ駆動パルスを間欠に供給しても良い。

【0042】

なお、図1におけるソース回路の演算部分の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することにより表示データ出力部21における表示データの算出及び切替制御回路22における切替スイッチの制御を行ってもよい。なお、ここでいう「コンピュータシステム」とは、OSや周辺機器等のハードウェアを含むものとする。また、「コンピュータシステム」は、ホームページ提供環境（あるいは表示環境）を備えたWWWシステムも含むものとする。また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM、CD-ROM等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。さらに「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムが送信された場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリ(RAM)のように、一定時間プログラムを保持しているものも含むものとする。

【0043】

また、上記プログラムは、このプログラムを記憶装置等に格納したコンピュータシステムから、伝送媒体を介して、あるいは、伝送媒体中の伝送波により他のコンピュータシステムに伝送されてもよい。ここで、プログラムを伝送する「伝送媒体」は、インターネット等のネットワーク（通信網）や電話回線等の通信回線（通信線）のように情報を伝送する機能を有する媒体のことをいう。また、上記プログラムは、前述した機能の一部を実現するためのものであっても良い。さらに、前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるもの、いわゆる差分ファイル（差分プログラム）であっても良い。

【図面の簡単な説明】

【0044】

【図1】液晶表示装置の構成例を示す概念図である。

【図2】本発明の実施形態による図1におけるソース回路を説明するブロック図である。

【図3】本発明の実施形態による動作例を説明するタイミングチャートである。

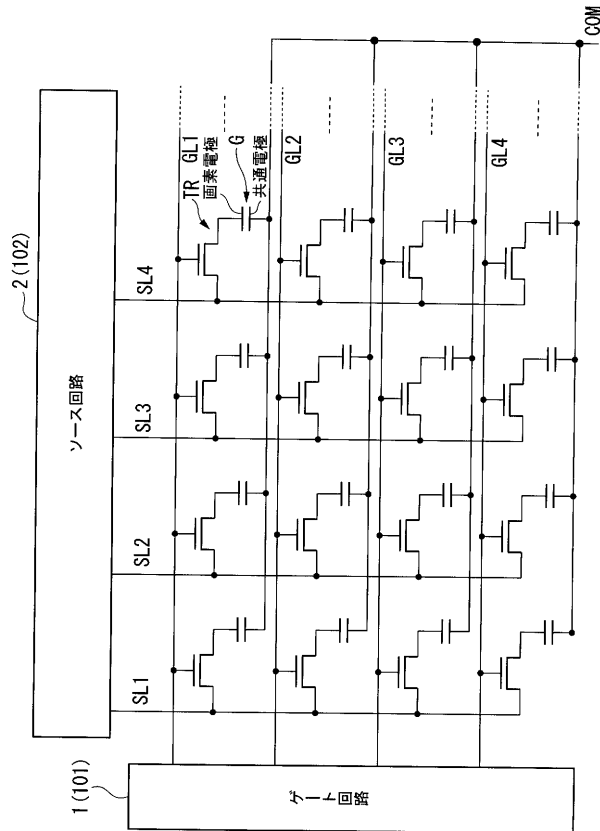
【図4】従来例の動作を説明するタイミングチャートである。

【符号の説明】

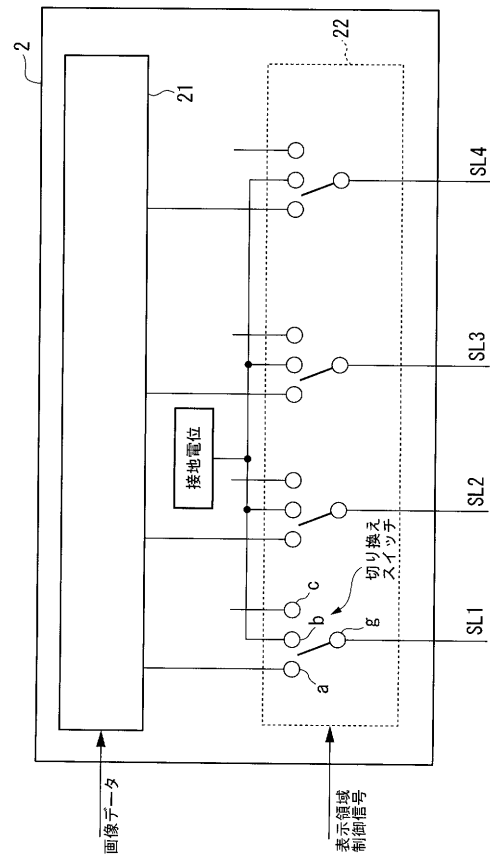
【0045】

- 1 ... ゲート回路
- 2 ... ソース回路
- 21 ... 表示データ出力部
- 22 ... 切替制御回路
- TR ... スイッチングトランジスタ

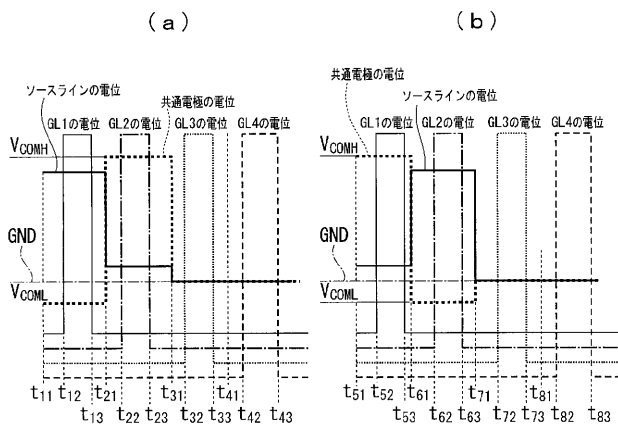
【図 1】



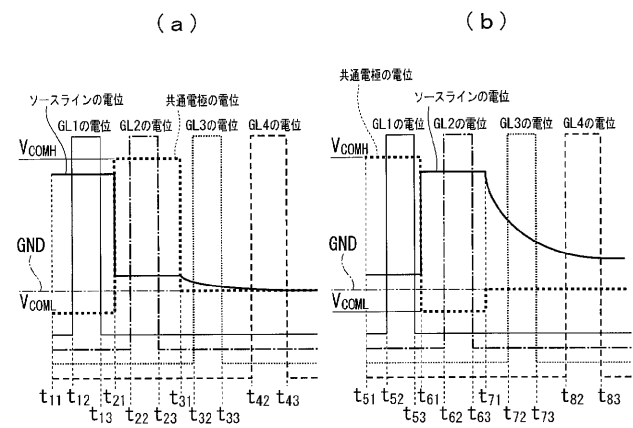
【図 2】



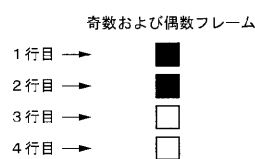
【図 3】



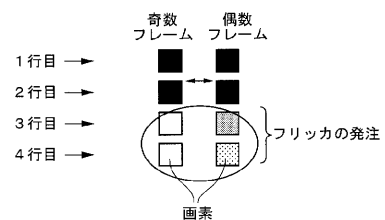
【図 4】



(c)



(c)



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2007121934A	公开(公告)日	2007-05-17
申请号	JP2005317271	申请日	2005-10-31
申请(专利权)人(译)	光王公司		
[标]发明人	大林浩治		
发明人	大林 浩治		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.623.B G09G3/20.624.C G09G3/20.611.E G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NC12 2H093/NC16 2H093/NC34 2H093/ND10 5C006/AC21 5C006/BB12 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD06 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZF36		
代理人(译)	正和青山		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够执行部分显示的液晶显示装置，该液晶显示装置在液晶显示区域中执行部分显示时不会在非显示部分中产生闪烁并提供其方法。ŽSOLUTION：液晶显示装置执行用于显示图像的显示区域的部分显示处理，具有写入数据的像素电极和面向其的公共电极，具有以矩阵排列的像素，用于控制该像素的开关元件像素，用于开关元件的开/关控制的门电路，用于向像素提供显示数据的源电路，用于在开关元件变为导通状态时向像素提供显示数据的源电路，以及用于控制公共电极的电位的公共电压控制电路，并且具有用于执行关于源电路是否将显示数据施加到源极线的切换的装置，给出施加到非显示像素的像素电极的电位的装置或转向高阻抗状态。Ž

