

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-316211

(P2005-316211A)

(43) 公開日 平成17年11月10日(2005.11.10)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO2F 1/133	GO2F 1/133 575	2H088
GO2F 1/1337	GO2F 1/133 550	2H090
GO2F 1/1343	GO2F 1/1337 505	2H092
GO2F 1/1368	GO2F 1/1343	2H093
GO2F 1/139	GO2F 1/1368	5C006

審査請求 未請求 請求項の数 10 O L (全 41 頁) 最終頁に続く

(21) 出願番号 特願2004-134954 (P2004-134954)
 (22) 出願日 平成16年4月30日 (2004. 4. 30)

(71) 出願人 302036002
 富士通ディスプレイテクノロジーズ株式会社
 神奈川県川崎市中原区上小田中4丁目1番1号
 (71) 出願人 501358079
 友達光電股▼ふん▲有限公司
 台湾新竹市科学工業園區力行二路1号
 (74) 代理人 100094525
 弁理士 土井 健二
 (74) 代理人 100094514
 弁理士 林 恒徳

最終頁に続く

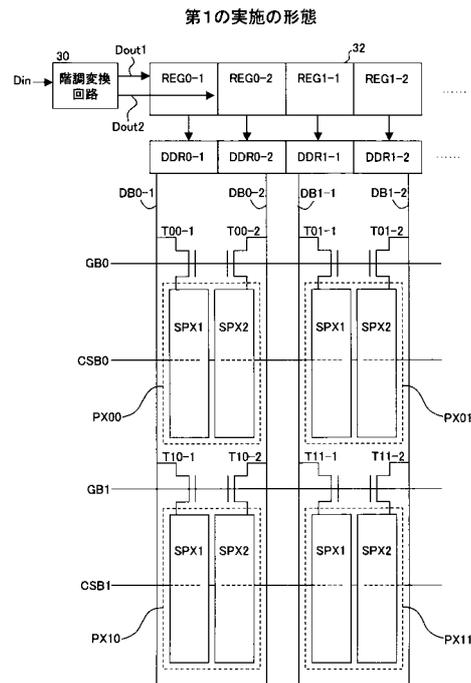
(54) 【発明の名称】 視角特性を改善した液晶表示装置

(57) 【要約】

【課題】 斜め上方からの画質を改善して視角特性を改善する。

【解決手段】 電圧無印加状態で当該液晶層内の液晶分子がほぼ垂直方向に配向している液晶表示装置において、それぞれ複数のサブ画素電極SPX1、SPX2を有する画素と、複数のサブ画素電極にそれぞれ接続された複数のスイッチング素子T00と、スイッチング素子に接続された複数のデータバス線DBと、スイッチング素子を制御する複数のゲートバス線GBと、データバス線、前記スイッチング素子を介してサブ画素電極に駆動信号を印加するデータバス駆動回路DDRと、液晶配向を複数方向に規制する配向規制手段とを有する。そして、1つの画素内において、面積が異なる第1及び第2のサブ画素電極が設けられ、データバス駆動回路は、画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に变化させる第1の駆動信号を第1のサブ画素電極に印加し、第1の駆動信号より低い輝度で变化させる第2の駆動信号を第2のサブ画素電極に印加する。

【選択図】 図10



【特許請求の範囲】

【請求項 1】

1 対の基板間に設けられた液晶層を有し、電圧無印加状態で当該液晶層内の液晶分子がほぼ垂直方向に配向している液晶表示装置において、

前記基板上にマトリクス状に配置され、それぞれ複数のサブ画素電極を有する画素と、

前記複数のサブ画素電極にそれぞれ接続された複数のスイッチング素子と、

前記スイッチング素子に接続された複数のデータバス線と、

前記スイッチング素子に接続され当該スイッチング素子を制御する複数のゲートバス線と、

前記データバス線に駆動信号を供給し前記スイッチング素子を介して前記サブ画素電極に当該駆動信号を印加するデータバス駆動回路と、

前記基板上に設けられ前記液晶分子の配向方向を複数方向に規制する配向規制手段とを有し、

1 つの画素内において、面積が異なる第 1 及び第 2 のサブ画素電極が設けられ、

前記データバス駆動回路は、画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させる第 1 の駆動信号を前記第 1 のサブ画素電極に印加し、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させ且つ前記第 1 の駆動信号より低い輝度の第 2 の駆動信号を前記第 2 のサブ画素電極に印加することを特徴とする液晶表示装置。

10

【請求項 2】

20

請求項 1 において、

前記データバス線は、1 つの画素に対して第 1 及び第 2 のデータバス線を有し、

前記データバス駆動回路は、前記第 1 及び第 2 のデータバス線を介して前記第 1 及び第 2 の駆動信号を前記第 1 及び第 2 のサブ画素電極にそれぞれ印加することを特徴とする液晶表示装置。

【請求項 3】

請求項 1 において、

前記データバス駆動回路は、共通のデータバス線を介して、前記第 1 及び第 2 の駆動信号を前記第 1 及び第 2 のサブ画素電極に、時分割でそれぞれ印加することを特徴とする液晶表示装置。

30

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

更に、前記画像信号の入力階調を前記第 1 及び第 2 の駆動信号に対応する出力階調に変換する階調変換回路を有し、前記データバス駆動回路は、当該出力階調に応じて前記第 1 及び第 2 の駆動信号をサブ画素電極に印加することを特徴とする液晶表示装置。

【請求項 5】

請求項 1 において、

前記データバス線方向に隣接する第 1 及び第 2 の画素がそれぞれ前記第 1 のサブ画素電極を有し、当該隣接する第 1 及び第 2 の画素が共通の第 2 のサブ画素電極を共有し、前記第 1 の画素への駆動は当該第 1 の画素の第 1 のサブ画素電極及び共有する第 2 のサブ画素電極の駆動により行われ、前記第 2 の画素への駆動は前記共有する第 2 のサブ画素電極と当該第 2 の画素の第 1 のサブ画素電極の駆動により行われることを特徴とする液晶表示装置。

40

【請求項 6】

請求項 1 において、

前記第 1 のサブ画素電極の面積が前記第 2 のサブ画素電極より小さく、

前記データバス駆動回路は、前記画像信号の入力階調が低い側の第 1 の階調領域においては、前記第 1 の駆動信号を前記第 1 のサブ画素電極に、前記第 2 の駆動信号を前記第 2 のサブ画素電極にそれぞれ印加し、

前記データバス駆動回路は、更に、前記第 1 の階調領域より高い側の第 2 の階調領域に

50

おいては、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させる第3の駆動信号を前記第2のサブ画素電極に印加し、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させ且つ前記第3の駆動信号より低い輝度の第4の駆動信号を前記第1のサブ画素電極に印加することを特徴とする液晶表示装置。

【請求項7】

請求項6において、

更に、前記画像信号の入力階調を、前記第1の階調領域においては、前記第1及び第2の駆動信号に対応する第1及び第2の出力階調に変換し、前記第2の階調領域においては、前記第3及び第4の駆動信号に対応する第3及び第4の出力階調に変換し、当該出力階調を前記データバス駆動回路に供給する階調変換回路を有し、

10

当該階調変換回路は、

前記第1及び第2の駆動信号が同じ入力階調に対して第1の差を有し且つ前記第3及び第4の駆動信号が同じ入力階調に対して第2の差を有する第1の変換モードと、前記第1及び第2の駆動信号が同じ入力階調に対して前記第1の差よりも小さい第3の差を有し且つ前記第3及び第4の駆動信号が同じ入力階調に対して前記第2の差よりも小さい第4の差を有する第2の変換モードとを有し、

更に、当該階調変換回路は、画素毎に複数の色の画像信号の入力階調を比較し、第1の入力階調を有する第1の色の入力階調を前記第1の変換モードで前記第1乃至第4の出力階調に変換し、前記第1の入力階調よりも高い第2の入力階調を有する第2色の入力階調を前記第2の変換モードで前記第1乃至第4の出力階調に変換することを特徴とする液晶表示装置。

20

【請求項8】

1対の基板間に設けられた液晶層を有し、電圧無印加状態で当該液晶層内の液晶分子がほぼ垂直方向に配向している液晶表示装置において、

前記基板上にマトリクス状に配置され、それぞれ複数のサブ画素電極を有する画素と、

前記複数のサブ画素電極にそれぞれ接続された複数のスイッチング素子と、

前記スイッチング素子に接続された複数のデータバス線と、

前記スイッチング素子に接続され当該スイッチング素子を制御する複数のゲートバス線と、

前記データバス線に駆動信号を供給し前記スイッチング素子を介して前記サブ画素電極に当該駆動信号を印加するデータバス駆動回路と、

30

前記基板上に設けられ前記液晶分子の配向方向を複数方向に規制する配向規制手段とを有し、

1つの画素内において、第1のサブ画素電極と当該第1のサブ画素電極より面積が大きい第2のサブ画素電極とが設けられ、

前記データバス駆動回路は、前記画像信号の入力階調が低い側の第1の階調領域においては、画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させる第1の駆動信号を前記第1のサブ画素電極に印加し、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させ且つ前記第1の駆動信号より低い輝度の第2の駆動信号を前記第2のサブ画素電極に印加し、

40

前記データバス駆動回路は、更に、前記第1の階調領域より高い側の第2の階調領域においては、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させる第3の駆動信号を前記第2のサブ画素電極に印加し、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させ且つ前記第3の駆動信号より低い輝度の第4の駆動信号を前記第1のサブ画素電極に印加することを特徴とする液晶表示装置。

【請求項9】

1対の基板間に設けられた液晶層を有し、電圧無印加状態で当該液晶層内の液晶分子がほぼ垂直方向に配向している液晶表示装置において、

前記基板上にマトリクス状に配置され、それぞれ第1及び第2のサブ画素電極を有する画素と、

50

前記複数のサブ画素電極にそれぞれ接続された複数のスイッチング素子と、
前記スイッチング素子に接続された複数のデータバス線と、
前記スイッチング素子に接続され当該スイッチング素子を制御する複数のゲートバス線と、

前記データバス線に駆動信号を供給し前記スイッチング素子を介して前記サブ画素電極に当該駆動信号を印加するデータバス駆動回路と、

前記基板上に設けられ前記液晶分子の配向方向を複数方向に規制する配向規制手段とを有し、

1つの画素内において、前記配向規制手段としての第1のスリットを介して配置された第1及び第2のサブ画素電極が設けられ、

前記データバス駆動回路は、前記第1及び第2のサブ画素電極に、逆極性の駆動電圧を印加することを特徴とする液晶表示装置。

10

【請求項10】

請求項9において、

前記第1または第2のサブ画素電極は、それぞれ前記配向規制手段としての第2のスリットを有し、前記第1のスリットは、当該第2のスリットよりもスリット幅が小さいことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、垂直配向型の液晶表示装置に関し、特に、表示画面に対して斜め方向から見た場合における画像の色再現性の劣化を改善して視角特性を改善した液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、文字や画像を表示する際に液晶材料をどのように制御するかにより、種々の表示モードに分類される。例えば、ツイステッド・ネマティック液晶タイプ(TNタイプ)は、液晶分子のねじれ角が90度のネマティック液晶を利用した表示タイプであり、電圧を印加しない状態で液晶分子が水平方向に配列して透過率最大となるノーマリーホワイトであり、電圧を印加することにより液晶分子が垂直方向に配列して透過率が下がる。しかし、TNモードの液晶表示装置では、一般に視野角が狭く視野角拡大フィルムなどが必要になる。

30

【0003】

TNタイプでの問題点として、高電圧を印加したときの低輝度表示において、斜め方向から見たときの階調値の逆転現象が生じることが指摘されている。この階調値の逆転現象は、印加電圧を上昇させた場合に、階調値が減少から一旦増加し再度減少するというものである。この減少を抑えるために、ハーフトーン技術が提案されている。例えば、特許文献1～9などである。このハーフトーン技術では、画素電極を互いに容量結合された複数のサブ画素電極に分割し、その複数のサブ画素電極に、共通のデータバス線と薄膜トランジスタを介して単一電圧を印加し、容量結合によりそれらのサブ画素電極に異なる電圧を印加して、印加電圧に対する透過率特性をずらして、上記の階調値の逆転現象を抑制するものである。

40

【0004】

このハーフトーン技術では、複数のサブ画素電極に容量結合を介して電圧を印加しているので、印加電圧が高電圧化するという問題がある。また、容量結合のために立体的な電極間容量を形成する必要があり構造が複雑化することも問題である。また、TNタイプの液晶表示装置は、ノーマリーホワイトであるため、電圧を印加しないときにおいて、サブ画素電極間の隙間から漏れ出る光を遮光する必要があり、画素内のサブ画素電極間に遮光膜を設ける必要があり、開口率が低下し、全体の輝度が下がるという問題点を有する。このような問題点を有するため、TNモードにおいてハーフトーン技術を採用した製品は未

50

だ発表されていない。

【0005】

一方、広い視野角のパネルを実現する技術として、イン・プレーン・スイッチング・タイプ（IPSタイプ）やパーティカル・アラインメント・タイプ（垂直配向型、VAタイプ）などが提案されている。そのうち、VAタイプの液晶表示装置は、基板に垂直に配置した液晶分子を、垂直方向の縦電界印加により水平方向に動かすことで透過率を変化させる。電圧を印加しない状態で透過率最小（ほぼ0%）になるノーマリーブランクが可能であり、電圧を印加することで透過率が增大してホワイトを表示することができる。また、1つの画素内において、液晶分子が倒れる方向を複数の方向に規制するマルチ・ドメインVAタイプ（MVAタイプ）が、本出願人から提案されている。例えば、特許文献10などである。 10

【0006】

図1～図3は、MVAタイプの液晶表示装置を説明するための図である。図1の断面図に示されるように、画素電極に電圧を印加するための薄膜トランジスタ（TFT）、データバス線、ゲートバス線などが形成されたTFT側基板1と、共通電極が形成された対向基板2とがスペーサ3と液晶層4を介して対向され、基板1, 2の周囲は周辺シール5により封止されている。また、両基板には偏光板6, 7が設けられ、TFT側基板にはドライ回路等を接続するための実装用端子群8が形成されている。

【0007】

図2は、TFT側基板1の平面図であり、行列状に配置された画素電極PX1, PX2 20
に対して、データバス線DB1, DB2が垂直方向に設けられ、それらがスイッチングトランジスタである薄膜トランジスタTFT1, TFT2を介して、画素電極PX1, PX2にそれぞれ接続される。TFTの導通を制御するゲートバス線GB1と、画素電極に印加された電圧の変動を抑制するための補助電極バスラインSE1とが水平方向に設けられる。

【0008】

図3は、MVAタイプにおける画素電極と共通電極間の液晶分子の垂直配向を説明する断面図である。TFT側基板1上に画素電極PXが形成され、画素電極PXの表面に液晶分子の配向方向を規制する突起14が設けられている。配向膜10はその最表面に形成される。一方、対向基板2上には対向電極である共通電極COMが形成され、その上に液晶分子の配向方向を規制する突起14が設けられさらに配向膜12が覆っている。突起を設けることにより、突起の形状に応じて図示されるように電圧を印加しない状態で垂直方向に配向する液晶分子をやや傾かせることができる。それに伴って、電圧印加した時の液晶分子の傾く方向を一定の方向に規制することができる。このような配向規制手段である突起を設けない場合は、電圧印加時に液晶分子が傾く方向がバラバラになり、表示領域に特異点が形成されるが、配向規制手段を設けることで液晶分子が傾く方向を複数の方向の規制することができ、傾く方向がバラバラになることが防止される。さらに、電圧印加時において液晶分子が単一の方向にしか傾かない場合は、その視野角特性に偏りが生じるが、配向規制手段を設けて電圧印加時の液晶分子の傾きの方向を複数にすることで、上記の視野角特性の偏りを平均化させ、視野角特性を改善することができる。 40

【0009】

図4は、別のMVAタイプにおける画素電極と共通電極間の液晶分子の垂直配向を説明する断面図である。この例では、TFT側基板1の構成は図3と同じであるが、対向基板2側には、配向規制手段として突起ではなく、共通電極COMにスリット20を設けている。スリット20を設けることにより、液晶分子層の電界の方向を傾かせることができ、電圧印加時の電界方向に対して液晶分子がやや傾いた状態になり、実質的に突起を設けた場合と同じ状態を再現することができる。突起のほうが配向規制の効果は大きいですが、構造が複雑になりコストアップを招くのに対して、電極にスリットを設けるほうが構造が簡単になり、コストダウンになる。

【0010】

それ以外に、液晶表示装置において、画素電極を2つのサブ画素電極に分割し、サブ画素電極にそれぞれ逆極性の電圧を印加してフリッカを防止することが提案されている(例えば、特許文献11、12)。しかしながら、これらの液晶表示装置は、垂直配向型(VA)、又はマルチ垂直配向型(MVA)についての記載はなく、垂直配向型に特有の問題点についての記載もない。

【特許文献1】特開平3 1 2 2 6 2 1号公報

【特許文献2】特開平4 - 3 4 8 3 2 4号公報

【特許文献3】特開平5 - 6 6 4 1 2号公報

【特許文献4】特開平5 - 1 0 7 5 5 6号公報

【特許文献5】特開平6 - 3 3 2 0 0 9号公報

【特許文献6】特表平8 - 5 0 7 8 8 0号公報

【特許文献7】特開平7 - 1 3 1 9 1号公報

【特許文献8】特開平7 - 7 2 5 0 9号公報

【特許文献9】特開平7 - 1 9 1 6 3 4号公報

【特許文献10】特許2, 9 4 7, 3 5 0

【特許文献11】特開2 0 0 0 - 2 3 5 3 7 1号公報

【特許文献12】特開2 0 0 2 - 7 2 9 8 5号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

MVAタイプの液晶表示装置は、広い視野角特性を有すると共に、液晶分子の配向方向を複数方向に規制することで、視野角の偏りを平均化して視野角特性を改善している。しかし、表示される画像によっては、表示パネルの正面方向に比較すると例えば上側60度方向からみた画像が白ちゃけた色(ウオッシュアウト)になる。

【0012】

図5は、表示パネルに対する正面方向と上60度方向を示す図である。液晶表示パネル22に対して垂直方向に対応する正面方向24と、正面方向に対して下側60°方向に対応する下60度28と、上側60°方向に対応する上60度26とを考える。液晶表示パネルにおいて、表示すべき画像信号に対する表示階調(各色の輝度)の設計は、正面24の位置で最適になるように行われる。そのため、上60度26や下60度28では、正面

【0013】

図6は、液晶分子と観察方向との関係を示す図である。VAタイプの液晶表示パネルでは、基板1に対して液晶分子LCは垂直方向に配向している。そして、画素電極と対抗電極間に電圧を印加することで、液晶分子LCを傾けて液晶層の透過率を変化させている。図6は、液晶分子LCがやや傾いて、正面方向24からは低輝度の画像が観察される状態である。この場合、上60度の方向26からは、正面方向24に比較して液晶分子LCが大きく傾き、液晶層の透過率はより高く、より高輝度の画像が観察されることになる。一方、下60度の方向28からは、逆に低輝度の画像が観察される。液晶の配向方向を複数の方向にしてこの現象を抑制したMVAタイプの液晶表示パネルにおいても、同様の問題

【0014】

このようにVAタイプやMVAタイプの液晶表示パネルでは、例えば上60度方向から観察される画像が正面方向から観察される画像よりも高い輝度を有することがある。そして、本発明者らの検討したところによれば、低い階調ではより高い輝度になり、高い階調ではより低い輝度になり、ある色の組み合わせを有する画像は、上60度方向から観察すると白ちゃけた色(ウオッシュアウトした色)になる。

【0015】

そこで、本発明の目的は、例えば上60度など斜め方向の画像を正面方向の画像により近いものにすることができるMVAタイプの液晶表示装置を提供することにある。

10

20

30

40

50

【0016】

更に、本発明の目的は、例えば上60度など斜め方向の画像を正面方向の画像により近いものにすることができ低駆動電圧で駆動可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0017】

上記の目的を達成するために、本発明の第1の側面は、1対の基板間に設けられた液晶層を有し、電圧無印加状態で当該液晶層内の液晶分子がほぼ垂直方向に配向している液晶表示装置において、

前記基板上にマトリクス状に配置され、それぞれ複数のサブ画素電極を有する画素と、

前記複数のサブ画素電極にそれぞれ接続された複数のスイッチング素子と、

前記スイッチング素子に接続された複数のデータバス線と、

前記スイッチング素子に接続され当該スイッチング素子を制御する複数のゲートバス線と、

前記データバス線に駆動信号を供給し前記スイッチング素子を介して前記サブ画素電極に当該駆動信号を印加するデータバス駆動回路と、

前記基板上に設けられ前記液晶分子の配向方向を複数方向に規制する配向規制手段とを有し、

1つの画素内において、面積が異なる第1及び第2のサブ画素電極が設けられ、

前記データバス駆動回路は、画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させる第1の駆動信号を前記第1のサブ画素電極に印加し、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させ且つ前記第1の駆動信号より低い輝度の第2の駆動信号を前記第2のサブ画素電極に印加することを特徴とする。

【0018】

更に、上記の目的を達成するために、本発明の第2の側面は、1対の基板間に設けられた液晶層を有し、電圧無印加状態で当該液晶層内の液晶分子がほぼ垂直方向に配向している液晶表示装置において、

前記基板上にマトリクス状に配置され、それぞれ第1及び第2のサブ画素電極を有する画素と、

前記複数のサブ画素電極にそれぞれ接続された複数のスイッチング素子と、

前記スイッチング素子に接続された複数のデータバス線と、

前記スイッチング素子に接続され当該スイッチング素子を制御する複数のゲートバス線と、

前記データバス線に駆動信号を供給し前記スイッチング素子を介して前記サブ画素電極に当該駆動信号を印加するデータバス駆動回路と、

前記基板上に設けられ前記液晶分子の配向方向を複数方向に規制する配向規制手段とを有し、

1つの画素内において、前記配向規制手段としての第1のスリットを介して配置された第1及び第2のサブ画素電極が設けられ、

前記データバス駆動回路は、前記第1及び第2のサブ画素電極に、逆極性の駆動電圧を印加することを特徴とする。

【発明の効果】

【0019】

第1の側面によれば、斜め方向からの画像のウォッシュアウトを抑制して画質を向上させることができる。第2の側面によれば、サブ画素電極間のスリット幅を狭くして開口率を高めることができる。

【発明を実施するための最良の形態】

【0020】

以下、図面にしたがって本発明の実施の形態について説明する。但し、本発明の技術的範囲はこれらの実施の形態に限定されず、特許請求の範囲に記載された事項とその均等物まで及ぶものである。

10

20

30

40

50

【0021】

図7は、MVAタイプの液晶表示パネルにおける印加電圧と液晶層の透過率との関係を示す図である。MVAタイプの液晶表示パネルでは、電圧を印加しない状態で透過率ほぼ0%のブラック表示である。正面側から観察される透過率は、印加電圧が上昇するに伴って徐々に上昇する。それに対して、上60度から観察される透過率は、印加電圧の上昇に伴い最初に急激に上昇し、その後上昇率が低下する。そのため、ある印加電圧未満では上60度の透過率が正面側より高い輝度になるのに対して、その印加電圧を超えると上60度の透過率が正面側より低くなり低輝度になる。

【0022】

図8は、MVAタイプの液晶表示パネルにおける入力階調に対する輝度を示す図である。図7の印加電圧を入力階調に、透過率を輝度に置き換えた図である。液晶表示装置の設計は、正面方向において入力階調に対して理想的な輝度が得られるように設計される。つまり、図7の正面での印加電圧と透過率との関係にしたがって、図8の入力階調に対して輝度が理想的な特性になるように設計される。その場合に、上60度(図8中は通常60度(本発明によらない従来構造のLCDにおける上60度の意味))からの輝度は、低い入力階調領域では正面より高くなり、高い入力階調領域において正面より低くなる。このような上60度での輝度特性により、所定の輝度の組み合わせからなる画像を上60度から観察するとウォッシュアウトした色になってしまう。

10

【0023】

図9は、所定の輝度の組み合わせを有する画像例のRGBの輝度のヒストグラムを示す図である。この画像例は、例えば青空を背景とする真っ赤な柿やリンゴを写した写真画像である。青空の水色はグリーンGとブルーBの混合色であるので、グリーンGとブルーBとが同程度の階調(輝度)を有する。そして、レッドRの輝度は、一般にグリーンGやブルーBの輝度よりも高い。そのため、図7において、グリーンGやブルーBは上60度の透過率が高くなる領域に、レッドRは上60度の透過率が低くなる領域にそれぞれ属することになり、正面からの画像に比較するとウォッシュアウトした色になる。

20

【0024】

図8において理解されるように、入力階調に対する輝度の特性は、正面の特性と上60度の特性とは大きくかけ離れている。したがって、上60度で理想的な輝度よりずれてしまうことを抑制するためには、上60度での特性を正面の特性に近づける必要がある。

30

【0025】

[第1の実施の形態]

図10は、第1の実施の形態における液晶表示装置の概略図である。本実施の形態では、MVAタイプの液晶表示パネルにおいて、マトリクス状に配置された画素PX00、PX01、PX10、PX11それぞれにおいて、複数のサブ画素電極、例えば第1及び第2のサブ画素電極SPX1、SPX2が設けられる。そして、第1及び第2のサブ画素電極SPX1、SPX2それぞれに対してスイッチング手段として薄膜トランジスタ T_{ij-1} 、 T_{ij-2} ($ij = 00, 01, 10, 11$) が設けられている。更に、1列目の垂直方向に配置された画素PX00、PX10に対して、薄膜トランジスタ T_{00-1} 、 T_{10-1} と T_{00-2} 、 T_{10-2} にそれぞれ接続される1対のデータバス線DB0-1、DB0-2が設けられ、2列目の垂直方向に配置された画素PX01、PX11に対して、薄膜トランジスタ T_{01-1} 、 T_{11-1} と T_{01-2} 、 T_{11-2} にそれぞれ接続される1対のデータバス線DB1-1、DB1-2が設けられている。これらの1対のデータバス線DB0-1、DB0-2及びDB1-1、DB1-2は、それぞれ1対のデータバス駆動回路DDR0-1、DDR0-2及びDDR1-1、DDR1-2により駆動される。つまり、各画素内の第1及び第2のサブ画素電極SPX1、SPX2は、データバス駆動回路によりデータバス線及び薄膜トランジスタを介して直接電圧を印加されて駆動される。

40

【0026】

画像信号Dinの入力階調は、階調変換回路30により第1及び第2の出力階調信号Dout1、Dout2に変換され、データレジスタ32にそれぞれラッチされる。データレジスタ32は、垂直方向の画素列毎に1対のレジスタREG0-1、REG0-2及びREG1-1、REG1-2を有し、それら

50

1 対のレジスタに、階調変換回路 30 により変換された第 1 及び第 2 の出力階調信号 $Dout_1, Dout_2$ がラッチされる。そして、ラッチされた第 1 及び第 2 の出力階調信号がデータバス駆動回路 $DDR0-1, DDR0-2$ に供給され、駆動電圧に変換されて、1 対のデータバス線 $DB0-1, DB0-2$ が駆動される。

【0027】

このように、本実施の形態では、各画素に 2 つのサブ画素電極を設け、それぞれのサブ画素電極に対してデータバス駆動回路 DDR から直接駆動信号を印加する。しかも、データバス駆動回路 DDR は、画像信号の入力階調に対して低い階調領域で低輝度から高輝度に変化させる第 1 の駆動信号を第 1 のサブ画素電極 $SPX1$ に印加し、画像信号の入力階調に対して高い階調領域で低輝度から高輝度に変化させる第 2 の駆動信号を第 2 のサブ画素電極 $SPX2$ に印加する。このように 2 つのサブ画素電極に印加する駆動信号を、入力画像信号 Din の入力階調に対してより低階調領域で立ち上がる第 1 の駆動信号と、より高い階調領域で立ち上がる第 2 の駆動信号とにすることで、2 つのサブ画素電極が生成する輝度特性を異ならせ、上 60 度方向からの中間階調領域での階調特性を改善することができる。以下、第 1 及び第 2 の駆動信号について説明する。

10

【0028】

図 11 は、本実施の形態におけるサブ画素電極に印加する駆動信号の電圧特性を示す図である。図 11 は、図 7 の電圧特性と比較しながら、横軸の入力階調に対応する印加電圧を基準にとると、第 1 のサブ画素電極に印加する第 1 の駆動信号 $DV1$ は、入力階調が低い領域で低電圧から高電圧に変化してサブ画素電極の透過率を立ち上げる特性を有する。一方、第 2 のサブ画素電極に印加する第 2 の駆動信号 $DV2$ は、入力階調が高い領域で低電圧から高電圧に変化してサブ画素電極の透過率を立ち上げる特性を有する。但し、第 1 及び第 2 のサブ画素電極による透過率に対応する輝度の合計が、液晶表示パネルの正面から見たとき理想的なガンマ特性になるように、第 1 及び第 2 の駆動信号 $DV1, DV2$ の特性が設定されている。

20

【0029】

図 11 に示されるように、第 1 の駆動信号 $DV1$ が印加される第 1 のサブ画素電極では、破線で示す上 60 度からの透過率は図 7 で説明したのと同じ歪み特性を有するが、その歪み特性に伴う正面方向の透過率との差は、サブ画素電極の面積が 1 : 1 とすると約半分に抑制される。更に、第 2 の駆動信号 $DV2$ が印加される第 2 のサブ画素電極でも、破線で示す上 60 度からの透過率は図 7 と同じ歪み特性を有するが、それも約半分に抑えられている。第 1 及び第 2 のサブ画素電極を上記の異なる第 1 及び第 2 の駆動信号で駆動するため、入力階調の低い領域では第 1 の駆動信号 $DV1$ による第 1 のサブ画素電極による透過率で、入力階調の高い領域では第 1 及び第 2 の駆動信号 $DV1, DV2$ による第 1 及び第 2 のサブ画素電極による透過率で輝度が生成される。その結果、上 60 度から見た透過率は、入力階調の 2 つの領域 $GS1, GS2$ でそれぞれ上記歪み特性の影響を受けるが、それぞれの歪みの程度は半減され、破線で示した上 60 度からの透過率特性は、実線で示した正面からの透過率特性により近い特性を有することになる。

30

【0030】

図 12 は、本実施の形態の液晶表示パネルにおける入力階調に対する輝度を示す図である。図 12 は、図 8 に対応する入力階調に対する輝度特性の図である。また、図 13 は、本実施の形態の液晶表示装置における階調変換テーブルを示す図である。図 13 において、横軸は入力階調 Din に対応し、縦軸は出力階調 $Dout$ と輝度 BR に対応する。図 10 で説明したように、本実施の形態の液晶表示装置では、階調変換回路 30 により入力画像信号 Din の入力階調が 2 つの出力階調 $Dout_1, Dout_2$ に変換される。第 1 の出力階調 $Dout_1$ は、入力階調 Din が低い階調領域で低階調から高階調に立ち上がる特性を有し、第 2 の出力階調 $Dout_2$ は、入力階調 Din が高い階調領域で低階調から高階調に立ち上がる特性を有する。特に、第 2 の出力階調 $Dout_2$ は、第 1 の出力階調 $Dout_1$ が最高出力階調に立ち上がった後で立ち上がる特性を有する。そして、これらの第 1 及び第 2 の出力階調 $Dout_1, Dout_2$ に対応する第 1 及び第 2 の駆動信号 $DV1, DV2$ が、データバス駆動回路 DDR により、第 1 及び第 2 の

40

50

サブ画素電極に印加される。つまり、入力階調Dinの増加に対応して、最初に、第1のサブ画素電極SPX1の輝度が上昇し最高輝度（最高透過率）に達し、その後、第2のサブ画素電極SPX2が点灯を開始して輝度が上昇し最高輝度に達する。

【0031】

図13における第1及び第2の階調変換テーブルDout1,Dout2は、液晶表示パネルの正面から見た輝度特性BRが理想的なガンマ特性になるように設定される。図13に示された変換特性DoutXは、入力階調Dinと出力階調Doutとが等しい場合の変換テーブルに対応する。そしてデータバス駆動回路DDRは、この出力階調Doutで単一の画素電極を駆動した時に、パネル正面での輝度特性BRが前記ガンマ特性になるように、出力階調を駆動信号（駆動電圧）に変換している。したがって、本実施の形態において、画素を2つのサブ画素電極に分割し、それぞれに異なる出力階調Dout1,Dout2に対応する駆動信号で駆動したとしても、パネル正面からの輝度特性BRは、理想的なガンマ特性になることが必要である。この輝度のガンマ特性は、図12にも特性として示されている。

【0032】

図12の入力階調に対する輝度の変化に示されるように、正面での輝度特性に対して、単一の画素電極を駆動した場合の上60度での輝度特性（通常60度）は、比較的低い入力階調領域では高い輝度特性を有し、高い入力階調領域において正面での輝度特性よりも低い輝度特性を有する。それに対して、2つのサブ画素電極に異なる出力階調の駆動信号を印加した場合における上60度での輝度特性（HT60度）は、通常60度の場合に比較すると理想的な輝度特性に近づいている。但し、図11でも説明したように、本実施の形態での輝度特性（HT60度）は、低い入力階調領域GS1と高い入力階調領域GS2とで、歪み特性による高輝度化現象が見受けられるものの、単一の画素電極駆動の特性（通常60度）よりも輝度特性は改善されている。

【0033】

図10の階調変換回路30は、入力階調Dinに対して、より高い分解能で2つのサブ画素電極に輝度を生成することができる出力階調Dout1,Dout2を生成する。複数のサブ画素電極によって画素の輝度を高精度に生成するためには、サブ画素電極の輝度をより高い分解能で生成することが必要になるからである。一般的に分解能を高めるためには、出力階調のビット数を入力階調よりも増やせば良い。しかし、分解能を高めた駆動回路ICはそれ自体コストアップを招くので好ましくない場合がある。その場合、階調変換回路30は、フレーム変調によりフレーム毎の出力階調を変調することが望ましい。つまり、フレーム変調によれば、同じ入力階調に対して例えば連続する4フレームにおける出力階調を異なることで、4フレームの輝度平均値の分解能を高めることができる。例えば、4フレームのうち1フレームのみ階調値を1つ増加することで、輝度平均は0.25上昇させることができる。

【0034】

図14は、第1の実施の形態における液晶表示パネルの具体的構成を示す平面図及び回路図である。図14には、図10の1つの画素PX00に対する構成が示され、同じ構成要素には同じ引用番号を与えている。図14(A)の平面図に示されるように、画素電極がスリットSLTにより3つに分割され、上下のサブ画素電極SPX1(1),SPX1(2)が、補助容量電極配線40にて接続されて単一の第1のサブ画素電極SPX1を構成する。また、中間のサブ画素電極が第2のサブ画素電極SPX2を構成する。各サブ画素電極SPX1,SPX2には、突起PJが設けられ、サブ画素電極に分割するスリットSLTと共に、液晶分子の配向方向を規制する。

【0035】

水平方向に延びるゲートバス線GB0は、スイッチング手段である薄膜トランジスタT00-1,T00-2のゲート電極として導通、非導通を制御する。一方、補助容量バス線CSB0は、画素電極の中央位置で水平方向に延びるように配置される。そして、補助容量電極40との間に補助容量を形成する。

【0036】

10

20

30

40

50

図14(B)は、画素の等価回路図であり、サブ画素電極SPX1,SPX2と共通電極COMとの間にそれぞれ画素液晶容量C1c1,C1c2が形成され、補助容量電極40と補助容量バス線CSB0との間に補助容量Cs1,Cs2が形成される。更に、ゲートバス線GB0と薄膜トランジスタのソース電極との間のゲート・ソース間容量Cgs1、Cgs2とが形成される。

【0037】

図15は、図14(A)の平面図の一部断面図であり、図14(A)の平面図の破線で示した位置Xの断面図である。TFT側基板1上にゲートバス線GB0と補助容量バス線CSB0とが形成され、その上にゲート絶縁膜44が形成されている。ゲート絶縁膜44の上には、薄膜トランジスタT00-1を形成するために、半導体のアモルファスシリコン層aSiと絶縁膜からなるチャネル保護層42と、データバス線DB0-1に接続されるドレイン電極Dと、ソース電極Sとが形成される。また、ゲート絶縁膜44の上には、補助電極バスCSB0とオーバーラップするように補助電極層40が形成されている。絶縁膜46上には、第1のサブ画素電極SPX1(1)と第2のサブ画素電極SPX2とがスリットSLTを介して配置されている。それらのサブ画素電極上には配向膜10が形成されている。一方、対抗基板2上には、カラーフィルタ層48と、共通電極層COMと、配向膜12とが形成され、配向膜10、12の間に液晶層16が形成されている。

10

【0038】

図15の断面図には、図14(B)で説明した画素液晶容量C1c1、C1c2と、補助容量Cs1と、ゲート・ソース間容量Cgsとが示されている。

【0039】

図14(B)に戻り、本実施の形態では、画素電極を2つのサブ画素電極SPX1,SPX2に分割している。それに伴い、各サブ画素電極でのフィードスルー電圧を等しくする必要がある。各サブ画素電極でのフィードスルー電圧を等しくするためには、第1と第2のサブ画素電極において、ゲートバス電極GB0とソース電極Sとの間のゲート・ソース間容量Cgs1、Cgs2と、液晶容量C1c1,C1c2と、補助容量Cs1,Cs2との比がほぼ等しくなるように構成することが必要である。即ち、 $Cgs1:C1c1:Cs1 = Cgs2:C1c2:Cs2$ となるように設計する。

20

【0040】

図16は、フィードスルー電圧を説明する図である。図16には、ゲートバス線GB0に印加するゲート電圧Vgと、データバス線DBに印加されるデータ電圧Vdとが示される。データ電圧Vdは、液晶分子の劣化を防止するために、フィールドF1,F2毎に共通電極の電圧Vcに対して逆極性になるよう制御される。つまり、フィールド期間F1の時はデータ電圧Vdを共通電圧Vcより正にし、フィールド期間F2の時はデータ電圧Vdを共通電圧Vcより負にしている。

30

【0041】

一方、データ電圧Vdが確定してからゲート電圧Vgは期間t1の間だけHレベルに立ち上げられる。それに伴って、画素電極に印加される画素電圧Vsは、太線で示されるように変化する。つまり、フィールド期間F1では、期間t1でゲート電圧Vgの立ち上がりと共に画素電圧Vsが立ち上がり、次の保持期間t2の間画素電圧Vsは維持される。次のフィールド期間F2では、期間t3でゲート電圧Vgの立ち上がりと共に画素電圧Vsは立ち下がり、次の保持期間t4の間画素電圧Vsは維持される。

40

【0042】

但し、ゲート電圧Vgが立ち上がった後にたち下がる時に、前述のゲート・ソース間容量Cgsによる容量カップリングで、画素電圧Vsは、ゲート電圧Vgのたち下がり電圧変化dVgの容量Cgs、C1c、Csの容量比の電圧dVc(=dVg×Cgs/(Cgs+C1c+Cs))だけ低下する。つまり、液晶分子の透過率を決める画素電圧Vsとコモン電極電圧Vcとの差は、正極性のときはデータ電圧Vdの1/2よりも小さくなり、逆極性のときはデータ電圧Vdの1/2電圧より大きくなる。このフィールドスルー電圧dVcを考慮して、コモン電極電圧Vcは、データ電圧Vdの1/2電圧Vmよりフィールドスルー電圧dVcだけ低くされている。

【0043】

そこで、本実施の形態では、第1及び第2のサブ画素電極SPX1,SPX2に、コモン電極電

50

圧 V_c に対する同様の画素電圧 V_c が与えられるようにするため、両サブ画素電極において、 $C_{gs1}:C_{lc1}:C_{s1} = C_{gs2}:C_{lc2}:C_{s2}$ となるように設計されている。

【 0 0 4 4 】

[第 1 の実施の形態の変形例 1]

図 1 7 は、第 1 の実施の形態における別の液晶表示装置の概略図である。この変形例では、水平方向の画素 $PX00, PX01$ に対して 1 対のゲートバス線 $GB0-1, GB0-2$ が設けられ、垂直方向の画素 $PX00, PX10$ に対して 1 本のデータバス線 $DB0$ が設けられている。そして、1 つの画素内の 2 つのサブ画素電極 $SPX1, SPX2$ は、スイッチング手段である薄膜トランジスタ $T00-1, T00-2$ を介して共通のデータバス線 $DB0$ に接続される。

【 0 0 4 5 】

図 1 0 の例と同様に、階調変換回路 3 0 は画像信号 Din の入力階調を第 1 及び第 2 の出力階調 $Dout1, Dout2$ に変換する。そして、水平同期期間の前半において、1 行分の第 1 の出力階調信号 $Dout1$ がレジスタ 3 2 にラッチされ、データドライブ回路 $DDR0, DDR1$ が第 1 の出力階調信号 $Dout1$ に対応するデータ電圧をデータバス線 $DB0, DB1$ に出力する。このとき、第 1 のゲートバス線 $GB0-1$ が駆動され、第 1 の薄膜トランジスタ群 $T00-1, T01-1$ が導通し、第 1 の出力階調信号 $Dout1$ に対応するデータ電圧が第 1 のサブ画素電極 $SPX1$ に供給される。次に、水平同期期間の後半において、1 行分の第 2 の出力階調信号 $Dout2$ がレジスタ 3 2 にラッチされ、データドライブ回路 $DDR0, DDR1$ が第 2 の出力階調信号 $Dout2$ に対応するデータ電圧を、データバス線 $DB0, DB1$ に供給する。このとき第 2 のゲートバス線 $GB0-2$ が駆動され、第 2 の薄膜トランジスタ群 $T00-2, T01-2$ を介して、データ電圧が第 2 のサブ画素電極 $SPX2$ に供給される。

【 0 0 4 6 】

次の水平同期期間においては、2 行目の画素群 $PX10, PX11$ に対して、上記と同様に、前半で第 1 の出力階調信号 $Dout1$ に対応するデータ電圧がデータドライブ回路 $DDR0, DDR1$ により出力され、第 1 のゲートバス線 $GB1-1$ の駆動により導通する第 1 の薄膜トランジスタ群 $T10-1, T11-1$ を介して第 1 のサブ画素電極 $SPX1$ に印加される。また、後半で、第 2 の出力階調信号 $Dout2$ に対応するデータ電圧がデータドライブ回路 $DDR0, DDR1$ により出力され、第 2 のゲートバス線 $GB1-2$ の駆動により導通する第 2 の薄膜トランジスタ群 $T10-2, T11-2$ を介して第 2 のサブ画素電極 $SPX2$ に印加される。

【 0 0 4 7 】

つまり、図 1 7 の液晶表示装置では、同じ水平同期期間内において、階調変換された第 1 及び第 2 の階調信号 $Dout1, 2$ に対応したデータ電圧が、時分割で第 1 及び第 2 のサブ画素電極 $SPX1, SPX2$ に印加される。この場合も、データドライブ回路 DDR が薄膜トランジスタを介してサブ画素電極 $SPX1, SPX2$ を直接駆動するので、駆動電圧を高くする必要がなく、階調変換回路 3 0 により生成される任意のデータ電圧をサブ画素電極に印加することができる。

【 0 0 4 8 】

[第 1 の実施の形態の変形例 2]

図 1 2、図 1 3 では、2 つのサブ画素電極の面積を 1 : 1 にし、入力画像信号の階調信号を変換した第 1 及び第 2 の出力階調信号 $Dout1, Dout2$ に対応する電圧を 2 つのサブ画素電極に印加した。しかし、図 1 1 に示されるように、入力階調が低い領域 $GS1$ での上 6 0 度からの輝度の歪みの割合は、入力階調が高い領域 $GS2$ での上 6 0 度からの輝度の歪みの割合よりも相対的に高くなる。つまり、低階調領域 $GS1$ では、理想的な正面での透過率に対する上 6 0 度での透過率の割合が数倍と高いのに対して、高階調領域 $GS2$ では、数 1 0 % と低い。そのため、低階調領域における輝度の歪みが強調されてしまう。そこで、サブ画素電極の面積を 1 : 2、1 : 3、1 : 6、1 : 9 などのように、入力階調が低い領域で点灯する第 1 のサブ画素電極の面積を入力階調が高い領域で点灯開始する第 2 のサブ画素電極の面積よりも小さくすることで、低階調領域での輝度の歪み程度を減らすことが有効である。

【 0 0 4 9 】

10

20

30

40

50

図18は、第1の実施の形態においてサブ画素電極の面積比を異ならせた場合の入力階調と輝度との関係を示す図である。図12と比較すると理解できるように、第1のサブ画素電極の面積を第2のサブ画素電極よりも小さくすると、低い入力階調領域GS1における上60度の輝度が理想的な正面の輝度BRに近づけることができる。その代わりに、高い入力階調領域GS2では、上60度の輝度が正面の輝度BRより遠のいている。つまり、第1のサブ画素電極の面積の割合を小さくするにしたがって、上60度の輝度は、低い入力階調領域で正面の理想状態に近づけることができる。

【0050】

図19はサブ画素電極の面積比1:2の場合の変換テーブルを、図20はサブ画素電極の面積比1:3の場合の変換テーブルをそれぞれ示す図である。第1及び第2のサブ画素電極の面積比を変更することに伴って、階調変換回路の変換テーブルも変更して、正面での入力階調と輝度のガンマ特性BRを維持する必要がある。図19の面積比1:2の変換テーブルは、図13の面積比1:1の変換テーブルと比較すると、入力階調信号Dinの増加に対応して、第1の出力階調信号Dout1はより低い入力階調領域で最大階調まで立ち上がり、第2の出力階調信号Dout2はより低い入力階調値から立ち上がっている。理由は、第1のサブ画素電極の面積が小さくなっているからである。同様に、図20の面積比1:3の変換テーブルは、入力階調信号Dinの増加に対応して、第1の出力階調信号Dout1は更に低い入力階調領域で最大階調まで立ち上がり、第2の出力階調信号Dout2は更に低い入力階調値から立ち上がっている。図19、図20の変換テーブルでは、共に、第1の出力階調信号が立ち上がった後に第2の出力階調信号が立ち上がるように設計されている。つまり、入力階調信号の増加に対して、第1のサブ画素電極が最初に点灯して最大輝度値まで変化し、その後、第2のサブ画素電極が点灯して最大輝度値まで変化する。そして、第1及び第2のサブ画素電極の輝度値の合計は、正面で理想的なガンマ特性BRを有するように設計される。

【0051】

図21は、第1の実施の形態における面積比を1:3のサブ画素電極の構成例を示す図である。この構成例は、第1のサブ画素電極SPX1と第2のサブ画素電極SPX2の面積比を1:3にし、両サブ画素電極SPX1、SPX2には、1対のデータバス線DB0-1、DB0-2と1対の薄膜トランジスタT00-1、T00-2を介して出力階調信号Dout1、Dout2に対応するデータ電圧がそれぞれ印加される。つまり、図21の構成例は、図10のデータドライバ回路、データバス線、ゲートバス線と同様の構成であり、サブ画素電極の面積比が異なっている。図21(A)の平面図によれば、第2のサブ画素電極SPX2は、3つの電極SPX2(1)、SPX2(2)、SPX2(3)により構成され、それぞれのサブ画素電極には、液晶分子の配向方向を規制する手段としてスリットが4方向に形成されている。図21(B)は、等価回路図である。

【0052】

図22は、第1の実施の形態における面積比を約2:1等にしたサブ画素電極の構成例を示す図である。この構成例は、図17のデータ電圧の時分割印加を行う構成例に対応するものであり、2つのサブ画素電極SPX1、SPX2に対してデータバス線DB0は共通に1本設けられ、2つのサブ画素電極SPX1、SPX2の薄膜トランジスタT00-1、T00-2がゲートバス線GB0-1、GB0-2によりそれぞれ時分割で駆動される。図22(A)の例は、第1及び第2のサブ画素電極SPX1、SPX2が共通の補助容量バス先CSB0と重なるように形成されている。図22(B)の例は、第1のサブ画素電極SPX1の一部が第2のサブ画素電極SPX2に対応する第2のゲートバス線GB0-2に領域50で重なるように形成されて、開口率を高めている。画素電極は、前述したフィードスルー電圧を抑制するために、対応するゲートバス線とは重ならないようにレイアウトされる。つまり、ゲートバス線と画素電極との間の容量が増加すると、フィードスルー電圧が大きくなるからである。図22(B)の例では、第1のサブ画素電極SPX1が、他のサブ画素電極SPX2の駆動に利用されるゲートバス線GB0-2に領域50で重ねられているので、フィードスルー電圧が大きくなることはない。

【0053】

図22(C)の例では、第1及び第2のサブ画素電極SPX1、SPX2が、それぞれ相手側の

ゲートバス線GB0-2,GB0-1に領域5 2, 5 3で重ねられて、全体の開口率を高くしている。それに伴って、補助容量バス線CSB0-1,CSB0-2それぞれ第1、第2のサブ画素電極SPX1, SPX2にオーバーラップして配置されている。図2 2 (D)の例は、第1のサブ画素電極SPX1のみがゲートバス線GB0-2に重ねられている。また、図2 2 (E)の例は、第1及び第2のサブ画素電極SPX1,SPX2はゲートバス線に重ねられていない例である。

【0054】

図2 3は、第1の実施の形態におけるサブ画素電極の変形例を示す図である。図2 3 (A)の変形例では、垂直方向に隣接する1対の画素が、それぞれの第1のサブ画素電極SPX1を有し、第2のサブ画素電極SPX2を共有する。それに伴って、共有する第2のサブ画素電極SPX2に対してサブゲートバス線SGB0と薄膜トランジスタを有する。また、データバス線DB0は、これらのサブ画素電極に対して共通に1本設けられる。2つの第1のサブ画素電極と共有される第2のサブ画素電極には、垂直方向に隣接する画素に対する入力階調信号を変換して求められる3つの出力階調信号に対応するデータ電圧が印加される。図2 3 (B)の変形例では、更に、第1のサブ画素電極が面積が異なる2つの電極SPX1-1,SPX1-2に分割され、共通の第2のサブ画素電極も面積が異なる2つの電極SPX2-1,SPX2-2に分割されている。それに伴って、1対のデータバス線DB0-1,DB0-2が設けられている。したがって、この例では、垂直方向に隣接する画素の入力階調信号を変換して6つの出力階調信号が生成され、それぞれ対応するサブ画素電極に印加される。

【0055】

図2 4は、図2 3 (A)のサブ画素電極を駆動するための画像信号処理回路を示す図である。入力画像信号Dinは、セレクタ5 2を介してラインメモリ5 5, 5 6に格納される。例えば、n行目の入力画像信号Dinはラインメモリ5 5に格納され、n + 1行目の入力画像信号Dinはラインメモリ5 6に格納される。2行分の入力画像信号Dinがラインメモリに格納されると、合成回路5 8が各列の入力画像信号の平均値を求める。この合成された入力画像信号SDinが、階調変換回路3 0にて3つの出力階調信号Dout1,2,3に変換される。この階調変換回路の変換テーブルは、出力階調信号Dout1,2で画素PX00に必要な輝度特性が得られるように、また、出力階調信号Dout2,3で画素PX10に必要な輝度特性が得られるようにそれぞれ設定されている。

【0056】

変換された出力階調信号Dout1,2,3は、それぞれ駆動レジスタ32(n),32(ns),32(n+1)に格納され、駆動回路DDR0は、それらの出力階調信号に対応するデータ電圧でデータバス線DB0を順次駆動する。この駆動に対応して、ゲートバス線GB0,SGB0,GB1が順次駆動され、対応するトランジスタが導通制御される。つまり、2水平同期期間において、3本のゲートバス線が順次駆動されることになる。

【0057】

上記の変形例は、隣接する画素で第2のサブ画素電極を共有することで、液晶表示パネルの構成を簡単化することができる。つまり、2つの画素を3つのサブ画素電極で構成しているので、1つの画素を2つのサブ画素電極で構成するよりもサブ画素電極の数が少なくなり、それに伴って薄膜トランジスタの数が少なくなり、開口率の低下を抑制し、パネル構造も簡単化されるというメリットがある。

【0058】

[第2の実施の形態]

図2 5は、第2の実施の形態における液晶表示装置の入力階調と輝度との関係を示す図である。第2の実施の形態における液晶表示パネルの構成は、第1の実施の形態と同様に、画素電極を複数のサブ画素電極に分割し、それぞれに入力階調信号を階調変換した出力階調信号に対応するデータ電圧を印加する。第1の実施の形態では、第1のサブ画素電極を小さく、第2のサブ画素電極を大きくした。つまり、第1、第2のサブ画素電極の面積比を1 : 2、1 : 3等にした。その場合、第1のサブ画素電極には、入力階調信号が低い階調領域で最小階調から最大階調に立ち上がる第1の出力階調信号Dout1に対応する電圧を印加し、その低い階調領域では第2の出力階調信号Dout2は最小階調のままとし、更に

10

20

30

40

50

、入力階調信号が高い階調領域において最小階調から最大階調に立ち上がる第2の出力階調信号Dout2に対応する電圧を、第2のサブ画素電極に印加した。このようにすることで、図18に示したように、比較的低い入力階調領域において、上60度の輝度が正面の輝度BRに近づき、上60度の画像のウォッシュアウト現象を抑えることができる。この輝度特性は、図25にも面積比1:2、1:3の特性として示されている。しかしながら、この輝度特性によると、入力階調信号が高い階調領域では、上60度での輝度が正面の輝度BRよりも極端に高くなる。

【0059】

一方で、第1、第2のサブ画素電極の面積比を2:1、3:1のように第1のサブ画素電極を第2のサブ画素電極よりも大面積にした場合は、図25に示されるように、当然にして、入力階調信号が高い階調領域で、上60度の輝度が正面の輝度BRに近づくことになる。つまり、面積比を逆にすることで、比較的高い階調領域でのハーフトーンの輝度を理想的な値BRに近づけることができる。

10

【0060】

そこで、第2の実施の形態では、入力階調信号が比較的低い第1の階調領域では、第1（小面積）のサブ画素電極と第2（大面積）のサブ画素電極には、低階調領域で輝度値が最大になる高輝度出力階調信号と低階調領域で輝度値が最小のままの低輝度出力階調信号とをそれぞれ適用し、入力階調信号が比較的高い第2の階調領域では、第1（小面積）のサブ画素電極と第2（大面積）のサブ画素電極には、上記と逆の低輝度出力階調信号と高輝度出力階調信号とを適用する。つまり、第1、第2のサブ画素電極が1:2の面積比であれば、図25中の黒丸の輝度特性と白丸の輝度特性とを入力階調152で切り換えて、入力階調が0-152では、面積比1:2の輝度特性を利用し、入力階調153-255では、面積比2:1の輝度特性を利用する。あるいは、第1、第2のサブ画素電極が1:3の面積比であれば、図25中の黒三角の輝度特性と白三角の輝度特性とを入力階調126で切り換えて、入力階調が0-126では、面積比1:3の輝度特性を利用し、入力階調126-255では、面積比3:1の輝度特性を利用する。

20

【0061】

図26は、第2の実施の形態における階調変換回路の変換テーブル例を説明する図である。また、図27は、第2の実施の形態における階調変換回路の変換テーブル例を示す図である。いずれもサブ画素電極の面積比が1:2の場合の例である。図26に示されるように、第1、第2のサブ画素電極の面積比が1:2で、第1（小面積）のサブ画素電極に高輝度出力階調信号を第2（大面積）のサブ画素電極に低輝度出力階調信号を適用するとすると、高輝度出力階調信号Dout1は、図26に示されるように入力階調信号Dinが0-135程度までに最小階調値0から最大階調値255まで立ち上がり、低輝度出力階調信号Dout2は、図26に示されるように、入力階調信号Dinが136-255の間に最小階調値0から最大階調値255まで立ち上がる。これにより、正面からの輝度特性BRは理想的なガンマ特性になる。

30

【0062】

一方で、第1、第2のサブ画素電極の面積比が2:1で、第2（大面積）のサブ画素電極に高輝度出力階調信号Dout3を、第1（小面積）のサブ画素電極に低輝度出力階調信号Dout4を適用すると、高輝度出力階調信号Dout3は、入力階調信号Dinが0-200程度までに最小階調値0から最大階調値255まで立ち上がり、低輝度出力階調信号Dout4は、入力階調信号Dinが201-255の間に最小階調値0から最大階調値255まで立ち上がる。これも、正面からの輝度特性BRを理想的なガンマ特性にするためである。

40

【0063】

そこで、図25の黒丸と白丸の輝度特性とが交差する入力階調152の両側で、出力階調信号Dout1,Dout2を、Dout3,Dout4に切り換えることで、面積比1:2と2:1における輝度特性のうち、理想的正面輝度特性BRに近い2つの特性を組み合わせることができる。

【0064】

図27は、第2の実施の形態における階調変換回路の変換テーブル例である。上記の2

50

つの輝度特性領域を得るために、変換テーブルは、図 2 6 に示した 4 つの変換テーブルを組み合わせで構成される。このテーブルでは、小面積のサブ画素電極と大面積のサブ画素電極に対して、階調値 1 5 2 以下の低入力階調領域では出力階調信号DoutS,DoutL(図 2 6 の出力階調信号Dout1,Dout2)を適用し、階調値 1 5 2 を超える高入力階調領域では出力階調信号DoutS,DoutL(図 2 6 のDout4,Dout3)を適用する。これにより、入力階調信号が 0 - 1 5 2 では、図 2 5 の面積比 1 : 2 の輝度特性(黒丸)が採用され、入力階調信号が 1 5 3 - 2 5 5 では、図 2 5 の面積比 2 : 1 の輝度特性(白丸)が採用されることになる。図 1 0、図 1 7 の階調変換回路 3 0 が、図 2 7 の変換テーブルを参照して、小面積のサブ画素電極用の出力階調信号DoutSと大面積のサブ画素電極用の出力階調信号DoutLとを生成する。

10

【 0 0 6 5 】

図 2 8 は、第 2 の実施の形態における入力階調と輝度との関係を示す図である。つまり、図 2 8 の黒丸の特性は、図 2 5 の黒丸と白丸とを組み合わせた輝度特性である。図 2 8 からわかるとおり、低入力階調領域においてもある程度理想的な輝度特性BRに近づけることができ、高入力階調領域においても理想的な輝度特性BRに近づけることができる。単一の画素電極を利用した時の上 6 0 度の特性(通常 6 0 度)に比較して、全入力階調領域において 2 つのサブ画素電極の輝度特性を切り換えるようにした第 2 の実施の形態の輝度特性(図 2 8 の黒丸)のほうが、理想的な正面の輝度特性BRにより近づいていることが理解される。

【 0 0 6 6 】

図 2 9 は、第 2 の実施の形態における変形例の輝度特性である。この変形例では、白三角の特性に示されるように、画素電極を面積比 1 : 2 : 4 のサブ画素電極に分割し、それらのサブ画素電極に適用する出力階調信号の変換テーブルを 7 種類組み合わせている。つまり、入力階調信号の増加に対応して、点灯中のサブ画素電極の面積の合計が、1, 2, 3, 4, 5, 6, 7, 8 の比率で上昇するように印加電圧を制御する。図示されるように、白三角の輝度特性は、正面の理想的な輝度のガンマ特性BRに近いものとなる。

20

【 0 0 6 7 】

図 3 0 は、図 2 9 のサブ画素電極を 1 : 2 : 4 に分割した場合の階調変換回路の変換テーブル例である。入力階調Dinの 7 つの領域において、面積比 1 の最小サブ画素電極用の出力階調信号DoutSと、面積比 2 の中間サブ画素電極用の出力階調信号DoutMと、面積比 4 の最大サブ画素電極用の出力階調信号DoutLとが、2 進数的に交互に、高くなり又は立ち上がる。そして、領域AR1~AR7の境界において、透過率の高いサブ画素電極が切り換えられる。つまり、最も入力階調Dinが低い領域AR1では、最小サブ画素電極用出力階調信号DoutSのみが立ち上がり、次の領域AR2では、中間サブ画素電極用出力階調信号DoutMのみが立ち上がり、次の領域AR3では、出力階調信号DoutSとDoutMとが高い値になり、次の領域AR4では最大サブ画素電極用出力階調信号DoutLのみが立ち上がり、領域AR5では出力階調信号DoutLに加えてDoutSも立ち上がり、領域AR6では出力階調信号DoutL,DoutMが立ち上がり、領域AR7ではそれらに加えて出力階調信号DoutSが立ち上がる。いずれの場合も、正面からの合計輝度が理想的な輝度BRに等しくなるようにそれぞれの出力階調値が設定される。

30

【 0 0 6 8 】

但し、図 2 9、図 3 0 のようにサブ画素電極の数を増やすことは、データバス線やゲートバス線の数を増やすことになり、液晶表示パネルの構成を複雑化させるというデメリットもある。したがって、輝度特性のメリットとパネル構造の複雑化というデメリットが釣り合うところで構成が最適化されることが望ましい。

40

【 0 0 6 9 】

[第 3 の実施の形態]

図 3 1 は、第 3 の実施の形態におけるサブ画素電極の構成例を示す模式図である。この例では、各画素が第 1 及び第 2 のサブ画素電極PSX1,PSX2に分割されていて、その面積比は 1 : 2 の組み合わせと 1 : 3 の組み合わせとが混在している。つまり、行方向において、面積比 1 : 3 の画素PXaと面積比 1 : 2 の画素PXbとが交互に配置されている。この場合

50

において、データバス線は各列 2 本構成にしてもよく、各列 1 本のデータ線で各行 2 本のゲートバス線構成にしてもよい。

【0070】

第 1 の実施の形態における輝度特性図 18 に示されるように、小面積の第 1 のサブ画素電極に低入力階調領域で最大階調になる高輝度出力階調信号を適用し、大面積の第 2 のサブ画素電極に高入力階調領域で最小階調から立ち上がる低輝度出力階調信号を適用した場合、例えば、白三角（サブ画素電極の面積比 1 : 3）の輝度特性では、低入力階調領域と高入力階調領域とに 2 分化された特性になる。つまり、上 60 度の輝度特性は、小面積のサブ画素電極が最大輝度になった後で大面積のサブ画素電極の点灯が開始するため、大面積のサブ画素電極が輝度を増加していくときに急激な輝度の増大を招く。そのため、2 値化された画像が上 60 度から観察されることになる。

10

【0071】

このような 2 値化画像を抑制するためには、小面積のサブ画素電極が最大輝度になるまえから大面積のサブ画素電極の点灯を開始するようにすれば良い。しかし、この方法は、小面積のサブ画素電極による最大輝度と大面積のサブ画素電極の最小輝度の状態を排除することになり、上 60 度の画像が正面画像の輝度に近づくという効果のある程度犠牲にすることになる。

【0072】

そこで、第 3 の実施の形態では、図 31 に示すように、サブ画素電極の面積比が異なる画素を混在させることで、図 18 の面積比 1 : 2 の特性（x）と面積比 1 : 3 の特性（白三角）との平均化された輝度特性にすることができ、ハーフトーン領域において輝度の急激な増加を抑制して、画像の 2 値化現象を抑制することができる。

20

【0073】

図 32 は、第 3 の実施の形態の変形例であり、面積比 1 : 3 の画素 PXa と 1 : 2 の画素 PXb とを千鳥格子に配置している。つまり、行方向と列方向で画素 PXa と画素 PXb とが交互に配置される。このようにすることで、両画素が混在することを目立ちにくくすることができる。

【0074】

図 33 は、第 3 の実施の形態の別の変形例であり、画素 PXa と PXb とを隣接する RGB の画素群毎に交互に配置している。

30

【0075】

[第 4 の実施の形態]

第 4 の実施の形態では、第 2 の実施の形態を変形させたものであり、RGB の入力画像信号の入力階調を比較し、その大小関係に基づいて、階調変換回路の変換テーブルを切り換える。つまり、最も高い入力階調を有する色の画素には、サブ画素電極の階調差が最小になる変換テーブルを使用し、最も低い入力階調を有する色の画素には、サブ画素電極の階調差が最大になる変換テーブルを使用する。これにより、斜め方向（上 60 度）の画像における RGB の色の輝度差を、正面の画像の RGB の色の輝度差と同じ関係にすることができ、斜め方向の画像を正面の画像に近づけることができる。

【0076】

図 34 は、第 4 の実施の形態の原理を説明するための図である。この図では、横軸が小面積のサブ画素電極の輝度に、縦軸が大面積のサブ画素電極の輝度にそれぞれ対応する。そして、グラフの背景はパネル正面での輝度分布を示す。2 つのサブ画素電極の輝度が、画像信号の入力階調の増加に対応して同時に増大するような変換テーブルが使用された場合、両サブ画素電極の輝度の変化は、図 34 のグラフの原点 (0,0) から最大輝度 (255,255) を結ぶ直線になる。つまり、単一の画素電極に対して入力階調の増大に伴って出力階調も増大して輝度も増大するような駆動制御と同等である。

40

【0077】

それに対して、斜め方向（上 60 度）の画像のハーフトーン領域における歪み特性を抑制するためには、上記の原点 (0,0) から最大輝度 (255,255) を結ぶ直線からできるだけ遠く

50

離した特性を両サブ画素電極に与えることが好ましい。このような観点から、図 27 の変換特性では、図 34 のパターン A のように、入力階調の増大に対応して、最初に小面積のサブ画素電極の輝度を立ち上げ、それが終了してから大面積のサブ画素電極の輝度を立ち上げ、入力階調が 152 を境界として、大面積のサブ画素電極の輝度を最大に立ち上げ、それが終了してから小面積のサブ画素電極の輝度を立ち上げている。この場合の、入力階調に対する輝度の特性は、図 35 のパターン A (白三角) の特性になっている。

【0078】

図 34 には、パターン A に加えてパターン B, C の輝度特性が示され、図 35 には、パターン A, B, C の場合の入力階調に対する輝度の特性が示されている。図 35 では、横軸が入力階調、縦軸が正規化された輝度値に対応している。

10

【0079】

図 36 は、パターン B の変換テーブルを構成する 4 つのテーブル例を示す図である。パターン B では、面積率 1 : 2 のサブ画素電極に対して、第 1 の出力階調信号 Dout1 が最小出力階調から最大出力階調に立ち上がる時に、同時に第 2 の出力階調信号 Dout2 がある程度の出力階調まで立ち上がるようにし、更に、第 3 の出力階調信号 Dout3 が最大出力階調になるまえに第 4 の出力階調信号 Dout4 が立ち上がり始めるような変換特性にする。図 26 に示したパターン A の出力階調信号と比較すると、パターン B の出力階調信号では、第 1 の出力階調信号 Dout1 の傾きがより小さくなっているため、それに伴って、正面で理想的な輝度特性を確保するために、第 2 の出力階調信号 Dout2 が低い入力階調 Din 領域から立ち上がっている。つまり、パターン A と比較すると、パターン B の場合は、同じ入力階調 Din に対して、第 1 の出力階調信号 Dout1 と第 2 の出力階調信号 Dout2 との差がより小さくなり、2 画素合計の階調特性 DoutX により近づく特性を有する。同様に、パターン B の場合、第 3 の出力階調信号 Dout3 と第 4 の出力階調信号 Dput4 との差が、パターン A に比較すると、より小さくなっている。

20

【0080】

そして、これらの 4 つの変換テーブルを、第 2 の実施の形態の図 27 のようにある入力階調値の低階調領域と高階調領域とで切り換える。このような変換モードであれば、図 27 の変換テーブルを採用した場合のように、サブ画素電極の輝度差が最大になることはなく、図 11 の第 1 の階調領域 GS1 と第 2 の階調領域 GS2 とがオーバーラップして、全ての入力階調領域において、斜め (上 60 度) の画像の輝度が正面の画像の輝度よりも高

30

【0081】

図 38 に、図 36 の 4 つの変換テーブルを組み合わせたパターン B における階調変換回路の変換テーブル例が示される。低い第 1 の入力階調領域では、出力階調信号 Dout1, Dout2 が、小面積サブ画素電極用出力階調信号 DoutS、大面積サブ画素電極用出力階調信号 DoutL として採用され、第 1 の入力階調領域より高い第 2 の入力階調領域では、出力階調信号 Dout3, Dout4 が、大面積サブ画素電極用出力階調信号 DoutL、小面積サブ画素電極用出力階調信号 DoutS として採用されている。このように、図 36 の 4 つの変換テーブルを組み合わせた図 38 の変換テーブルを使用することで、図 35 のパターン B の輝度特性 B (白四角) を得ることができる。このパターン B を採用した場合には、図 34 に示されるように、両サブ画素電極の輝度値の変化は、パターン A よりも対向線に近づいている。また、図 35 に示されるように、入力階調のハーフトーン領域 (中間階調領域) において、正面の画像の輝度値 BR よりも輝度値が高めに推移する。

40

【0082】

図 37 は、パターン C の変換テーブルを構成する 4 つのテーブル例を示す図である。このパターン C での第 1 及び第 2 の出力階調信号 Dout1, Dout2 の関係、第 3 及び第 4 の出力階調信号 Dout3, Dout4 の関係は、図 36 のパターン B と同様である。つまり、パターン A, B に比較して、図 37 のパターン C では、同一の入力階調に対する第 1 及び第 2 の出力階調信号 Dout1, Dout2 の差がより小さく、同様に、同一の入力階調に対する第 3 及び第 4 の出力階調信号 Dout3, Dout4 の差もより小さくなっている。つまり、サブ画素合計の特性 D

50

outXにより近づいている。

【0083】

図39に、図37の4つの変換テーブルを組み合わせたパターンCにおける階調変換回路の変換テーブル例が示される。小面積サブ画素電極用出力階調信号DoutSと大面積サブ画素電極用出力階調信号DoutLとの組み合わせ方は、図27、図38と同じである。図39の変換テーブルを使用することで、図35の輝度特性C(白丸)を得ることができる。このパターンCでは、図34に示されるように、パターンA, Bよりも対向線により近づいている。また、図35に示されるように、パターンCは、入力の一フートン領域において、正面の画像BRやパターンA, Bよりも輝度値が高めに推移し、より通常60度の特性(黒四角)に近づいている。

10

【0084】

このように、変換テーブルのパターンA, B, Cを比較すると、斜め(上60度)からの画像の輝度は、 $A < B < C$ の順番で大きくなる。

【0085】

図35に示されたパターンAの輝度特性では、入力の一フートン(中間階調)領域、特に低い入力階調領域において、入力階調の差に対して十分な輝度差を生成することができない。つまり、斜め(上60度)の画像A(白三角)では、正面の画像BRと比較して、低階調領域において入力階調に対する輝度の変化量が少ない。そのため、ややウオッシュアウトした画像が斜めから観察される。これを抑制するために、第4の実施の形態では、RGBの入力階調を比較し、最も高い入力階調値を有する色に対してはパターンC(白丸、輝度大)の階調変換テーブルを採用し、中間の入力階調値を有する色に対してはパターンB(白四角、輝度中)の階調変換テーブルを採用し、最も低い入力階調値を有する色に対してはパターンA(白三角、輝度小)の階調変換テーブルを採用する。つまり、入力階調値の大小に応じて階調変換テーブルを異ならせる。こうすることで、斜め(上60度)の画像に、RGBの入力階調値の差に対応した出力階調値の差を再現することができ、斜め(上60度)方向から観察される画像の輝度値の差を正面の画像の輝度値の差と同様にすることができ、当該斜め方向の画質を高めることができる。

20

【0086】

図40は、第4の実施の形態における階調変換回路の構成図である。階調変換回路30は、RGBの入力階調信号Rin, Gin, BinをそれぞれRGBの出力階調信号Rout, Gout, Boutに変換するが、それぞれの入力階調値を比較して、パターンA, B, Cに対応する変換テーブルLUTA, LUTB, LUTCのいずれかを使用して階調変換を行う。

30

【0087】

図41及び図42は、階調変換回路による変換テーブルの選択例を示す図である。一例として、図41及び図42(A)に示されるように、7カ所の表示領域でのRGBの階調例では、ブルーBの階調は常に最小値、レッドRとグリーンGの階調はそれぞれ異なる関係の場合について説明する。

【0088】

図41及び図42(B)に示されるように、ケース1では、レッドRが最大、グリーンGが2番目、ブルーBが最小の関係にあるので、レッドRの入力階調信号Rinは、最も輝度が高い変換特性を有するパターンCの変換テーブルLUTCに基づいて出力階調信号Routに変換され、グリーンGの入力階調信号Ginは、2番目に輝度が高い変換特性を有するパターンBの変換テーブルLUTBに基づいて出力階調信号Goutに変換され、ブルーBは最も小さい輝度の変換特性を有するパターンAの変換テーブルLUTAに基づいて変換される。ケース2, 3もケース1と同じであり、レッドR、グリーンG、ブルーBには、変換テーブルLUTC, LUTB, LUTAが使用される。

40

【0089】

ケース4では、レッドRとグリーンGとがほぼ同じ入力階調であるため、それらには2番目の輝度を有する変換特性の変換テーブルLUTBが使用され、ブルーBには変換テーブルLUTAが使用される。

50

【 0 0 9 0 】

ケース 5 , 6 , 7 では、グリーン G が最大入力階調であるので変換テーブル LUTC が、レッド R は 2 番目の入力階調であるので変換テーブル LUTB が、ブルー B は最小入力階調であるので変換テーブル LUTA がそれぞれ使用される。

【 0 0 9 1 】

図 4 2 (C) は、レッド R とグリーン G との入力階調差が所定の範囲の場合に同一入力階調とみなして、2 番目の輝度の変換テーブル LUTB を使用する例である。それ以外は図 4 2 (B) と同じである。

【 0 0 9 2 】

以上のように、R G B の 3 色の入力階調値を比較して、より高い入力階調を有する色の入力階調をより高い輝度に変換される変換テーブルを利用して階調変換することで、3 色の入力階調値の大小関係と同じ輝度値の大小関係を表現することができ、斜め画像の画質を正面の画像の画質に近いものとする事ができる。

【 0 0 9 3 】

図 4 3 は、階調変換回路 3 0 の変換テーブル選択アルゴリズムを示すフローチャート図である。同じ画素における R G B の入力階調データを比較し (S10)、変換対象の色の入力階調データが最大か最小か 2 番目かを判断する (S12, S14)。2 番目の場合は、階調差に対して輝度差が中程度の変換テーブル LUTB が選択される (S16)。また、最大の場合は、他に同じ入力階調を有する色の入力階調データが存在しなければ (S18)、輝度差最大のテーブル LUTC が選択され (S20)、存在する場合は輝度差中程度の変換テーブル LUTB が選択される (S16)。同様に、最小の場合は、他に同じ入力階調を有する色の入力階調データが存在しなければ (S22)、輝度差最小の変換テーブル LUTA が選択され (S24)、存在すれば輝度値中程度の変換テーブル LUTB が選択される (S16)。

【 0 0 9 4 】

階調変換回路 3 0 は、かかるアルゴリズムにより各色の変換テーブルを選択し、その変換テーブルに基づいて入力階調信号を出力階調信号に変換する。そのため、斜め画像において、入力階調差に対応した輝度差を有するカラー画像を形成することができる。

【 0 0 9 5 】

[第 5 の実施の形態]

第 1 ~ 第 5 の実施の形態では、垂直配向タイプ (VA) の液晶表示装置において、画素を複数のサブ画素電極で構成し、各サブ画素電極をデータバス線とスイッチング素子を介して直接駆動し、入力画像信号を変換テーブルによって第 1、第 2 の出力階調に変換し、当該第 1、第 2 の出力階調に対応する第 1 及び第 2 の駆動信号でサブ画素電極を駆動する。これにより、パネルの上方斜め方向から見た画像の画質を改善して視角特性を改善する。

【 0 0 9 6 】

しかしながら、画素をサブ画素電極に分割したことに伴い、サブ画素電極を離間する必要がある。開口率の低下を防止するためには、サブ画素電極間の間隔をできるだけ狭くできるようにスリットを介してサブ画素電極を配置することが望ましい。このようなスリットは、図 4 で説明したように垂直配向タイプの配向規制機能を持ち、マルチ垂直配向 (MVA) タイプの液晶表示パネルの実現に寄与する。ところが、サブ画素電極間のスリットは、配向規制機能を持たせるためにはある程度の距離を確保する必要があり、通常は、画素の液晶層の厚みの 3 倍程度が必要になる。そのため、MVA タイプの液晶表示パネルでは、サブ画素電極をスリットにより分割して視角特性を改善しようとする、開口率の低下を招くことになる。

【 0 0 9 7 】

そこで、第 5 の実施の形態では、スリットを介して隣接するサブ画素電極に逆極性の駆動電圧を印加して、スリット幅を狭くしても十分な配向規制機能を有することができるようにする。

【 0 0 9 8 】

図 4 4 は、第 5 の実施の形態におけるサブ画素電極間のスリットを説明する図である。

図 4 4 (A) は、MVA タイプの液晶表示パネルの断面図であり、基板 1 上にスリットを介して第 1、第 2 のサブ画素電極 SPX 1, SPX 2 が設けられ、基板 2 上に共通電極 COM が設けられている。スリット長 SL は、画素の液晶層 4 の厚さの 3 倍程度に設定されている。そして、共通電極 COM に対して第 1、第 2 のサブ画素電極 SPX 1, SPX 2 に同極性の駆動電圧が印加されると、矢印で示すような電界が液晶層 4 に印加される。スリット長 SL を十分に長くすることで、スリット上の電界方向がスリット中心の液晶分子 LCX を境に左右方向に強く傾斜することになり、左右の垂直配向している液晶分子に斜め方向の電界が印加され、液晶分子 LCX の右側の液晶分子は右側方向に配向し、左側の液晶分子は左方向に配向する。また、スリット中心の液晶分子 LCX は垂直方向に強く配向される。

10

【 0 0 9 9 】

ところが、図 4 4 (B) に示されるように、スリット長 SL を狭くすると、スリット上の電界方向の傾斜が小さくなり、スリット中心付近の垂直方向の電界が弱くなり、図 4 4 (A) のような垂直方向に規制される液晶分子 LCX が存在しなくなる可能性がある。そのため、スリットによる配向規制効果が弱くなる。それにともない、図 4 4 (C) に示すように、液晶層 4 に圧力が加えられるなどにより液晶分子の配向が一旦乱れると、スリットによる配向規制効果が弱いため、液晶分子が元の配向方向に復元できず、透過率のムラが生じる。

【 0 1 0 0 】

そこで、第 5 の実施の形態では、図 4 4 (D) に示されるように、サブ画素電極 SPX 1, SPX 2 に、共通電極 COM に対して逆極性の駆動電圧を印加する。図の例では、共通電極 COM に 0 V、サブ画素電極 SPX 1 に + 5 V、サブ画素電極 SPX 2 に - 5 V を印加している。このように、逆極性の駆動電圧を印加することにより、スリット上の液晶層 4 内の電界方向は、液晶層 4 の膜厚方向と直交する水平方向になり、この水平方向の電界によりスリット中央部の液晶分子 LCX が垂直方向に強く規制される。そして、この液晶分子 LCX を境にして、左右の液晶分子は、それぞれ左右に傾斜した配向規制を強く受けることになり、配向規制機能を強化することができる。かかる逆極性の印加により、サブ画素電極間のスリットに強い配向規制能力を持たせつつ、そのスリット長 SL を狭くすることができる。そのため、画素内の複数のサブ画素電極間のスリットを狭くして、開口率の低下を抑制することができる。

20

30

【 0 1 0 1 】

図 4 5 は、第 5 の実施の形態におけるサブ画素電極の構造図である。図 4 5 には 2 つの画素が示され、この例は、図 1 7、図 2 2 (A) (B) に示した構成と類似する。すなわち、各画素は 2 つのサブ画素電極 SPX 1, SPX 2 で構成され、各画素の 2 つのサブ画素電極 SPX 1, SPX 2 に対して共通のデータバス線 DB 0、DB 1 が設けられ、各画素の 2 つのサブ画素電極 SPX 2, SPX 1 に対してそれぞれ、ゲートバス線 GB 0-1, GB 0-2 と、スイッチング素子 T00-1, T00-2, T01-1, T01-2 とが設けられる。

【 0 1 0 2 】

図 4 5 の例では、第 1 のサブ画素電極 SPX 1 が第 2 のサブ画素電極 SPX 2 より面積が小さく、両サブ画素電極は、第 1 のスリット SLT 1 を介して配置されている。また、第 2 のサブ画素電極 SPX 2 には、第 1 のスリット SLT 1 よりスリット幅が広い第 2 のスリット SLT 2 が形成されている。更に、第 1、第 2 のサブ画素電極 SPX 1, SPX 2 上には、図 3, 4 で示した突起 PJT が図中破線で示すように形成されている。これらの第 1、第 2 のスリット SLT 1, SLT 2 と突起 PJT は、液晶の配向方向を規制する配向規制手段であり、それらは水平方向と垂直方向に対して約 4 5 度の角度を有する。これにより、これらの配向規制手段を境界にして、液晶分子が反対方向に配向規制され、画素内の液晶分子の配向方向が複数方向に規制される。

40

【 0 1 0 3 】

なお、図示しないが、基板 1, 2 には偏光軸が 9 0 度で交差する偏光板がそれぞれ設けられている。そして、駆動電圧がゼロで液晶分子が垂直方向に配向していると全ての偏光

50

方向の透過光が両偏光板で遮断され、ブラック表示となる。それに対して、駆動電圧が印加されて液晶分子が斜め方向に傾くと、透過光の偏光方向が90度回転し、透過光は両偏光板を透過し、ホワイト表示となる。従って、配向規制手段となるスリットの方法は、両偏光板の偏光軸と90度の約半分の角度(45度)で交差することが必要である。

【0104】

第1、第2のサブ画素電極SPX1,SPX2には、図示しない共通電極の電位に対して逆極性の駆動電圧が印加される。つまり、図44で示した通りである。これにより、両サブ画素電極間の第1のスリットSLT1のスリット幅を狭くすることができる。一方、第2のサブ画素電極SPX2には同じ駆動電圧が印加されるので、当該第2のサブ画素電極SPX2に設けた配向規制用の第2のスリットSLT2のスリット幅は、十分な配向規制機能を有するように広くなっている。また、第1～第4の実施の形態のように2つのサブ画素電極に異なる駆動電圧を印加する場合は、駆動電圧の絶対値を異ならせ、その極性は逆極性にする。むろん入力階調によっては一方のサブ画素電極にのみ駆動電圧を印加することがあるが、その場合は、他方のサブ画素電極には共通電極と同電位にされ、逆極性にはならない。つまり、2つのサブ画素電極に同時に駆動電圧を印加する場合は、それら駆動電圧の極性は逆になるようにデータバス駆動回路が制御する。

10

【0105】

図46は、第5の実施の形態におけるサブ画素電極の別の構造図である。図46には2つの画素PX00,PX01が示され、この例は、図10、図14に示した構成と類似する。すなわち、各画素PX00,PX01は2つのサブ画素電極SPX1,SPX2で構成され、各画素の2つのサブ画素電極SPX1,SPX2に対して共通のゲートバス線GB0が設けられ、各画素の2つのサブ画素電極SPX2,SPX1に対してそれぞれ、データバス線DB0-1,DB0-2、DB1-1,DB1-2と、スイッチング素子T00-1,T00-2,T01-1,T01-2とが設けられる。

20

【0106】

そして、各画素の第1のサブ画素電極SPX1が第2のサブ画素電極SPX2よりも小さい面積である。また、第1、第2のサブ画素電極間には、配向規制手段としてスリット幅が狭い第1のスリットSLT1が形成され、第1、第2のサブ画素電極SPX1,SPX2には図示しない共通電極の電位に対して逆極性の駆動電圧が印加される。また、第2のサブ画素電極SPX2には、配向規制手段としてスリット幅が広い第2のスリットSLT2が形成されている。この第2のスリットSLT2は第1のスリットSLT1よりスリット幅が広い。また、図に示されていないが、スリットSLT1,SLT2に平行して配向規制手段としての突起が形成されている。つまり、図46の例もマルチ垂直配向タイプ(MVA)の液晶表示装置である。

30

【0107】

図47、図48は、第5の実施の形態における駆動信号波形図である。いずれも、画素に比較的高い輝度を生成する場合についての例であり、第1、第2のサブ画素電極に共に比較的高い駆動電圧が印加される。図47は、図46における駆動信号波形を示す。すなわち、ゲートバスGBへの駆動信号は水平同期期間Hsyncの間Hレベルになるが、それに同期して、第1、第2のサブ画素電極SPX1,SPX2への駆動信号は、共通電極の共通電圧VCOMに対して逆極性にされる。また、フレーム間反転駆動方式にするために、垂直同期期間Hsyn1とHsyn2とで第1、第2のサブ画素電極SPX1,SPX2への駆動信号は反転される。そして、垂直同期期間Vsync1,2の間は、両サブ画素電極への逆極性の駆動信号の印加が維持される。このように、第1、第2のサブ画素電極に極性の異なる駆動電圧が印加されるので、両電極間のスリットには、図44(D)に示したような電界が印加され、スリット幅を狭くしても配向規制機能をより強くすることができる。

40

【0108】

図48は、図45における時分割で第1、第2のサブ画素電極を駆動する場合の駆動信号波形を示す。第1の水平同期期間Hsync1に同期して第1のサブ画素電極SPX1への駆動信号が印加され、それに続く第2の水平同期期間Hsyn2に同期して第2のサブ画素電極SPX2への駆動信号が印加される。つまり、第1、第2の水平同期期間Hsync1,Hsync2の異なる時間帯に、時分割で逆極性の駆動電圧が第1、第2のサブ画素電極に印加される。そして

50

、第1、第2の両サブ画素電極への逆極性の駆動電圧が、垂直同期期間Vsync1,2の間維持される。したがって、この場合も、長い水平同期期間のほぼ全期間において、第1、第2のサブ画素電極に逆極性の駆動電圧が印加されるので、スリット幅を狭くしても配向規制機能をより強く維持することができる。

【0109】

[第6の実施の形態]

図49、図50は、第6の実施の形態におけるサブ画素電極の構成図である。第1～第4の実施の形態では、各画素を複数のサブ画素電極に分離し、第1及び第2のサブ画素電極に、第1、第2の駆動電圧を印加する。それに伴って、画像信号の入力階調が低い領域など特定の間調領域においては、一方のサブ画素電極のみに駆動電圧が印加され、一方のサブ画素電極に対応する液晶層のみ透過率が高く高輝度になり、他方のサブ画素電極は輝度ゼロ（黒表示）になる場合がある。一方、液晶表示パネルの大型化に伴って、画素領域の面積も大きくなり、サブ画素電極の面積も大きくなる。その場合、上記の間調において、一方のサブ画素電極のみが高輝度状態になると、例えば肌色などの中間調にもかかわらず、黒表示のサブ画素電極の中に高輝度のサブ画素電極が目立って認識され、中間調の画質がざらざらに見え、粒状感が悪くなるという問題を招くことが予想される。そこで、第6の実施の形態では、第1、第2のサブ画素電極を共に複数個に分割し、分割されたサブ画素電極を画素領域内において分散して配置する。

10

【0110】

図49のサブ画素電極構造によれば、第1のサブ画素電極SPX1が2つに分割され（SPX1(1),SPX1(2)）、第2のサブ画素電極SPX2も2つに分割され（SPX2(1),SPX2(2)）、それら分割されたサブ画素電極が、画素PX内で対角線状に分散して配置されている。これにより、第1のサブ画素電極SPX1のみが高輝度状態になっても、それが画素PX内で分散されているので、画素PXの大型化による粒状感の悪化を防止することができる。サブ画素電極は、対角線状に分散配置されたため、同じサブ画素電極どうしは、データバス線DB0-2をまたいで接続され、実線と破線で示した接続部分でデータバス線DB0-2と重複する。

20

【0111】

図50のサブ画素電極構造によれば、第1、第2のサブ画素電極SPX1,SPX2は、それぞれ4つに分割されている。そして、それら分割されたサブ画素電極は、画素PX内において左右に互い違いに分散して配置されている。この場合も、サブ画素電極は、左右に互い違いに分散配置されたため、同じサブ画素電極どうしは、データバス線DB0-2をまたいで接続され、実線と破線で示した接続部分でデータバス線DB0-2と重複する。この例では、サブ画素電極が細かく分割され且つ分散配置されるので、中間調において第1のサブ画素電極のみが高輝度になっても、粒状感は抑制される。

30

【0112】

また、図49、図50のサブ画素電極の配置例では、第1及び第2のサブ画素電極が、共に同じ面積でデータバス線DB0-1,DB0-2と隣接している。この理由は後述する。

【0113】

図51、図52は、第6の実施の形態におけるサブ画素電極の別の構成図である。図51の例では、第1のサブ画素電極SPX1が2分割され、第2のサブ画素電極SPX2が4分割され、データバス線DB0-1,DB0-2との間に、第1のサブ画素電極SPX1(1)が第2のサブ画素電極SPX2(1),SPX2(2)に挟まれて配置され、データバス線DB0-2,DB1-1との間に、第1のサブ画素電極SPX1(2)が第2のサブ画素電極SPX2(3),SPX2(4)に挟まれて配置されている。つまり、この例においても、分割されたサブ画素電極が画素PX内で分散配置されているが、第1のサブ画素電極はデータバス線と隣接することなく配置され、第2のサブ画素電極がデータバス線と隣接して配置される。

40

【0114】

図52の例は、第1、第2のサブ画素電極SPX1,SPX2のデータバス線DBとの隣接関係で図51とは逆になっている。つまり、データバス線DB0-1,DB0-2との間において、第2のサブ画素電極SPX2が第1のサブ画素電極SPX1に挟まれて配置され、同様に、データバス線

50

DB0-2, DB1-1との間において、第2のサブ画素電極SPX2が第1のサブ画素電極SPX1に挟まれて配置されている。しかも、分割されたサブ画素電極は、画素内において分散して配置されている。図51, 図52においても、第1のサブ画素電極が、データバス線DB0-2を介して分散配置されているので、それらを接続する接続部分はそのデータバス線と重なることになる。

【0115】

図49～図52に示したサブ画素電極の構造例では、液晶表示パネルの縦方向のクロストークを抑制するためにサブ画素電極とサブ画素電極をはさむ両側のデータバス線との寄生容量Cds1, Cds2が等しくなるか、第2のサブ画素電極とデータバス線との寄生容量Cdsと比較して第1のサブ画素電極とデータバス線との寄生容量Cdsが非常に小さくなるようにしている。

10

【0116】

図14(B)に示した画素内の寄生容量を示した等価回路図を参照すると、サブ画素電極SPX1, SPX2とデータバス線DB0-1, DB0-2の間には、ドレイン・ソース間寄生容量Cds1, Cds2が存在する。データバスの電位は表示される画像に合わせて常に変化しており、サブ画素電極はドレイン・ソース間寄生容量Cds1, Cds2を通してその影響を受ける。例えば画面全体が低い輝度の表示で、その中央部分に高輝度の四角が描かれた画像を表示した場合に、高輝度の四角の上下の低輝度領域は、高輝度の四角の領域が書き込みされている期間にはドレイン・ソース間寄生容量Cds1, Cds2を通してデータバス電圧の影響を受ける。この結果、高輝度の四角の上下の低輝度領域には若干高い駆動電圧が印加され、低い輝度の画像が高い輝度に変化してしまう。これが縦方向のクロストークである。

20

【0117】

そこで、第5の実施の形態では、サブ画素電極に対応して第1、第2のデータバス線に逆極性の駆動電圧を印加する。極性が逆であれば効果は相殺されるため、サブ画素電極と1対のデータバス線との間の寄生容量をバランスさせることで、または、寄生容量をゼロにすることで、上記の縦方向のクロストークをなくすことができる。

【0118】

図49、図50に示した実施の形態では、各サブ画素電極における両データバス線との間の寄生容量Cds1, Cds2がバランスするように、つまりほぼ等しくなるように、分割したサブ画素電極を配置している。図49の例では、第1のサブ画素電極SPX1(1)は、データバス線DB0-1, DB0-2と同じ面積で隣接している。同様に、第2のサブ画素電極SPX2(1)も、データバス線DB0-1, DB0-2と同じ面積で隣接している。残りのサブ画素電極も同様である。図50の例でも、各サブ画素電極は、1対のデータバス線と同じ面積で隣接している。これにより、逆極性の電圧が印加される1対のデータバス線との間の寄生容量によるサブ画素電極へのカップリング効果を相殺することができ、縦方向のクロストークを抑制することができる。

30

【0119】

図46の例は、上記図49, 図50の例と同様に分割されたサブ画素電極が配置されている。画素PX00において、左側のサブ画素電極SPX1は、データバス線DB0-1, DB0-2と同じ面積を介して隣接配置され、同様に右側のサブ画素電極SPX1も、データバス線DB0-2, DB1-1と同じ面積を介して隣接配置されている。これに伴って、第2のサブ画素電極SPX2も同様にデータバス線対と隣接配置される。

40

【0120】

一方、図51に示した実施の形態では、第1のサブ画素電極SPX1は、データバス線とは離れて配置されているので、寄生容量Cds1, Cds2は非常に小さく、縦方向クロストークの問題は小さい。一方、第2のサブ画素電極SPX2は、両側のデータバス線とは同じ面積を介して配置されているので、縦方向のクロストークを抑制することができる。図52の例では、第2のサブ画素電極SPX2の寄生容量Cds1, Cds2を小さくし、第1のサブ画素電極SPX1の寄生容量Cds1, Cds2をバランスさせている。

【0121】

50

上記の実施の形態において画素内を複数のサブ画素電極で構成し、更にサブ画素電極を分割し且つ分散配置した。そこで、これらの分割したサブ画素電極に対して異なる色のカラーフィルタ層を設けることができる。このように分割したサブ画素電極に対して異なる色のカラーフィルタ層を設けることで、カラーフィルタの色が分散して配置され、RGB画素のサイズが実質的に細分化され、より細やかな画質を提供することができる。

【0122】

また、異なる色のカラーフィルタ間領域には、ブラックマトリクス膜を設けることが一般的である。しかし、上記の実施の形態において、画素内におけるサブ画素電極間の第1のスリット領域は、垂直方向に強く配向した液晶分子LCXが形成され、不透明（ブラック表示）に制御される。したがって、サブ画素電極間の第1のスリット領域上にはブラックストライプ膜を設ける必要はない。

10

【0123】

[第7の実施の形態]

図53、図54は、第7の実施の形態におけるサブ画素電極の構成図である。図49～図52のサブ画素電極の構成例では、画素領域PX内にデータバス線DB0-2が配置され、そのデータバス線によりサブ画素電極が分断されている。これに対して、図53、図54のサブ画素電極の例では、1対のデータバス線DB0-1, DB0-2及びDB1-1, DB1-2が、画素領域PXの両側に配置され、画素領域内にデータバス線が設けられていない。かかるレイアウトにすることで、サブ画素電極が十分に広い領域HBにおいて、高い透過率領域を提供することが可能になる。すなわち、サブ画素電極に所定の駆動電圧が印加されることで、その液晶分子が配向して透過率が高くされる。ところが、サブ画素電極の両端においては配向規制手段が適切に設けられないなどの理由から、必ずしも高い透過率にすることができない。そのため、図49～図52のように、画素領域内にデータバス線が配置されると、それによりサブ画素電極が分断され、両端の低い透過率領域が増えてしまう。

20

【0124】

それに対して、図53、図54のように画素領域PXの両端にデータバス線を配置することで、画素領域PXの左右全域にわたってサブ画素電極を配置することができる。そのため、サブ画素電極がデータバス線で分断されず、両端の低い透過率領域を減らすことができ、高い透過率領域HBを広くすることができる。かかる効果は、より明るい画像の提供を可能にする。

30

【0125】

図53の例では、第1、第2のサブ画素電極SPX1, PSX2を合わせても、画素領域内に両端領域が2カ所しかない。この例において、サブ画素電極間の第1のスリットは配向規制機能を有するので、かかる第1のスリットの部分は高い輝度領域に制御される。同様に、図54の例でも、各サブ画素電極が画素領域内の水平方向全面にわたり形成されているので、第1、第2のサブ画素電極SPX1, SPX2の両端領域が2カ所しかない。そのため、高輝度領域HBをより広くとることができる。

【0126】

以上の実施の形態をまとめると、次の付記のとおりである。

【0127】

(付記1) 1対の基板間に設けられた液晶層を有し、電圧無印加状態で当該液晶層内の液晶分子がほぼ垂直方向に配向している液晶表示装置において、

40

前記基板上にマトリクス状に配置され、それぞれ複数のサブ画素電極を有する画素と、

前記複数のサブ画素電極にそれぞれ接続された複数のスイッチング素子と、

前記スイッチング素子に接続された複数のデータバス線と、

前記スイッチング素子に接続され当該スイッチング素子を制御する複数のゲートバス線と、

前記データバス線に駆動信号を供給し前記スイッチング素子を介して前記サブ画素電極に当該駆動信号を印加するデータバス駆動回路と、

前記基板上に設けられ前記液晶分子の配向方向を複数方向に規制する配向規制手段とを

50

有し、

1つの画素内において、面積が異なる第1及び第2のサブ画素電極が設けられ、

前記データバス駆動回路は、画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させる第1の駆動信号を前記第1のサブ画素電極に印加し、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させ且つ前記第1の駆動信号より低い輝度の第2の駆動信号を前記第2のサブ画素電極に印加することを特徴とする液晶表示装置。

【0128】

(付記2)付記1において、

前記データバス線は、1つの画素に対して第1及び第2のデータバス線を有し、

前記データバス駆動回路は、前記第1及び第2のデータバス線を介して前記第1及び第2の駆動信号を前記第1及び第2のサブ画素電極にそれぞれ印加することを特徴とする液晶表示装置。

【0129】

(付記3)付記1において、

前記データバス駆動回路は、共通のデータバス線を介して、前記第1及び第2の駆動信号を前記第1及び第2のサブ画素電極に、時分割でそれぞれ印加することを特徴とする液晶表示装置。

【0130】

(付記4)付記1乃至3のいずれかにおいて、

更に、前記画像信号の入力階調を前記第1及び第2の駆動信号に対応する出力階調に変換する階調変換回路を有し、前記データバス駆動回路は、当該出力階調に応じて前記第1及び第2の駆動信号をサブ画素電極に印加することを特徴とする液晶表示装置。

【0131】

(付記5)付記1において、

前記データバス線方向に隣接する第1及び第2の画素がそれぞれ前記第1のサブ画素電極を有し、当該隣接する第1及び第2の画素が共通の第2のサブ画素電極を共有し、前記第1の画素への駆動は当該第1の画素の第1のサブ画素電極及び共有する第2のサブ画素電極の駆動により行われ、前記第2の画素への駆動は前記共有する第2のサブ画素電極と当該第2の画素の第1のサブ画素電極の駆動により行われることを特徴とする液晶表示装置。

【0132】

(付記6)付記5において、

更に、前記第1及び第2の画素に対する画像信号の入力階調を、前記第1の画素の第1のサブ画素電極への駆動信号と、前記共有する第2のサブ画素電極への駆動信号と、前記第2の画素の第1のサブ画素電極への駆動信号とに対応する出力階調に変換する階調変換回路を有し、前記データバス駆動回路は、当該出力階調に応じて前記駆動信号をサブ画素電極に印加することを特徴とする液晶表示装置。

【0133】

(付記7)付記5において、

前記データバス駆動回路は、共通のデータバス線を介して、前記第1及び第2の駆動信号を前記第1及び第2のサブ画素電極に、時分割でそれぞれ印加することを特徴とする液晶表示装置。

【0134】

(付記8)付記1において、

前記第1及び第2の駆動信号の前記画像信号の入力階調に対する特性は、当該駆動信号により前記第1及び第2のサブ画素電極が駆動されたときに前記基板正面から観察される輝度特性が所定のガンマ特性を有するように設定されていることを特徴とする液晶表示装置。

【0135】

10

20

30

40

50

(付記 9) 付記 1 において、

前記第 1 のサブ画素電極の面積が前記第 2 のサブ画素電極より小さく、

前記データバス駆動回路は、前記画像信号の入力階調が低い側の第 1 の階調領域においては、前記第 1 の駆動信号を前記第 1 のサブ画素電極に、前記第 2 の駆動信号を前記第 2 のサブ画素電極にそれぞれ印加し、

前記データバス駆動回路は、更に、前記第 1 の階調領域より高い側の第 2 の階調領域においては、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させる第 3 の駆動信号を前記第 2 のサブ画素電極に印加し、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させ且つ前記第 3 の駆動信号より低い輝度の第 4 の駆動信号を前記第 1 のサブ画素電極に印加することを特徴とする液晶表示装置。(図 2 7)

10

(付記 10) 付記 9 において、

更に、前記画像信号の入力階調を、前記第 1 の階調領域においては、前記第 1 及び第 2 の駆動信号に対応する第 1 及び第 2 の出力階調に変換し、前記第 2 の階調領域においては、前記第 3 及び第 4 の駆動信号に対応する第 3 及び第 4 の出力階調に変換し、前記出力階調を前記データバス駆動回路に供給する階調変換回路を有することを特徴とする液晶表示装置。

【 0 1 3 6 】

(付記 11) 付記 9 において、

更に、前記画像信号の入力階調を、前記第 1 の階調領域においては、前記第 1 及び第 2 の駆動信号に対応する第 1 及び第 2 の出力階調に変換し、前記第 2 の階調領域においては、前記第 3 及び第 4 の駆動信号に対応する第 3 及び第 4 の出力階調に変換し、当該出力階調を前記データバス駆動回路に供給する階調変換回路を有し、

20

当該階調変換回路は、

前記第 1 及び第 2 の駆動信号が同じ入力階調に対して第 1 の差を有し且つ前記第 3 及び第 4 の駆動信号が同じ入力階調に対して第 2 の差を有する第 1 の変換モードと、前記第 1 及び第 2 の駆動信号が同じ入力階調に対して前記第 1 の差よりも小さい第 3 の差を有し且つ前記第 3 及び第 4 の駆動信号が同じ入力階調に対して前記第 2 の差よりも小さい第 4 の差を有する第 2 の変換モードとを有し、

更に、当該階調変換回路は、画素毎に複数の色の画像信号の入力階調を比較し、第 1 の入力階調を有する第 1 の色の入力階調を前記第 1 の変換モードで前記第 1 乃至第 4 の出力階調に変換し、前記第 1 の入力階調よりも高い第 2 の入力階調を有する第 2 色の入力階調を前記第 2 の変換モードで前記第 1 乃至第 4 の出力階調に変換することを特徴とする液晶表示装置。(図 3 4)

30

(付記 12) 付記 11 において、

前記複数の色は少なくとも 3 つの色を有し、

前記階調変換回路は、更に、前記第 1 及び第 2 の駆動信号が同じ入力階調に対して第 3 の差よりも小さい第 5 の差を有し且つ前記第 3 及び第 4 の駆動信号が同じ入力階調に対して第 4 の差よりも小さい第 6 の差を有する第 3 の変換モードとを有し、

当該階調変換回路は、前記複数の色の画像信号に入力階調を比較し、第 1 の入力階調を有する第 1 の色の入力階調を前記第 1 の変換モードで前記第 1 乃至第 4 の出力階調に変換し、前記第 1 の入力階調よりも高い第 2 の入力階調を有する第 2 の色の入力階調を前記第 2 の変換モードで前記第 1 乃至第 4 の出力階調に変換し、更に、前記第 2 の入力階調よりも高い第 3 の入力階調を有する第 3 の色の入力階調を前記第 3 の変換モードで前記第 1 乃至第 4 の出力階調に変換することを特徴とする液晶表示装置。(図 3 4)

40

(付記 13) 付記 9 において、

前記第 3 及び第 4 の駆動信号の前記画像信号の入力階調に対する特性は、当該駆動信号により前記第 1 及び第 2 のサブ画素電極が駆動されたときに前記基板正面から観察される輝度特性が所定のガンマ特性を有するように設定されていることを特徴とする液晶表示装置。

50

【 0 1 3 7 】

(付記 1 4) 付記 1 において、

前記画素は、前記第 1 及び第 2 のサブ画素電極が第 1 の面積大小関係にある第 1 の画素と、前記第 1 及び第 2 のサブ画素電極が前記第 1 の面積大小関係と異なる第 2 の面積大小関係にある第 2 の画素とを有し、

当該第 1 及び第 2 の画素が、隣接して配置されていることを特徴とする液晶表示装置。

(図 3 1 , 3 2)

(付記 1 5) 1 対の基板間に設けられた液晶層を有し、電圧無印加状態で当該液晶層内の液晶分子がほぼ垂直方向に配向している液晶表示装置において、

前記基板上にマトリクス状に配置され、それぞれ複数のサブ画素電極を有する画素と、

前記複数のサブ画素電極にそれぞれ接続された複数のスイッチング素子と、

前記スイッチング素子に接続された複数のデータバス線と、

前記スイッチング素子に接続され当該スイッチング素子を制御する複数のゲートバス線と、

前記データバス線に駆動信号を供給し前記スイッチング素子を介して前記サブ画素電極に当該駆動信号を印加するデータバス駆動回路と、

前記基板上に設けられ前記液晶分子の配向方向を複数方向に規制する配向規制手段とを有し、

1 つの画素内において、第 1 のサブ画素電極と当該第 1 のサブ画素電極より面積が大きい第 2 のサブ画素電極とが設けられ、

前記データバス駆動回路は、前記画像信号の入力階調が低い側の第 1 の階調領域においては、画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させる第 1 の駆動信号を前記第 1 のサブ画素電極に印加し、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させ且つ前記第 1 の駆動信号より低い輝度の第 2 の駆動信号を前記第 2 のサブ画素電極に印加し、

前記データバス駆動回路は、更に、前記第 1 の階調領域より高い側の第 2 の階調領域においては、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させる第 3 の駆動信号を前記第 2 のサブ画素電極に印加し、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させ且つ前記第 3 の駆動信号より低い輝度の第 4 の駆動信号を前記第 1 のサブ画素電極に印加することを特徴とする液晶表示装置。(図 2 7)

(付記 1 6) 付記 1 5 において、

更に、前記画像信号の入力階調を、前記第 1 の階調領域においては、前記第 1 及び第 2 の駆動信号に対応する第 1 及び第 2 の出力階調に変換し、前記第 2 の階調領域においては、前記第 3 及び第 4 の駆動信号に対応する第 3 及び第 4 の出力階調に変換し、当該出力階調を前記データバス駆動回路に供給する階調変換回路を有し、

当該階調変換回路は、

前記第 1 及び第 2 の駆動信号が同じ入力階調に対して第 1 の差を有し且つ前記第 3 及び第 4 の駆動信号が同じ入力階調に対して第 2 の差を有する第 1 の変換モードと、前記第 1 及び第 2 の駆動信号が同じ入力階調に対して前記第 1 の差よりも小さい第 3 の差を有し且つ前記第 3 及び第 4 の駆動信号が同じ入力階調に対して前記第 2 の差よりも小さい第 4 の差を有する第 2 の変換モードとを有し、

更に、当該階調変換回路は、画素毎に複数の色の画像信号の入力階調を比較し、第 1 の入力階調を有する第 1 の色の入力階調を前記第 1 の変換モードで前記第 1 乃至第 4 の出力階調に変換し、前記第 1 の入力階調よりも高い第 2 の入力階調を有する第 2 色の入力階調を前記第 2 の変換モードで前記第 1 乃至第 4 の出力階調に変換することを特徴とする液晶表示装置。(図 3 4)

(付記 1 7) 付記 1 5 において、

前記第 1 及び第 2 の駆動信号の前記画像信号の入力階調に対する特性と、前記第 3 及び第 4 の駆動信号の前記画像信号の入力階調に対する特性は、共に、当該駆動信号により前

10

20

30

40

50

記第 1 及び第 2 のサブ画素電極が駆動されたときに前記基板正面から観察される輝度特性が所定のガンマ特性を有するようにそれぞれ設定されていることを特徴とする液晶表示装置。

【0138】

(付記 18) 1 対の基板間に設けられた液晶層を有し、電圧無印加状態で当該液晶層内の液晶分子がほぼ垂直方向に配向している液晶表示装置において、

前記基板上にマトリクス状に配置され、それぞれ第 1 及び第 2 のサブ画素電極を有する画素と、

前記複数のサブ画素電極にそれぞれ接続された複数のスイッチング素子と、

前記スイッチング素子に接続された複数のデータバス線と、

10

前記スイッチング素子に接続され当該スイッチング素子を制御する複数のゲートバス線と、

前記データバス線に駆動信号を供給し前記スイッチング素子を介して前記サブ画素電極に当該駆動信号を印加するデータバス駆動回路と、

前記基板上に設けられ前記液晶分子の配向方向を複数方向に規制する配向規制手段とを有し、

1 つの画素内において、前記配向規制手段としての第 1 のスリットを介して配置された第 1 及び第 2 のサブ画素電極が設けられ、

前記データバス駆動回路は、前記第 1 及び第 2 のサブ画素電極に、逆極性の駆動電圧を印加することを特徴とする液晶表示装置。(図 45, 46)

20

(付記 19) 付記 18 において、

前記第 1 または第 2 のサブ画素電極は、それぞれ前記配向規制手段としての第 2 のスリットを有し、前記第 1 のスリットは、当該第 2 のスリットよりもスリット幅が小さいことを特徴とする液晶表示装置。(図 45、図 46)。

【0139】

(付記 20) 付記 18 において、

前記第 1 のスリットの方向が、前記 1 対の基板に設けられる偏光板の偏光軸方向に対して 90 度のほぼ半分の角度を有することを特徴とする液晶表示装置。

【0140】

(付記 21) 付記 18 において、

30

前記第 1 及び第 2 のサブ画素電極の面積が異なり、

前記データバス駆動回路は、画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させる第 1 の駆動信号を前記第 1 のサブ画素電極に印加し、前記画像信号の入力階調に対して階調増加に応じて低輝度から高輝度に変化させ且つ前記第 1 の駆動信号より低い輝度の第 2 の駆動信号を前記第 2 のサブ画素電極に印加し、前記第 1 及び第 2 の駆動信号は共通電極に対して逆極性であることを特徴とする液晶表示装置。

【0141】

(付記 22) 付記 1 または 18 において、

前記サブ画素電極が複数に分割され、画素領域内において当該分割されたサブ画素電極が分散して配置されていることを特徴とする液晶表示装置。(図 49、図 50)

40

(付記 23) 付記 22 において、

前記第 1 または第 2 のサブ画素電極は、逆極性の駆動信号が印加される 1 対のデータバス線とほぼ同じ面積を介して近接配置されていることを特徴とする液晶表示装置。

【0142】

(付記 24) 付記 22 において、

前記第 1 及び第 2 のサブ画素電極に対応して、異なる色のカラーフィルタが形成されていることを特徴とする液晶表示装置。

【0143】

(付記 25) 付記 24 において、

前記画素領域内の異なる色のカラーフィルタの間には、ブラックストライプ膜が形成さ

50

れず、前記画素領域間の異なる色のカラーフィルタの間には、ブラックストライプ膜が形成されていることを特徴とする液晶表示装置。

【0144】

(付記26)付記22において、

前記分散配置された分割サブ画素電極が、画素領域内に配置されたデータバス線と重ねて設けられる接続領域を介して接続されることを特徴とする液晶表示装置。

【0145】

(付記27)付記1または18において、

前記画素領域の両側に前記データバス線が配置され、当該画素領域内には前記データバス線が配置されていないことを特徴とする液晶表示装置。

10

【図面の簡単な説明】

【0146】

【図1】MVAタイプの液晶表示装置を説明するための断面図である。

【図2】MVAタイプの液晶表示装置を説明するためのTFT側基板の平面図である。

【図3】MVAタイプにおける画素電極と共通電極間の液晶分子の垂直配向を説明する断面図である。

【図4】別のMVAタイプにおける画素電極と共通電極間の液晶分子の垂直配向を説明する断面図である。

【図5】表示パネルに対する正面方向と上60度方向を示す図である。

【図6】液晶分子と観察方向との関係を示す図である。

20

【図7】MVAタイプの液晶表示パネルにおける印加電圧と液晶層の透過率との関係を示す図である。

【図8】MVAタイプの液晶表示パネルにおける入力階調に対する輝度を示す図である。

【図9】所定の輝度の組み合わせを有する画像例のRGBの輝度のヒストグラムを示す図である。

【図10】第1の実施の形態における液晶表示装置の概略図である。

【図11】本実施の形態におけるサブ画素電極に印加する駆動信号の電圧特性を示す図である。

【図12】本実施の形態の液晶表示パネルにおける入力階調に対する輝度を示す図である。

30

【図13】本実施の形態の液晶表示装置における階調変換テーブルを示す図である。

【図14】第1の実施の形態における液晶表示パネルの具体的構成を示す平面図及び回路図である。

【図15】図14(A)の平面図の一部断面図である。

【図16】フィールドスルー電圧を説明する図である。

【図17】第1の実施の形態における別の液晶表示装置の概略図である。

【図18】第1の実施の形態においてサブ画素電極の面積比を異ならせた場合の入力階調と輝度との関係を示す図である。

【図19】第1の実施の形態におけるサブ画素電極の面積比1:2の場合の変換テーブルを示す図である。

40

【図20】第1の実施の形態におけるサブ画素電極の面積比1:3の場合の変換テーブルをそれぞれ示す図である。

【図21】第1の実施の形態における面積比を1:3のサブ画素電極の構成例を示す図である。

【図22】第1の実施の形態における面積比を約2:1等にしたサブ画素電極の構成例を示す図である。

【図23】第1の実施の形態におけるサブ画素電極の変形例を示す図である。

【図24】図23(A)のサブ画素電極を駆動するための画像信号処理回路を示す図である。

【図25】第2の実施の形態における液晶表示装置の入力階調と輝度との関係を示す図で

50

ある。

- 【図 2 6】第 2 の実施の形態における階調変換回路の変換テーブルを説明する図である。
- 【図 2 7】第 2 の実施の形態における階調変換回路の変換テーブル例である。
- 【図 2 8】第 2 の実施の形態における入力階調と輝度との関係を示す図である。
- 【図 2 9】第 2 の実施の形態における変形例の輝度特性である。
- 【図 3 0】第 2 の実施の形態における変形例の階調変換回路の変換テーブル例である。
- 【図 3 1】第 3 の実施の形態におけるサブ画素電極の構成例を示す模式図である。
- 【図 3 2】第 3 の実施の形態におけるサブ画素電極の別の構成例を示す模式図である。
- 【図 3 3】第 3 の実施の形態におけるサブ画素電極の別の構成例を示す模式図である。
- 【図 3 4】第 4 の実施の形態の原理を説明するための図である。 10
- 【図 3 5】パターン A , B , C の場合の入力階調に対する輝度の特性を示す図である。
- 【図 3 6】パターン B の変換テーブルを構成する 4 つのテーブル例を示す図である。
- 【図 3 7】パターン C の変換テーブルを構成する 4 つのテーブル例を示す図である。
- 【図 3 8】図 3 6 の 4 つの変換テーブルを組み合わせたパターン B についての階調変換回路の変換テーブル例を示す図である。
- 【図 3 9】図 3 7 の 4 つの変換テーブルを組み合わせたパターン C についての階調変換回路の変換テーブル例を示す図である。
- 【図 4 0】第 4 の実施の形態における階調変換回路の構成図である。
- 【図 4 1】階調変換回路による変換テーブルの選択例を示す図である。
- 【図 4 2】階調変換回路による変換テーブルの選択例を示す図である。 20
- 【図 4 3】階調変換回路 3 0 の変換テーブル選択アルゴリズムを示すフローチャート図である。
- 【図 4 4】第 5 の実施の形態におけるサブ画素電極間のスリットを説明する図である。
- 【図 4 5】第 5 の実施の形態におけるサブ画素電極の構造図である。
- 【図 4 6】第 5 の実施の形態におけるサブ画素電極の別の構造図である。
- 【図 4 7】第 5 の実施の形態における駆動信号波形図である。
- 【図 4 8】第 5 の実施の形態における駆動信号波形図である。
- 【図 4 9】第 6 の実施の形態におけるサブ画素電極の構造図である。
- 【図 5 0】第 6 の実施の形態におけるサブ画素電極の構造図である。
- 【図 5 1】第 6 の実施の形態におけるサブ画素電極の別の構造図である。 30
- 【図 5 2】第 6 の実施の形態におけるサブ画素電極の別の構造図である。
- 【図 5 3】第 7 の実施の形態におけるサブ画素電極の構成図である。
- 【図 5 4】第 7 の実施の形態におけるサブ画素電極の構成図である。

【符号の説明】

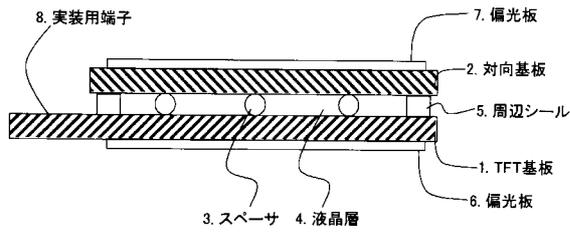
【 0 1 4 7 】

PX:画素、SPX1,SPX2:サブ画素電極、DB0-1,DB0-2:データバス線

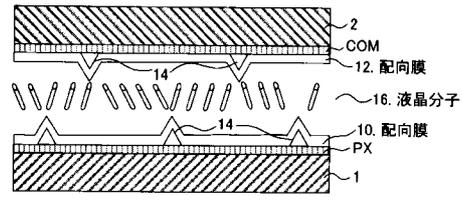
T00-1,T00-2:スイッチング素子、DDR0-1,DDR0-2:データバス駆動回路

3 0 : 階調変換回路、Din:入力画像信号

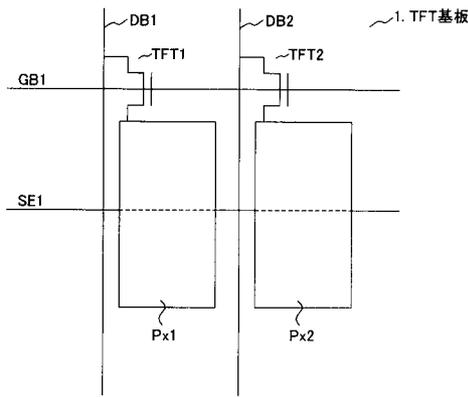
【 図 1 】



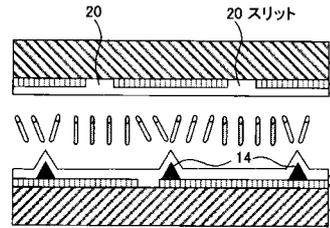
【 図 3 】



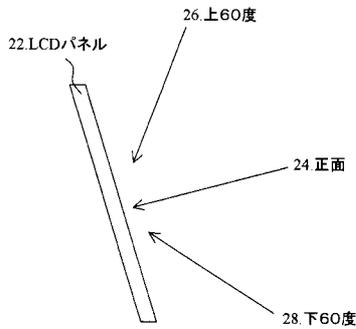
【 図 2 】



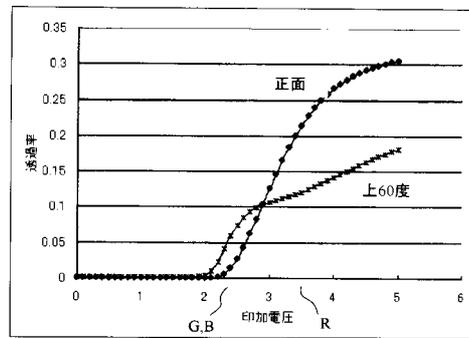
【 図 4 】



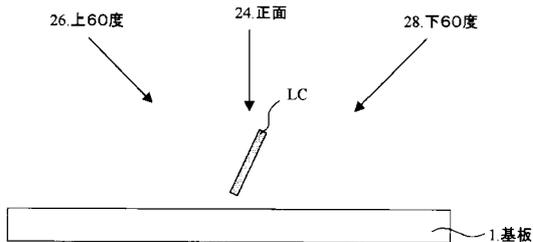
【 図 5 】



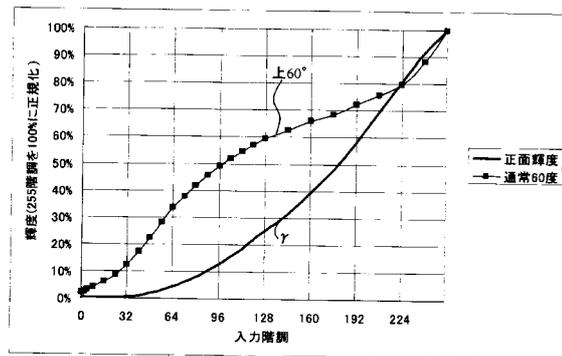
【 図 7 】



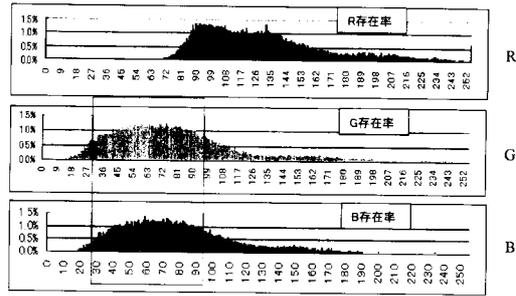
【 図 6 】



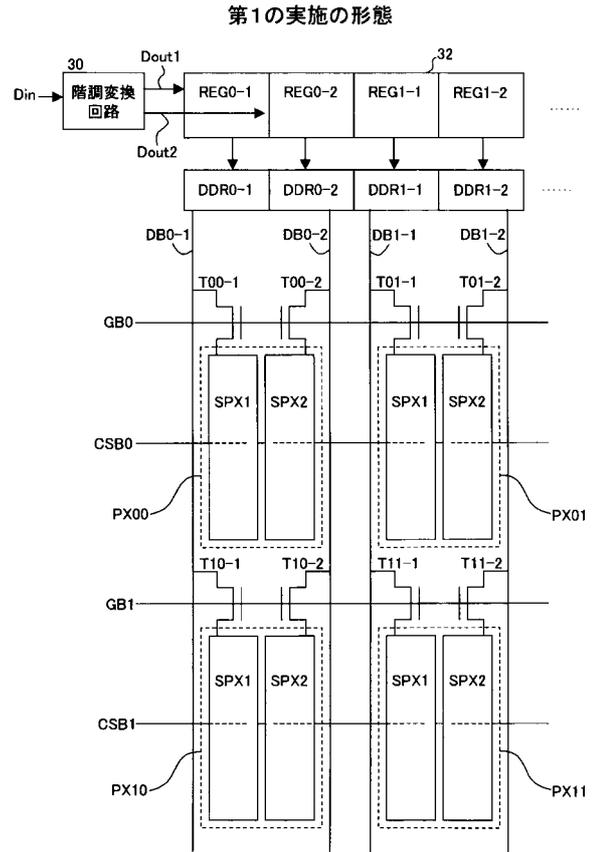
【 図 8 】



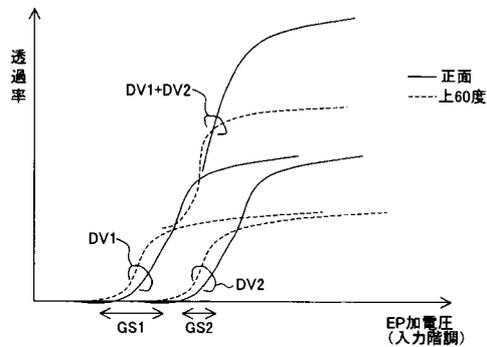
【図9】



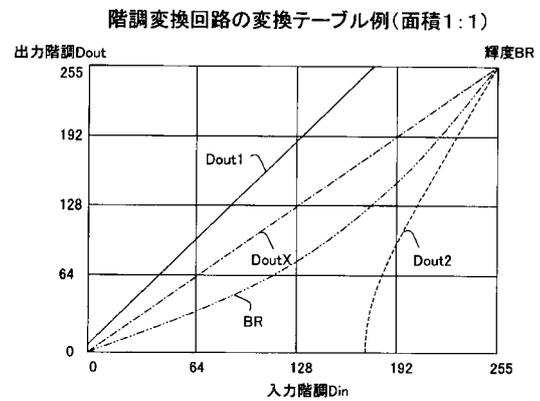
【図10】



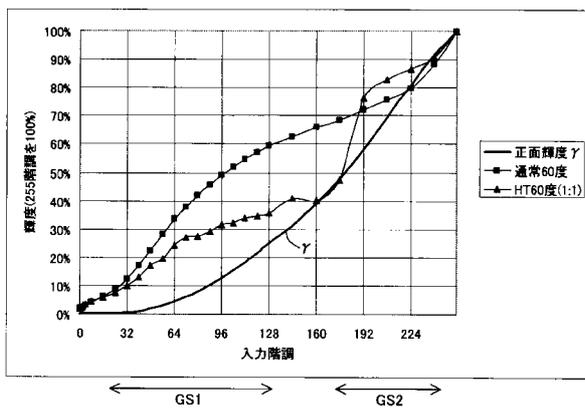
【図11】



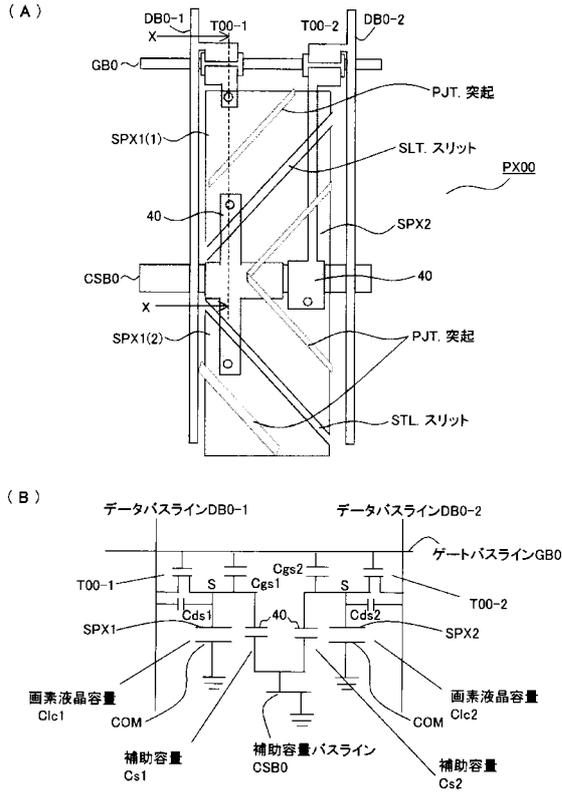
【図13】



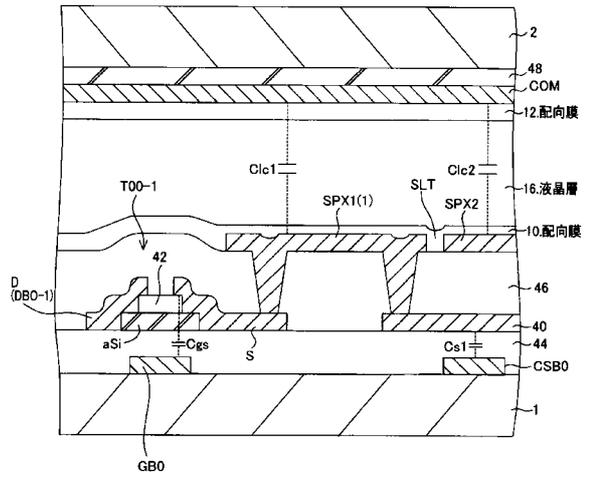
【図12】



【 図 1 4 】

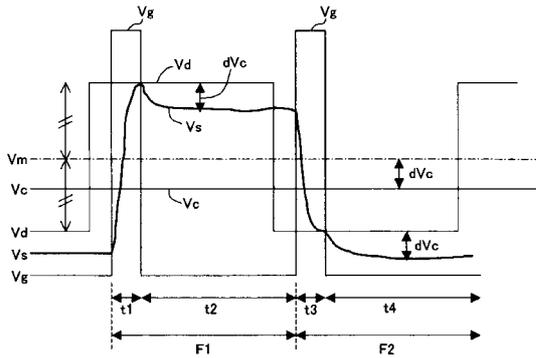


【 図 1 5 】

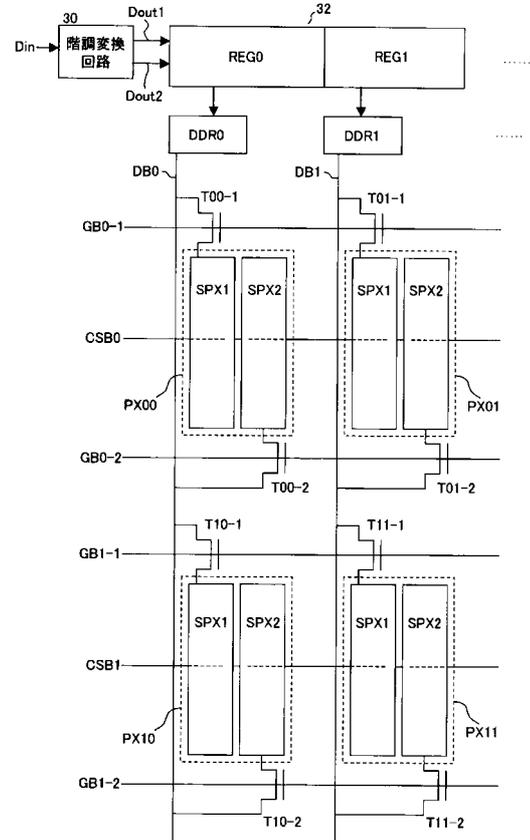


【 図 1 6 】

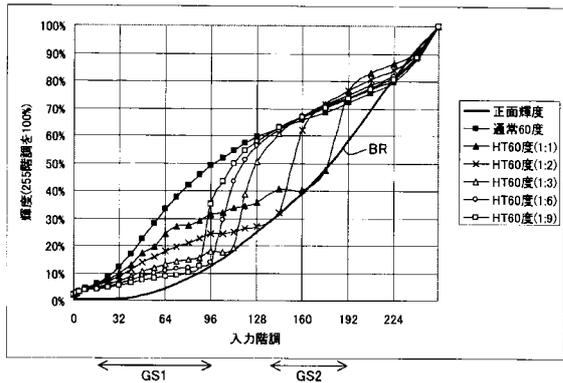
フィードスルー電圧の説明図



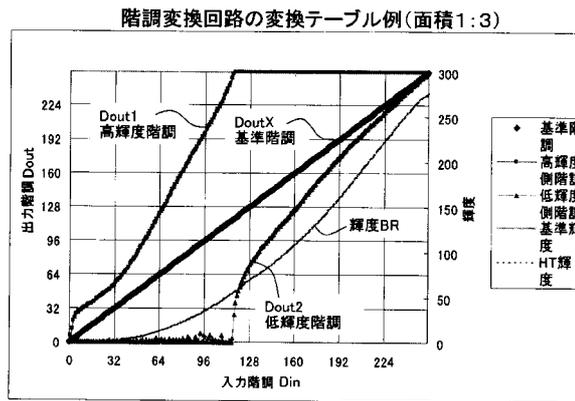
【 図 1 7 】



【 図 1 8 】

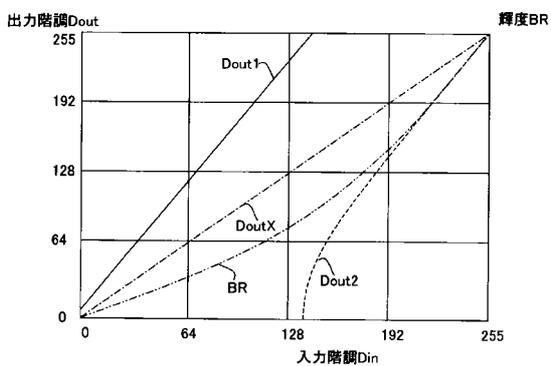


【 図 2 0 】



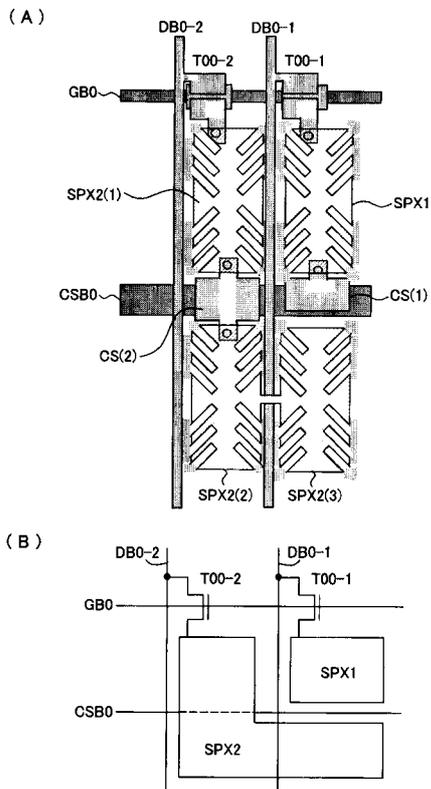
【 図 1 9 】

階調変換回路の変換テーブル例(面積1:2)

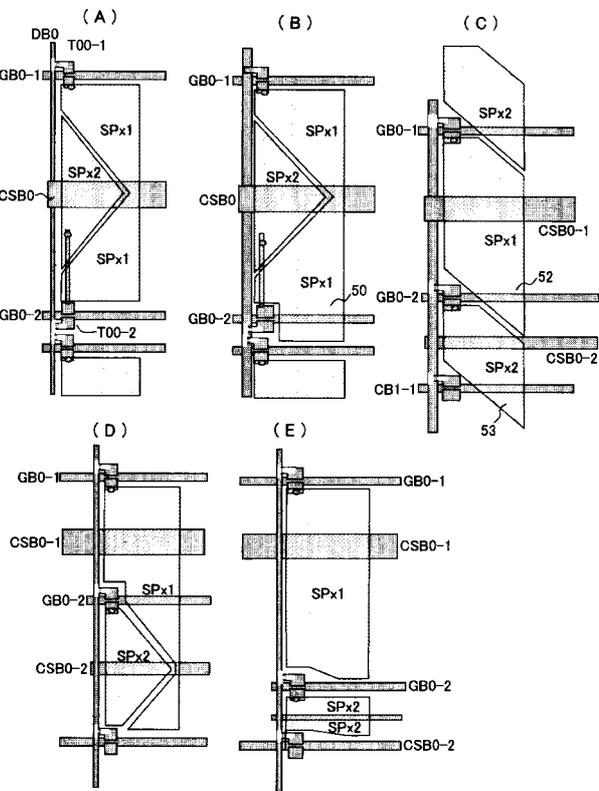


【 図 2 1 】

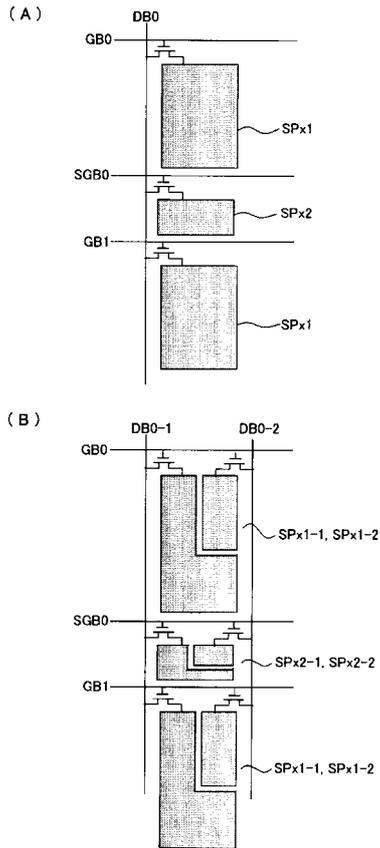
面積比1:3のサブ画素電極の構成例



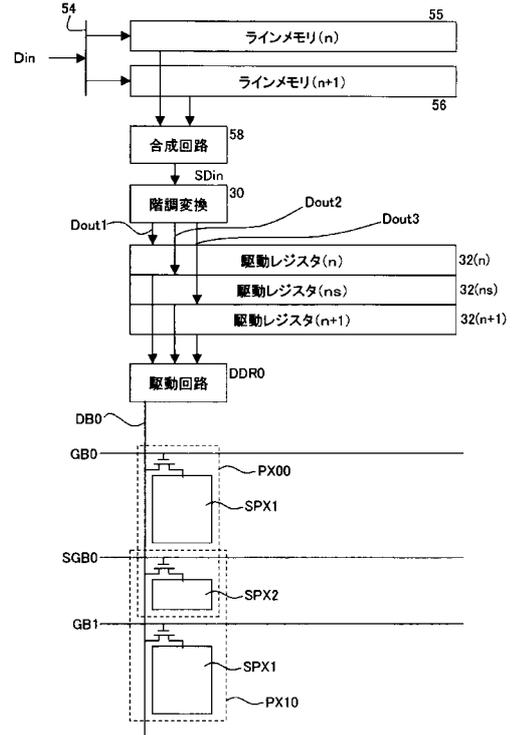
【 図 2 2 】



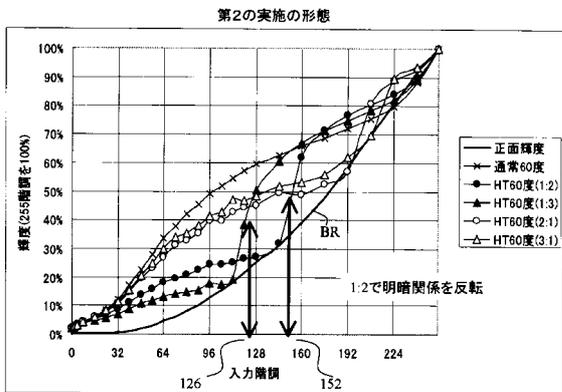
【 図 2 3 】



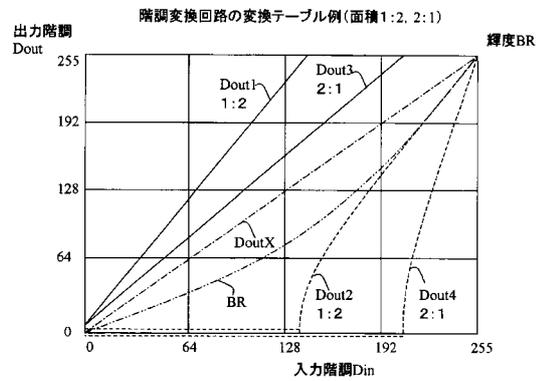
【 図 2 4 】



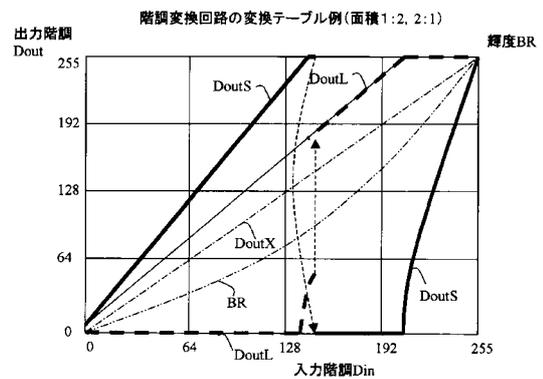
【 図 2 5 】



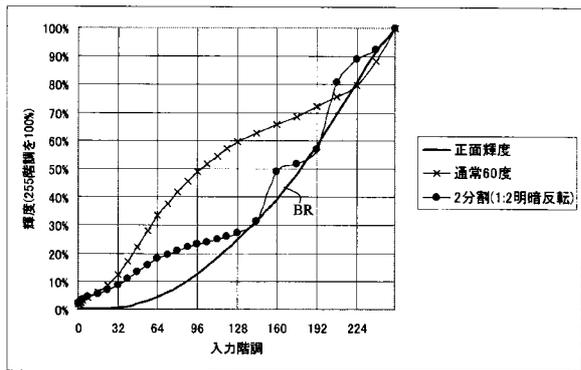
【 図 2 6 】



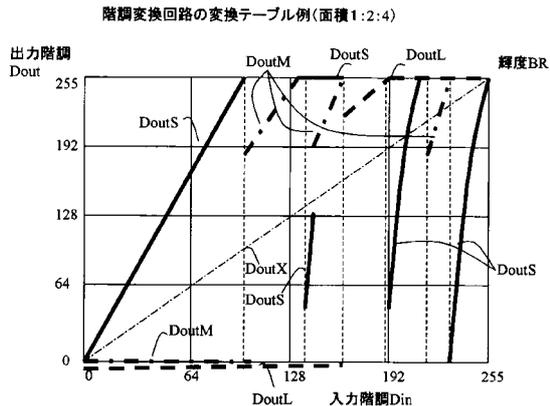
【 図 2 7 】



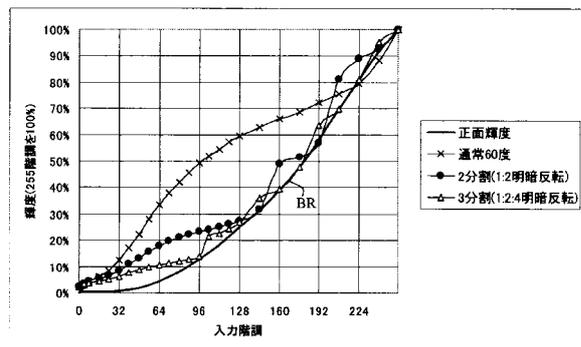
【 図 28 】



【 図 30 】

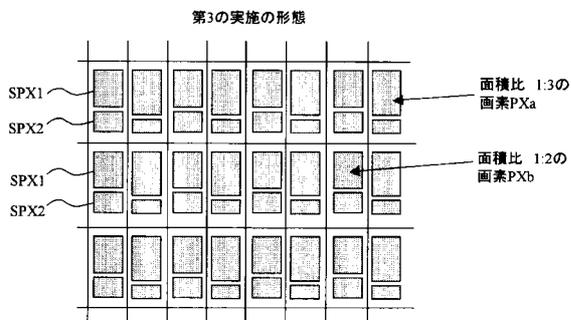


【 図 29 】

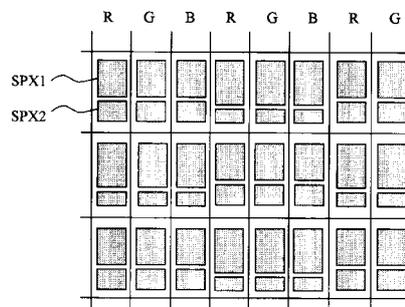


	AR1	AR2	AR3	AR4	AR5	AR6	AR7
DoutS	1	0	1	0	1	0	1
DoutM	0	1	1	0	0	1	1
DoutL	0	0	0	1	1	1	1

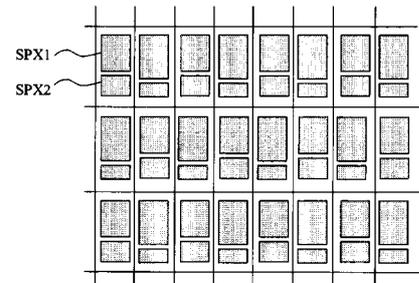
【 図 31 】



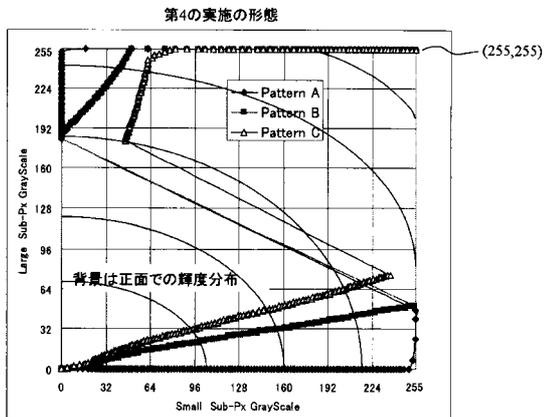
【 図 33 】



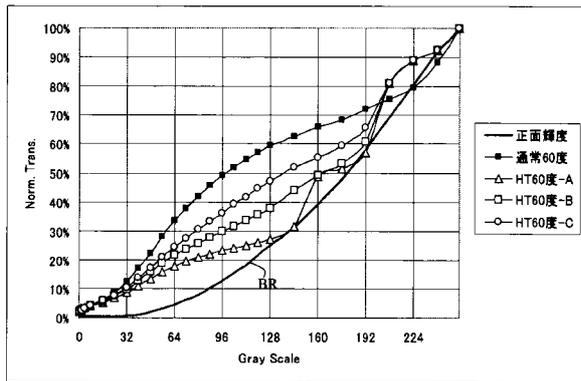
【 図 32 】



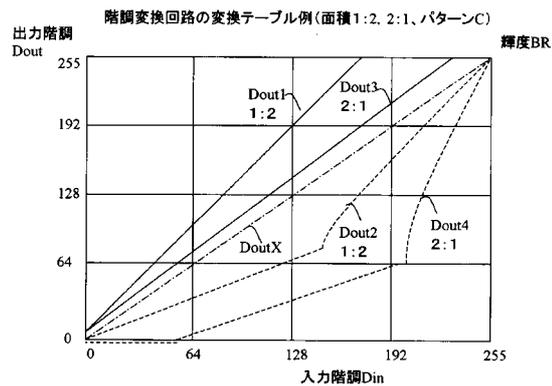
【 図 34 】



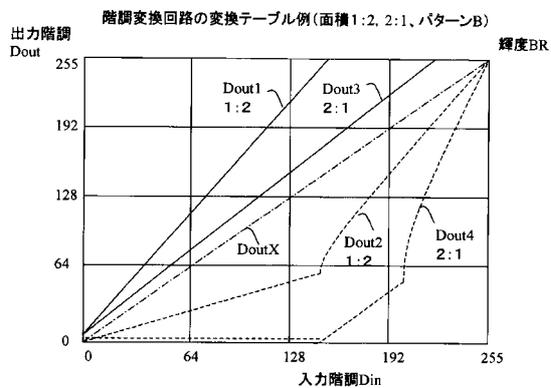
【 図 3 5 】



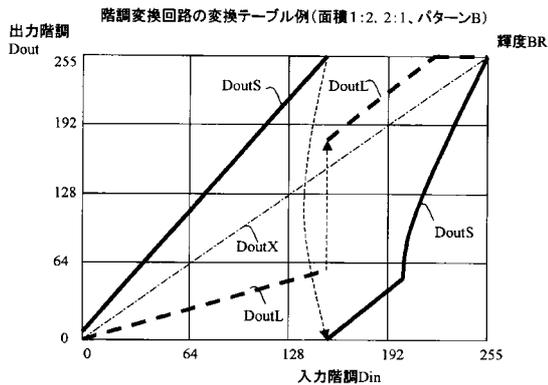
【 図 3 7 】



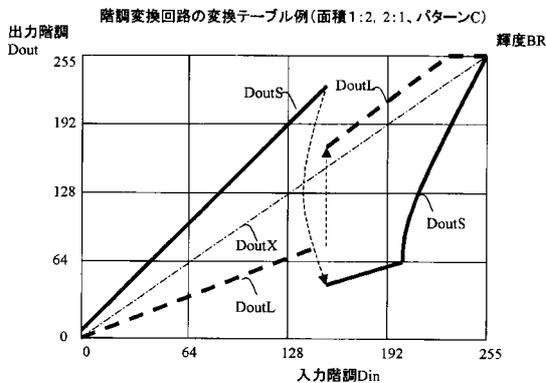
【 図 3 6 】



【 図 3 8 】



【 図 3 9 】

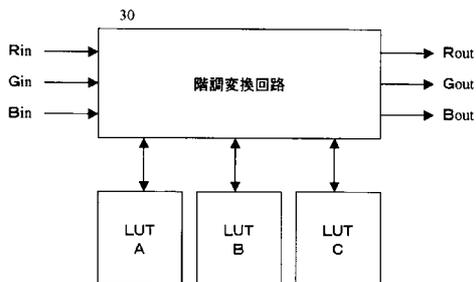


【 図 4 1 】

ケース	①	②	③	④	⑤	⑥	⑦
R	大	大	大	中	大	大	大
G	中	中	中		中	中	中
B	小	小	小	小	小	小	小

パターンA: 輝度小
 パターンB: 輝度中
 パターンC: 輝度大

【 図 4 0 】



【 図 4 2 】

(A) 表示領域内の場所

R	120	120	120	120	120	120	120
G	117	118	119	120	121	122	123
B	0	0	0	0	0	0	0

(B)

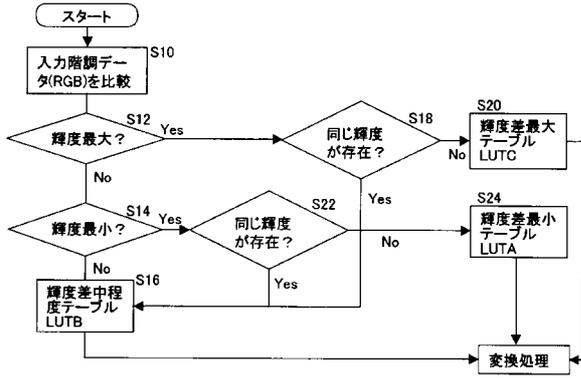
Rテーブル	大C	大C	大C	中B	中B	中B	中B
Gテーブル	中B	中B	中B	中B	大C	大C	大C
Bテーブル	小A						

(C) n階調以内に接近した場合、等しいと見なす場合 (n=1)

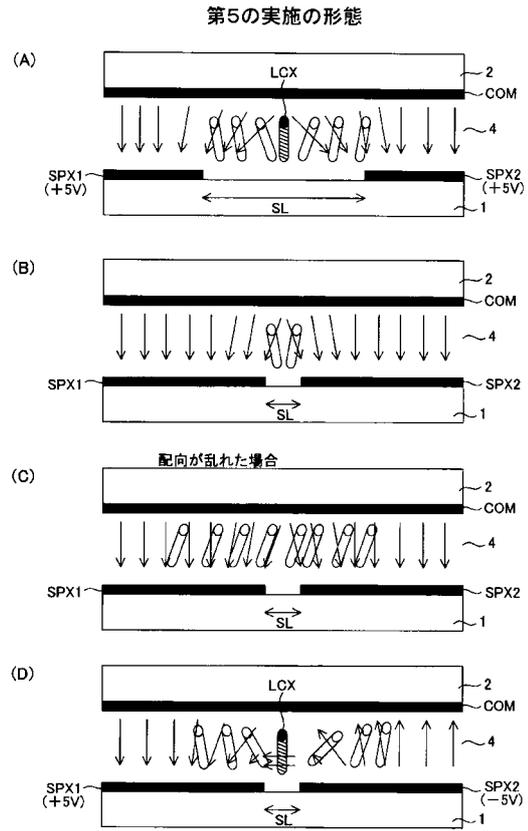
Rテーブル	大C	大C	中B	中B	中B	中B	中B
Gテーブル	中B	中B	中B	中B	中B	大C	大C
Bテーブル	小A						

パターンA: 輝度小
 パターンB: 輝度中
 パターンC: 輝度大

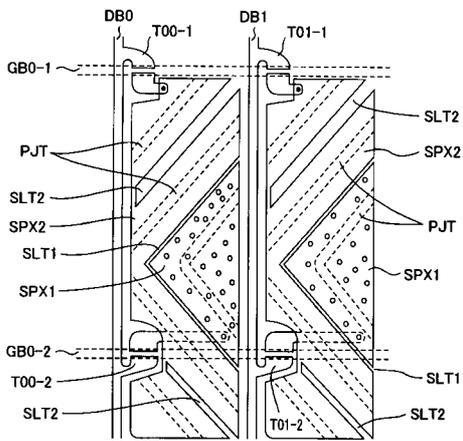
【 図 4 3 】



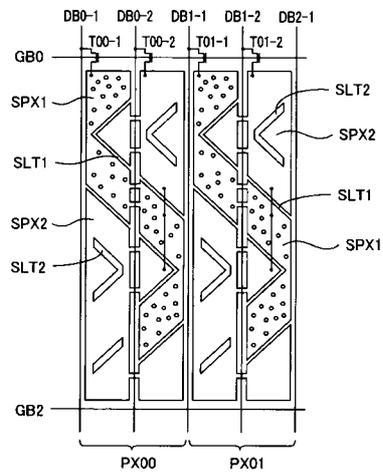
【 図 4 4 】



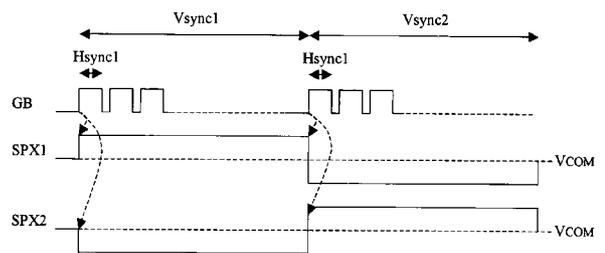
【 図 4 5 】



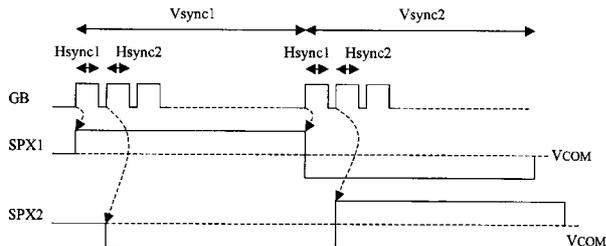
【 図 4 6 】



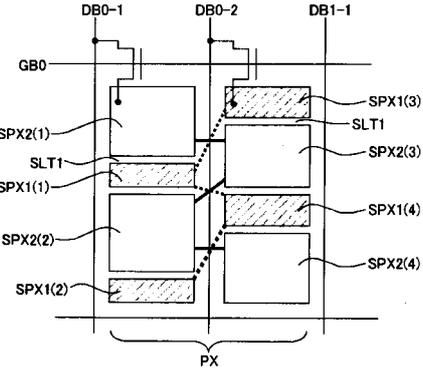
【 図 4 7 】



【 図 4 8 】

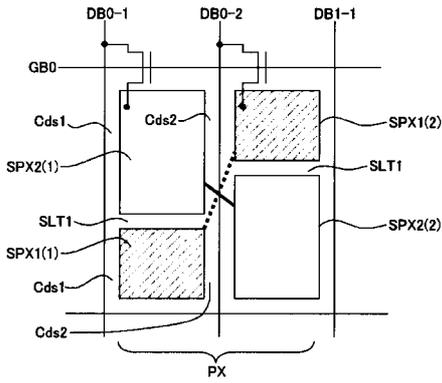


【 図 5 0 】

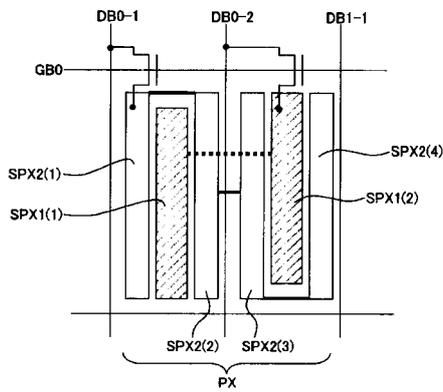


【 図 4 9 】

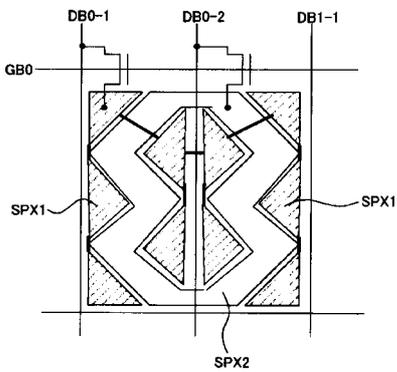
第6の実施の形態



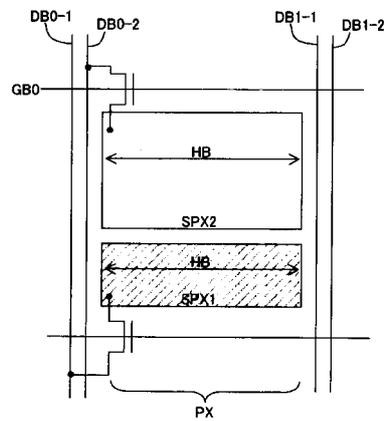
【 図 5 1 】



【 図 5 2 】

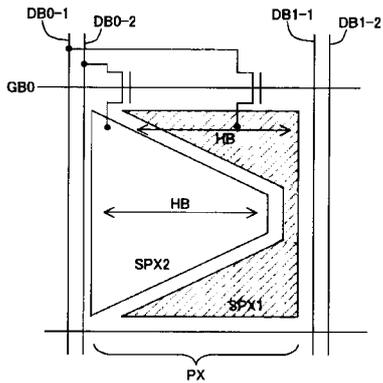


【 図 5 4 】



【 図 5 3 】

第7の実施の形態



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
G 0 9 G 3/20	G 0 2 F 1/139	5 C 0 8 0
G 0 9 G 3/36	G 0 9 G 3/20	6 1 2 U
	G 0 9 G 3/20	6 2 3 A
	G 0 9 G 3/20	6 2 3 C
	G 0 9 G 3/20	6 2 3 R
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 4 2 J
	G 0 9 G 3/20	6 5 0 M
	G 0 9 G 3/20	6 8 0 H
	G 0 9 G 3/36	

(72)発明者 鎌田 豪

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

(72)発明者 武田 有広

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

F ターム(参考) 2H088 GA02 HA02 HA03 HA06 JA10 MA05 MA07 MA13
 2H090 HA16 HD11 KA07 LA01 MA01 MA12 MB12
 2H092 GA13 GA15 GA20 HA02 JA24 NA01 NA03 QA09
 2H093 NA16 NA53 NA54 NA61 NB07 NC11 NC22 NC28 NC34 ND06
 ND13 ND24 ND58 NE03 NF09
 5C006 AA16 AA22 AC11 AC21 AF45 AF46 AF51 BB16 BC06 BC23
 FA55
 5C080 AA10 BB05 DD30 EE29 EE30 FF11 JJ02 JJ03 JJ04 JJ05
 JJ06

【要約の続き】

专利名称(译)	具有改善的视角特性的液晶显示装置		
公开(公告)号	JP2005316211A	公开(公告)日	2005-11-10
申请号	JP2004134954	申请日	2004-04-30
[标]申请(专利权)人(译)	富士通显示技术股份有限公司 友达光电股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司 友达光电股▼ふん▲有限公司		
[标]发明人	鎌田豪 武田有広		
发明人	鎌田 豪 武田 有広		
IPC分类号	G02F1/139 G02F1/133 G02F1/1337 G02F1/1343 G02F1/1368 G09G3/20 G09G3/36		
CPC分类号	G02F1/133753 G02F2001/133742 G02F2001/134345 G09G3/2074 G09G3/2077 G09G3/3607 G09G3/3648 G09G2300/0447 G09G2320/0276 G09G2320/028 G09G2320/0285 G06M1/024 G06M1/107 G06M11/00		
FI分类号	G02F1/133.575 G02F1/133.550 G02F1/1337.505 G02F1/1343 G02F1/1368 G02F1/139 G09G3/20.612.U G09G3/20.623.A G09G3/20.623.C G09G3/20.623.R G09G3/20.624.B G09G3/20.641.P G09G3/20.642.J G09G3/20.650.M G09G3/20.680.H G09G3/36		
F-TERM分类号	2H088/GA02 2H088/HA02 2H088/HA03 2H088/HA06 2H088/JA10 2H088/MA05 2H088/MA07 2H088/MA13 2H090/HA16 2H090/HD11 2H090/KA07 2H090/LA01 2H090/MA01 2H090/MA12 2H090/MB12 2H092/GA13 2H092/GA15 2H092/GA20 2H092/HA02 2H092/JA24 2H092/NA01 2H092/NA03 2H092/QA09 2H093/NA16 2H093/NA53 2H093/NA54 2H093/NA61 2H093/NB07 2H093/NC11 2H093/NC22 2H093/NC28 2H093/NC34 2H093/ND06 2H093/ND13 2H093/ND24 2H093/ND58 2H093/NE03 2H093/NF09 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AF45 5C006/AF46 5C006/AF51 5C006/BB16 5C006/BC06 5C006/BC23 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD30 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H092/JB46 2H093/NC35 2H093/NC40 2H192/AA24 2H192/AA43 2H192/BA13 2H192/BA25 2H192/BC01 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CB71 2H192/CC04 2H192/CC24 2H192/CC64 2H192/DA12 2H192/DA42 2H192/DA65 2H192/DA74 2H192/EA43 2H192/GD14 2H192/GD61 2H192/JA13 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA19 2H193/ZD23 2H193/ZD24 2H193/ZF13 2H193/ZF36 2H193/ZH40 2H193/ZH41 2H193/ZP03 2H193/ZQ08 2H193/ZQ11 2H193/ZQ44 2H193/ZQ45 2H193/ZQ47 2H290/AA33 2H290/BB24 2H290/BB44 2H290/CA12 2H290/CA46 2H290/CA51 2H290/DA01		
代理人(译)	土井健治		
其他公开文献	JP4394512B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过从斜上方改善图像质量来改善视角特性。在A处，当没有电压施加在该液晶分子在液晶层的一基本上垂直的方向上排列的液晶显示装置，具有多个子像素电极SPX1，SPX2的分别为多个子像素电极的像素分别连接多个开关元件T00，连接到开关元件的多个数据总线DB，用于控制开关元件的多个栅极总线GB，数据总线，子像素一种用于向电极施加驱动信号的数据总线驱动电路DDR，以及用于调节多个方向上的液晶取向的对准调节装置。在一个像素中，提供具有不同面积的第一和第二子像素电极，并且数据总线驱动电路输出低亮度到高亮度第二驱动信号向第一子像素电极施加第二驱动信号到第二子像素电极，第二驱动信号以比第一驱动信号低的亮度改变亮度。 .The 10

