

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-333775

(P2004-333775A)

(43) 公開日 平成16年11月25日(2004.11.25)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO2F 1/1333	GO2F 1/1333 505	2H090
GO2F 1/1368	GO2F 1/1368	2H092
HO1L 29/786	HO1L 29/78 626C	5F110

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号	特願2003-128322 (P2003-128322)	(71) 出願人	302020207 東芝松下ディスプレイテクノロジー株式会社 東京都港区港南4-1-8
(22) 出願日	平成15年5月6日(2003.5.6)	(74) 代理人	100062764 弁理士 樺澤 襄
		(74) 代理人	100092565 弁理士 樺澤 聡
		(74) 代理人	100112449 弁理士 山田 哲也
		(72) 発明者	四元 茂之 東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内

最終頁に続く

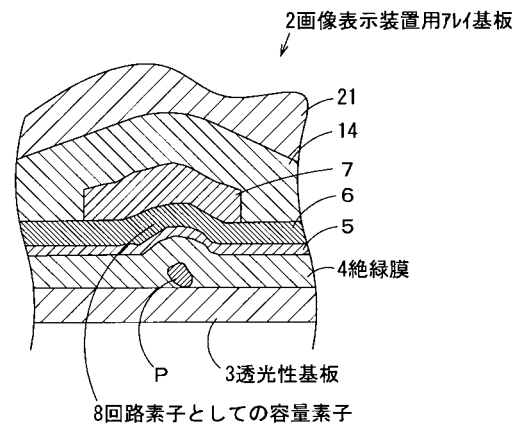
(54) 【発明の名称】 画像表示装置用アレイ基板およびその製造方法

(57) 【要約】

【課題】 ゲート酸化膜でのリークによる不良を防止でき、歩留まりを向上できる液晶表示装置用アレイ基板の製造方法を提供する。

【解決手段】 アンダーコート層4のフッ酸に対するエッチングレートをガラス基板3より遅くする。ガラス基板3上にパーティクルPが付着した状態でアンダーコート層4を形成する。このアンダーコート層4上にアモルファスシリコン膜を形成する。アモルファスシリコン薄膜の表面をフッ酸で洗浄しても、アモルファスシリコン膜に異常部が形成されず、ガラス基板3にガラス穴が形成されない。ガラス基板3上へのパーティクルPの付着に伴うポリシリコン薄膜5およびゲート酸化膜6の異常な成長を防止できる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

透光性基板の上に、この透光性基板より表面処理剤に対する処理速度が遅い絶縁膜を形成し、この絶縁膜上に、回路素子を形成することを特徴とした画像表示装置用アレイ基板の製造方法。

【請求項 2】

回路素子は、薄膜トランジスタであることを特徴とした請求項 1 記載の画像表示装置用アレイ基板の製造方法。

【請求項 3】

回路素子は、容量素子であることを特徴とした請求項 1 記載の画像表示装置用アレイ基板の製造方法。

【請求項 4】

表面処理剤は、弗化水素酸であることを特徴とした請求項 1 ないし 3 いずれか記載の画像表示装置用アレイ基板の製造方法。

【請求項 5】

処理速度は、エッチングレートであることを特徴とした請求項 1 ないし 4 いずれか記載の画像表示装置用アレイ基板の製造方法。

【請求項 6】

絶縁膜の弗化水素酸に対するエッチングレートは、この弗化水素酸で透光性基板を洗浄する際に前記絶縁膜の膜厚の 10% 以下がエッチングされる範囲であることを特徴とした請求項 5 記載の画像表示装置用アレイ基板の製造方法。

【請求項 7】

請求項 1 ないし 6 いずれか記載の画像表示装置用アレイ基板の製造方法により製造されたことを特徴とした画像表示装置用アレイ基板。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、透光性基板上の絶縁膜上に回路素子が形成された画像表示装置用アレイ基板およびその製造方法に関する。

【0002】**【従来の技術】**

近年、この種の画像表示装置としての液晶表示装置である液晶パネルは、高精細化および高機能化に伴う回路素子としての薄膜トランジスタ (TFT) などの半導体素子の微細化や、コスト削減による透光性基板であるガラス基板のサイズの大型化が進むなど、技術の進展が著しい。このような状況では、ガラス基板上の回路素子における配線の微細加工技術などの要素技術が求められるのはもちろんのこと、歩留りなどの面から様々な生産技術も要求される。

【0003】

そして、上記のように歩留まりを解決する液晶パネルの製造方法としては、透光性を有する絶縁性基板であるガラス基板の上に、下地膜として絶縁膜を形成してから、この絶縁膜上に半導体層を島状に形成する。このとき、この絶縁膜を、半導体層よりも弗化水素酸系薬液に対する耐性が高い材料で構成する。そして、半導体層の表面に付着した多くの不純物であるパーティクルを除去するために、弗化水素酸系薬液で半導体層を含む絶縁膜上を洗浄する。この後、この半導体層を含む絶縁膜上にゲート絶縁膜を形成している (例えば、特許文献 1 参照。)。

【0004】

また、現在、ガラス基板の上に形成される回路素子の微細化に伴って、このガラス基板上の

10

20

30

40

50

サブミクロンサイズのパーティクルが問題視されている。ところが、上記液晶パネルの製造方法では、ガラス基板上に絶縁膜を形成し、この絶縁膜上に島状の半導体層を形成してから、この半導体層を含む絶縁膜上を弗化水素酸系薬液で洗浄するに過ぎないので、このガラス基板上に付着したパーティクルを洗浄して除去することができない。

【0005】

このため従来は、上述のように、パーティクル検査や基板洗浄の技術にも重点が置かれ、またクリーンルーム環境の清浄度をさらに厳しく管理する努力がなされてきた。しかしながら近年の基板サイズの大型化は、製造装置の大型化によるクリーンルームの面積化を招き、クリーンルームの維持費はコスト増加の大きな要因となっている。さらに製造装置の大型化は、装置内部から発生するパーティクルに対しても厳しい管理を要求し、装置メンテナンスに要する人手と時間を増大させている。

10

【0006】

【特許文献1】

特開2002-111002号公報(第3-5頁、図1-図3)

【0007】

【発明が解決しようとする課題】

上述したように、上記従来技術では、クリーンルーム清浄度の向上や基板洗浄技術の向上など、半導体素子製造技術においては当然とされるパーティクル対策に注目してきた。ところが、これらの対策では、クリーンルーム維持管理のコストや洗浄技術の現状から、到達し得るパーティクル管理の限界が現われ、より厳しくパーティクルを管理することは困難である。このため、パーティクルに起因したリークによる不良が発生して歩留まりが低下してしまうという問題を有している。

20

【0008】

本発明は、このような点に鑑みなされたもので、リークによる不良を防止でき、歩留まりを向上できる画像表示装置用アレイ基板およびその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明は、透光性基板上に、この透光性基板より表面処理剤に対する処理速度が遅い絶縁膜を形成し、この絶縁膜上に、回路素子を形成するものである。

30

【0010】

そして、透光性基板より表面処理剤に対する処理速度が遅い絶縁膜を透光性基板上に形成し、この絶縁膜上に回路素子を形成することにより、透光性基板上へのパーティクルの付着に伴う回路素子および絶縁膜の異常な成長を防止できるから、リークによる不良を防止でき、歩留まりを向上できる。

【0011】

【発明の実施の形態】

以下、本発明の一実施の形態の構成を図面を参照して説明する。

【0012】

まず、図1および図2に示す画像表示装置としての液晶表示装置である液晶パネル1は、多結晶シリコンアクティブマトリクス方式の液晶ディスプレイ(Liquid Crystal Display: LCD)である。また、この液晶パネル1は、画像表示装置用アレイ基板2を備えており、このアレイ基板2は、略透明な絶縁性を有する透光性基板としてのガラス基板3を備えている。

40

【0013】

そして、このガラス基板3の一主面である表面上には、このガラス基板3からの不純物の拡散を防止するなどの目的で絶縁性の絶縁膜としてのアンダーコート層4が成膜されて堆積されている。このアンダーコート層4は、図1に示すように、ガラス基板3の表面上に付着した何らかのパーティクルPの上から、このガラス基板3の表面に成膜されている。また、このアンダーコート層4は、窒化シリコン(SiN_x)と酸化シリコン(SiO_x)

50

)とからなり、プラズマCVD法にて成膜されて形成されている。

【0014】

ここで、このアンダーコート層4は、100nm以上600nm以下の膜厚であり、ガラス基板3よりも表面処理剤としての弗化水素酸であるフッ酸(HF)に対する処理速度、すなわちエッチングレートが遅い。そして、このアンダーコート層4のフッ酸に対するエッチングレートは、ガラス基板3の表面をフッ酸にて洗浄処理する時間内において、このアンダーコート層4の膜厚の10%以下がエッチングされる範囲である。なお、このアンダーコート層4は、20以上60以下の範囲で成膜温度が上げられており、窒素ガス(N₂)が微量に添加された状態で成膜されている。

【0015】

そして、このアンダーコート層4上には、島状の半導体層としての多結晶シリコン半導体膜であるポリシリコン膜5が成膜されている。このポリシリコン膜5は、ガラス基板3上に堆積させた非結晶シリコン半導体膜であるアモルファスシリコン膜10をエキシマレーザーアニール(ELA)法にて結晶化させて形成されている。また、このポリシリコン膜5を含むアンダーコート層4上には、絶縁性を有するシリコン酸化膜などでゲート酸化膜6が成膜されている。

【0016】

また、このゲート酸化膜6上には、モリブデン-タングステン合金(MoW)などが成膜されて、メタル電極としてのゲート電極7が形成されている。ここで、これらゲート電極7およびポリシリコン膜5によって回路素子としての容量素子8が構成される。さらに、これらポリシリコン膜5、ゲート酸化膜6およびゲート電極7によって、回路素子としての絶縁ゲート型の薄膜トランジスタ(TFT)9が形成されている。この薄膜トランジスタ9は、液晶パネル1の画素スイッチとして機能する。

【0017】

さらに、ポリシリコン膜5の両側域には、ソース領域11とドレイン領域12とが形成されている。さらに、ドーピングされていないゲート電極7の下方に位置するポリシリコン膜5の中央部が、ゲート電極7に対してセルフアライン、すなわち自己整合されてチャンネル領域13となる。そして、ゲート電極7を含むゲート酸化膜6上には、シリコン酸化膜などで形成された層間絶縁膜14が成膜されている。この層間絶縁膜14とゲート酸化膜6とは、これら層間絶縁膜14およびゲート酸化膜6を貫通し、ソース領域11およびドレイン領域12に連通してコンタクトする第1のコンタクトホール15、16が開口されている。

【0018】

また、層間絶縁膜14上には、第2の配線層として成膜されたソース電極17と、ドレイン電極18と、信号を供給する図示しない信号線とが形成されている。これらソース電極17、ドレイン電極18および信号線は、アルミニウム(Al)などの低抵抗金属などで成膜形成されている。そして、ソース電極17は、第1のコンタクトホール15を介してソース領域11に導電接続されている。また、ドレイン電極18は、第1のコンタクトホール16を介してドレイン領域12に導電接続されている。

【0019】

そして、層間絶縁膜14、ソース電極17およびドレイン電極18上に保護膜21が成膜されている。この保護膜21上には、各色、例えば赤青緑の3色のカラーフィルタ22が成膜されている。そして、これら保護膜21およびカラーフィルタ22には、ドレイン電極18に連通してコンタクトする第2のコンタクトホール23が開口されている。

【0020】

さらに、カラーフィルタ22上には、透明導体層である画素電極24がマトリクス状に配設されている。この画素電極24は、第2のコンタクトホール23を介してソース電極17に導電接続されている。また、この画素電極24上には、保護膜としての配向膜25が成膜されている。さらに、この画素電極24に対向して対向基板31が配設されており、この画素電極24に対向した側である対向基板31の一主面には、対向電極32が形成さ

10

20

30

40

50

れている。また、アレイ基板 2 の画素電極 2 4 と、対向基板 3 1 の対向電極 3 2 との間には、液晶 3 3 が介挿されて封止されて液晶パネルが構成されている。

【 0 0 2 1 】

次に、上記一実施の形態の液晶パネルの製造方法について説明する。

【 0 0 2 2 】

まず、ガラス基板 3 の表面を洗浄して、このガラス基板 3 の表面に付着したパーティクル P を除去する。

【 0 0 2 3 】

この後、このガラス基板 3 の一主面に、シリコン酸化膜などをプラズマ C V D 法などで成膜形成してアンダーコート層 4 を形成し、連続して 5 0 n m の膜厚でアモルファスシリコン膜 1 0 を成膜する。 10

【 0 0 2 4 】

そして、このアモルファスシリコン膜 1 0 を含むアンダーコート層 4 の表面をフッ酸溶液にて洗浄して、このアモルファスシリコン膜 1 0 の表面に付着した酸化膜を除去する。

【 0 0 2 5 】

この後、このアモルファスシリコン膜 1 0 にエキシマレーザビームを照射して、このアモルファスシリコン膜 1 0 をレーザアニールして結晶化させて、このアモルファスシリコン膜 1 0 を所望する結晶粒径のポリシリコン膜 5 にする。

【 0 0 2 6 】

そして、このポリシリコン膜 5 をパターンニングした後、このポリシリコン膜 5 を含むアンダーコート層 4 上に、プラズマ C V D 法などでゲート酸化膜 6 を形成する。 20

【 0 0 2 7 】

次いで、このゲート酸化膜 6 上に、第 1 配線層をスパッタリング法で成膜し、この第 1 配線層をエッチング加工して、ゲート電極 7 を形成する。

【 0 0 2 8 】

この後、フォトリソグラフィ技術を用いて、ポリシリコン膜 5 の両側域にソース領域 1 1 およびドレイン領域 1 2 を形成して薄膜トランジスタ 9 を作製する。

【 0 0 2 9 】

このとき、これらソース領域 1 1 およびドレイン領域 1 2 は、ゲート電極 7 をエッチング加工する際のレジストをマスクとして、ボロン (B) やリン (P) などの不純物をイオンドーピング法などで、ポリシリコン膜 5 の両側域をドーピングすることにより形成されている。 30

【 0 0 3 0 】

また、ゲート電極 7 の下方に位置するポリシリコン膜 5 の中央部がチャンネル領域 1 3 となる。

【 0 0 3 1 】

次いで、ゲート電極 7 を含むゲート酸化膜 6 上に層間絶縁膜 1 4 を形成し、これら層間絶縁膜 1 4 およびゲート酸化膜 6 に第 1 のコンタクトホール 1 5 , 1 6 を形成する。

【 0 0 3 2 】

この後、この層間絶縁膜 4 に低抵抗金属をスパッタリング法などで成膜しパターンニングしてソース電極 1 7 、ドレイン電極 1 8 および信号線を形成する。 40

【 0 0 3 3 】

そして、これら層間絶縁膜 1 4 、ソース電極 1 7 およびドレイン電極 1 8 上に保護膜 2 1 を形成し、この保護膜 2 1 上にカラーフィルタ 2 2 を形成する。

【 0 0 3 4 】

さらに、このカラーフィルタ 2 2 上に I T O (I n d i u m T i n O x i d e) などの透明導電体層を成膜した後、エッチング加工して画素電極 2 4 を形成する。

【 0 0 3 5 】

この後、対向電極 3 2 が形成された側である対向基板 3 1 の一主面をアレイ基板 2 の画素電極 2 4 が形成された側に対向させて配設し、これら対向基板 3 1 とアレイ基板 2 との間 50

に液晶 33 を介挿させて封止して液晶パネル 1 を製造する。

【0036】

上述したように、上記一実施の形態によれば、ガラス基板 3 上に予めパーティクル P が付着し、このガラス基板 3 上にアンダーコート層 4 を形成する前の洗浄工程で、このパーティクル P を除去できないまま、このガラス基板 3 上に従来のアンダーコート層 4 を形成した場合には、図 3 に示すように、このガラス基板 3 上のパーティクル P を含んだ状態で、このガラス基板 3 上に異常な形状のアンダーコート層 4 が形成され、この異常な形状のアンダーコート層 4 の上からアモルファスシリコン膜 10 が成膜される。この場合、このアモルファスシリコン膜 10 には、アンダーコート層 4 の異常な形状が原因により、図 3 に示すような穴やクラックなどの異常部 U が形成されやすい。

10

【0037】

さらに、このアモルファスシリコン膜 10 をポリシリコン膜 5 に結晶化させる前には、通常、フッ酸溶液にてアモルファスシリコン膜 10 の表面の酸化膜を除去するが、このとき、図 4 に示すように、アモルファスシリコン膜 10 の異常部 U からフッ酸溶液が染み込んでしまい、このフッ酸溶液がアンダーコート層 4 およびガラス基板 3 をエッチングしてガラス穴 H を開けてしまうおそれがある。

【0038】

そして、このガラス穴 H がアモルファスシリコン膜 10 の下方に形成された状態で、このアモルファスシリコン膜 10 をレーザアニールして結晶化させると、図 5 に示すように、ポリシリコン膜 5 が異常に成長してしまう。これは、レーザアニールにてアモルファスシリコン膜 10 を結晶化させるときに照射したエキシマレーザビームによって与えられた熱がアンダーコート層 4 に拡散するが、この熱がガラス穴 H の部分では正常に拡散されないからである。

20

【0039】

さらに、このポリシリコン膜 5 の結晶化に続いて、このポリシリコン膜 5 をパターンニングしてから、このポリシリコン膜 5 を含むアンダーコート層 4 上にゲート酸化膜 6 を形成した後、このゲート酸化膜 6 上にゲート電極 7 を形成し、さらに、このゲート電極 7 を含むゲート酸化膜 6 上に層間絶縁膜 14 を形成すると、図 6 に示すように、ポリシリコン膜 5 の異常部 U の影響によりゲート酸化膜 6 にクラックなどの間隙部 C が形成された構造となる。

30

【0040】

すなわち、このゲート酸化膜 6 に形成された間隙部 C には、ポリシリコン膜 5 の異常部 U が原因でクラックが発生し、ゲート電極 7 とポリシリコン膜 5 との間でリークが発生してしまう。したがって、ガラス基板 3 上に付着したパーティクル P によって、このガラス基板 3 上に形成した薄膜トランジスタ 9 や補助容量などの容量素子 8 が正常に機能しなくなってしまう。

【0041】

そこで、ガラス基板 3 上に形成されるアンダーコート層 4 を、このガラス基板 3 よりもエッチングレートが遅い窒化シリコンあるいは酸化シリコンにて構成した。この結果、図 1 に示すように、ガラス基板 3 上に何らかのパーティクル P が付着して残存した状態で、このガラス基板 3 上にアンダーコート層 4 を形成した後、このアンダーコート層 4 上に成膜されるアモルファスシリコン膜 10 に従来と同様にクラックなどが発生した状態で、このアモルファスシリコン膜 10 の表面をフッ酸溶液で洗浄した際にアンダーコート層 4 までフッ酸溶液が染み込んで到達したとしても、図 4 ないし図 6 に示すようなガラス穴 H がガラス基板 3 の表面に形成されることはない。

40

【0042】

したがって、アモルファスシリコン膜 10 を結晶化させる工程でポリシリコン膜 5 が異常に成長しなくなり、このポリシリコン膜 5 上に形成されるゲート酸化膜 6 およびゲート電極 7 なども異常に成長しなくなるから、ゲート酸化膜 6 でのリークによる不良を防止できる。このため、図 1 に示すように、ガラス基板 3 上にパーティクル P が残存した場合であ

50

っても、このガラス基板 3 上に正常に機能する薄膜トランジスタ 9 や容量素子 8 を形成できる。

【0043】

よって、従来のクリーンルームの清浄度向上や基板洗浄技術では管理できなかったパーティクル P がガラス基板 3 上に残存していても正常に機能する液晶パネル 1 を製造できるので、この液晶パネル 1 の歩留まりを簡単な構成で確実に向上できる。

【0044】

また、上述した従来の技術のみでは、アモルファスシリコン膜 10 の表面を洗浄する洗浄工程後に、アモルファスシリコン膜 10 を結晶化させてポリシリコン膜 5 にする図示しないレーザアニール装置へとガラス基板 3 を搬送する装置間基板搬送工程や、このレーザアニール装置内でガラス基板 3 を搬送する装置内基板搬送工程で新たに付着したパーティクル P に関しては対策できなかった。

10

【0045】

これに対し、上述のように、アンダーコート層 4 のフッ酸に対するエッチングレートがガラス基板 3 より遅くすることにより、洗浄工程で除去できなかったパーティクル P に対しても同様の作用効果を奏することができるばかりでなく、洗浄工程後の装置間基板搬送工程や装置内基板搬送工程で新たに付着するパーティクル P に対しても同様の作用効果を奏することができる。

【0046】

なお、上記一実施の形態では、ガラス基板 3 上に付着したパーティクル P による不良について説明したが、このパーティクル P の形状や、大きさ、さらには液晶パネル 1 の構造などが異なる場合であっても、上記一実施の形態と同様の作用効果を奏することができる。

20

【0047】

【発明の効果】

本発明によれば、絶縁膜の表面処理剤に対する処理速度を透光性基板より遅くすることにより、透光性基板上へのパーティクルの付着に伴う回路素子および絶縁膜の異常な成長を防止できるから、リークによる不良を防止でき、歩留まりを向上できる。

【図面の簡単な説明】

【図 1】本発明の画像表示装置の一部を示す説明断面図である。

【図 2】同上画像表示装置を示す説明断面図である。

30

【図 3】比較例となる画像表示装置のガラス基板上にアンダーコート層およびアモルファスシリコン膜を形成した状態を示す説明断面図である。

【図 4】同上画像表示装置のアモルファスシリコン膜を洗浄した状態を示す説明断面図である。

【図 5】同上画像表示装置のアモルファスシリコン膜を結晶化させた状態を示す説明断面図である。

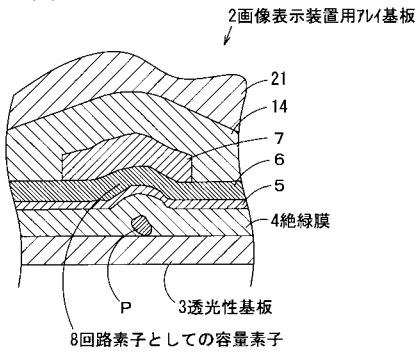
【図 6】同上画像表示装置のアモルファスシリコン膜上にゲート電極および層間絶縁膜を形成した状態を示す説明断面図である。

【符号の説明】

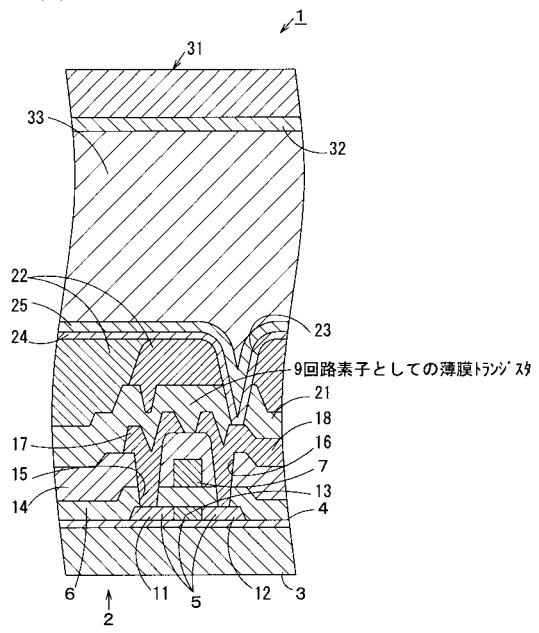
- 2 画像表示装置用アレイ基板
- 3 透光性基板としてのガラス基板
- 4 絶縁膜としてのアンダーコート層
- 8 回路素子としての容量素子
- 9 回路素子としての薄膜トランジスタ

40

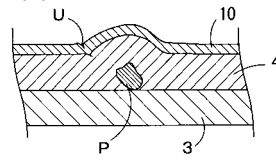
【 図 1 】



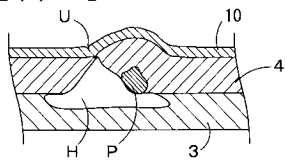
【 図 2 】



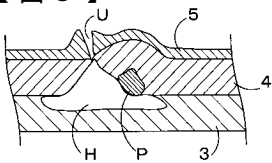
【 図 3 】



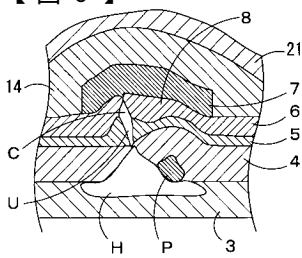
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(72)発明者 石田 有親

東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 神内 紀秀

東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 丸尾 拓

東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 2H090 HA04 HB03X HB04X HC03 HD01 LA01 LA04

2H092 JA25 JA34 JB57 KA12 KA22 KB24 MA08 MA18 NA13 NA16

NA29 PA01

5F110 AA06 AA26 AA28 BB01 CC02 DD02 DD13 DD14 EE06 EE44

FF02 FF30 GG02 GG13 GG42 GG45 HJ01 HJ12 HL03 HL23

NN03 NN23 NN72 NN73 PP03 PP31 QQ09 QQ11

专利名称(译)	用于图像显示装置的阵列基板及其制造方法		
公开(公告)号	JP2004333775A	公开(公告)日	2004-11-25
申请号	JP2003128322	申请日	2003-05-06
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	四元茂之 石田有親 神内紀秀 丸尾拓		
发明人	四元 茂之 石田 有親 神内 紀秀 丸尾 拓		
IPC分类号	G02F1/1333 G02F1/1368 H01L29/786		
FI分类号	G02F1/1333.505 G02F1/1368 H01L29/78.626.C		
F-TERM分类号	2H090/HA04 2H090/HB03X 2H090/HB04X 2H090/HC03 2H090/HD01 2H090/LA01 2H090/LA04 2H092/JA25 2H092/JA34 2H092/JB57 2H092/KA12 2H092/KA22 2H092/KB24 2H092/MA08 2H092/MA18 2H092/NA13 2H092/NA16 2H092/NA29 2H092/PA01 5F110/AA06 5F110/AA26 5F110/AA28 5F110/BB01 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD14 5F110/EE06 5F110/EE44 5F110/FF02 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG42 5F110/GG45 5F110/HJ01 5F110/HJ12 5F110/HL03 5F110/HL23 5F110/NN03 5F110/NN23 5F110/NN72 5F110/NN73 5F110/PP03 5F110/PP31 5F110/QQ09 5F110/QQ11 2H190/HA04 2H190/HB03 2H190/HB04 2H190/HC03 2H190/HD00 2H190/LA01 2H190/LA04 2H192/AA24 2H192/BC31 2H192/CB02 2H192/DA44 2H192/EA42 2H192/EA76 2H192/HA81		
代理人(译)	山田哲也		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种用于制造用于液晶显示装置的阵列基板的方法，该方法能够防止由于栅氧化膜中的泄漏引起的缺陷并提高产量。

SOLUTION：使底涂层4对氢氟酸的腐蚀速率比玻璃基板3的腐蚀速率慢。在玻璃基板3上形成附着有粒子P的底涂层4。在该底涂层4上形成非晶硅膜。即使用氢氟酸清洗非晶硅薄膜的表面，在非晶硅膜中也不会形成异常部分，并且在玻璃基板3中也不会形成玻璃孔。可以防止由于粒子P在玻璃基板3上的粘附而导致的多晶硅薄膜5和栅氧化膜6的异常生长。[选型图]图1

