

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4188603号
(P4188603)

(45) 発行日 平成20年11月26日(2008.11.26)

(24) 登録日 平成20年9月19日(2008.9.19)

(51) Int.Cl.

F I

G02F 1/133 (2006.01)
G09G 3/20 (2006.01)
G09G 3/36 (2006.01)

G02F 1/133 550
G02F 1/133 525
G02F 1/133 575
G09G 3/20 611J
G09G 3/20 621B

請求項の数 11 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2002-7336 (P2002-7336)
(22) 出願日 平成14年1月16日(2002.1.16)
(65) 公開番号 特開2003-207760 (P2003-207760A)
(43) 公開日 平成15年7月25日(2003.7.25)
審査請求日 平成17年1月12日(2005.1.12)

(73) 特許権者 000005108
株式会社日立製作所
東京都千代田区丸の内一丁目6番6号
(74) 代理人 100083552
弁理士 秋田 収喜
(72) 発明者 上田 史朗
千葉県茂原市早野3300番地 株式会社
日立製作所 ディスプレイグループ内

審査官 藤田 都志行

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数の画素と、

前記複数の画素に階調電圧を印加する複数の映像信号線と、

前記複数の映像信号線に対して、一水平走査期間の初めに所定のプリチャージ電圧を出力し、その後表示データに対応する階調電圧を出力する駆動手段とを有する液晶表示装置の駆動方法であって、

前記駆動手段から前記各画素に出力する階調電圧の極性をN(N-2)ライン毎に反転させるとともに、極性反転直後の1番目のライン上の画素に前記階調電圧を出力する時に前記駆動手段から前記各映像信号線に前記プリチャージ電圧を出力する期間を、極性反転直後の1番目のラインに続く極性が反転されないライン上の画素に前記階調電圧を出力する時に前記駆動手段から前記各映像信号線に前記プリチャージ電圧を出力する期間よりも長くしたことを特徴とする液晶表示装置の駆動方法。

【請求項2】

前記複数の階調電圧の中で、共通電圧に対して最も電位差が大きい階調電圧を最大階調電圧、前記共通電圧に対して最も電位差が小さい階調電圧を最小階調電圧とすると、

前記プリチャージ電圧は、前記最大階調電圧と最小階調電圧との間の中間電圧よりも前記最大階調電圧に偏った電圧であることを特徴とする請求項1に記載の液晶表示装置の駆動方法。

【請求項3】

10

20

前記複数の階調電圧の中で、共通電圧に対して最も電位差が大きい階調電圧を最大階調電圧、前記共通電圧に対して最も電位差が小さい階調電圧を最小階調電圧とすると、

前記プリチャージ電圧は、前記最大階調電圧と最小階調電圧との間の中間電圧であることを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

【請求項 4】

前記各画素に出力する階調電圧の極性を 2 ライン毎に反転させることを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

【請求項 5】

複数の画素と、

前記複数の画素に階調電圧を印加する複数の映像信号線と、

前記複数の映像信号線に対して、一水平走査期間の初めに所定のプリチャージ電圧を出力し、その後表示データに対応する階調電圧を出力する駆動手段と、

前記駆動手段に対して、交流化信号と制御用クロックとを出力する表示制御装置とを有する液晶表示装置の駆動方法であって、

前記表示制御手段から出力される交流化信号に基づき、前記駆動手段から前記各画素に出力する階調電圧の極性を $N(N - 2)$ ライン毎に反転させるとともに、極性反転直後の 1 番目のライン上の画素に前記階調電圧を出力する時に前記表示制御手段から出力される制御用クロックの第 1 レベル期間を、極性反転直後の 1 番目のラインに続く極性が反転されないライン上の画素に前記階調電圧を出力する時に前記表示制御手段から出力される制御用クロックの第 1 レベル期間よりも長くして、極性反転直後の 1 番目のライン上の画素に前記階調電圧を出力する時に前記駆動手段から前記各映像信号線に前記プリチャージ電圧を出力する期間を、極性反転直後の 1 番目のラインに続く極性が反転されないライン上の画素に前記階調電圧を出力する時に前記駆動手段から前記各映像信号線に前記プリチャージ電圧を出力する期間よりも長くしたことを特徴とする液晶表示装置の駆動方法。

【請求項 6】

前記複数の階調電圧の中で、共通電圧に対して最も電位差が大きい階調電圧を最大階調電圧、前記共通電圧に対して最も電位差が小さい階調電圧を最小階調電圧とすると、

前記プリチャージ電圧は、前記最大階調電圧と最小階調電圧との間の中間電圧よりも前記最大階調電圧に偏った電圧であることを特徴とする請求項 5 に記載の液晶表示装置の駆動方法。

【請求項 7】

前記複数の階調電圧の中で、共通電圧に対して最も電位差が大きい階調電圧を最大階調電圧、前記共通電圧に対して最も電位差が小さい階調電圧を最小階調電圧とすると、

前記プリチャージ電圧は、前記最大階調電圧と最小階調電圧との間の中間電圧であることを特徴とする請求項 5 に記載の液晶表示装置の駆動方法。

【請求項 8】

前記各画素に出力する階調電圧の極性を 2 ライン毎に反転させることを特徴とする請求項 5 に記載の液晶表示装置の駆動方法。

【請求項 9】

複数の画素と、

前記複数の画素に階調電圧を印加する複数の映像信号線と、

前記複数の映像信号線に対して、一水平走査期間の初めに所定のプリチャージ電圧を出力し、その後表示データに対応する階調電圧を出力する駆動手段と、

前記駆動手段に対して、交流化信号と制御用クロックとを出力する表示制御装置とを備える液晶表示装置であって、

前記表示制御手段は、制御用クロックの第 1 レベル期間を変化させるレベル期間変化手段を有し、

前記レベル期間変化手段は、極性反転直後の 1 番目のライン上の画素に前記階調電圧を出力する時の前記制御用クロックの第 1 レベル期間を、極性反転直後の 1 番目のラインに続く極性が反転されないライン上の画素に前記階調電圧を出力する時の前記制御用クロッ

10

20

30

40

50

クの第1レベル期間よりも長くし、

前記駆動手段は、前記表示制御手段から出力される交流化信号に基づき、前記各画素に出力する階調電圧の極性を $N(N-2)$ ライン毎に反転させる反転手段と、

前記表示制御手段から出力される制御用クロックの第1レベル期間に基づき、極性反転直後の1番目のライン上の画素に前記階調電圧を出力する時に前記プリチャージ電圧を出力する期間を、極性反転直後の1番目のラインに続く極性が反転されないライン上の画素に前記階調電圧を出力する時に前記各映像信号線に前記プリチャージ電圧を出力する期間よりも長くするプリチャージ電圧出力期間変化手段とを有することを特徴とする液晶表示装置。

【請求項10】

前記駆動手段は、前記各画素に出力する階調電圧の極性を2ライン毎に反転させることを特徴とする請求項9に記載の液晶表示装置。

【請求項11】

前記レベル期間変化手段は、前記制御用クロックの第1レベル期間の最大期間内における、外部から入力される外部制御用クロックの最大クロック数を設定する設定手段と、

前記設定手段で設定された前記最大クロック数から、外部から入力される前記外部クロックのクロック数を減算する減算手段と、

前記減算手段から出力されるクロック数に基づき、今回走査するラインにおける、前記制御用クロックの第1レベル期間を設定するレベル期間設定手段とを有することを特徴とする請求項9に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置およびその駆動方法に係わり、特に、 N ライン反転駆動方法などの、画素に印加する階調電圧を複数ライン毎に極性反転する駆動方法に適用して有効な技術に関する。

【0002】

【従来の技術】

画素毎に能動素子（例えば、薄膜トランジスタ）を有し、この能動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型のパーソナルコンピュータ（以下、単に、パソコンという）等の表示装置として広く使用されている。

このアクティブマトリクス型液晶表示装置の1つに、アクティブ素子として薄膜トランジスタ（TFT；Thin Film Transistor）を使用する液晶表示パネルと、液晶表示パネルの長辺側に配置されるドレインドライバと、液晶表示パネルの短辺側に配置されるゲートドライバと、液晶表示パネルの裏面側に配置されるインタフェース部とを備えるTFT方式の液晶表示モジュールが知られている。

この液晶表示モジュールとして、1水平走査期間の初めの所定期間（以下、プリチャージ期間という。）内に、液晶表示パネル内のドレイン信号線にプリチャージ電圧を出力し、ドレイン信号線をプリチャージ電圧に充電するようにしたものが知られている。

なお、このような技術は、例えば、特開平11-85107号公報などに記載されている。

【0003】

【発明が解決しようとする課題】

一般に、液晶層は、長時間同じ電圧（直流電圧）が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。

これを防止するために、液晶表示モジュールにおいては、液晶層に印加する電圧をある一定時間毎に交流化、即ち、コモン電極（または共通電極）に印加する共通電圧を基準にして、画素電極に印加する階調電圧を、一定時間毎に正電圧側/負電圧側に变化させるようにしている。

この液晶層に交流電圧を印加する駆動方法として、コモン対称法とコモン反転法の2通り

10

20

30

40

50

の方法が知られている。

コモン反転法とは、コモン電極に印加される共通電圧と画素電極に印加する階調電圧とを、交互に正、負に反転させる方法である。

また、コモン対称法とは、コモン電極に印加される共通電圧を一定とし、画素電極に印加する階調電圧を、コモン電極に印加される共通電圧を基準にして、交互に正、負に反転させる方法であり、ドット反転法、 n ライン（例えば、2ライン）反転法などが知られている。

【0004】

図17は、液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバからドレイン信号線に出力される階調電圧（即ち、画素電極に印加される階調電圧）の極性を説明するための図である。

10

ドット反転では、図17に示すように、例えば、奇数フレームの奇数ラインでは、ドレインドライバから、奇数番目のドレイン信号線に、コモン電極に印加される共通電圧（ V_{com} ）に対して負極性の階調電圧（図17では V_{1} で示す）が、また、偶数番目のドレイン信号線に、コモン電極に印加される共通電圧（ V_{com} ）に対して正極性の階調電圧（図17では V_{2} で示す）が印加される。

さらに、奇数フレームの偶数ラインでは、ドレインドライバから、奇数番目のドレイン信号線に正極性の階調電圧が、また、偶数番目のドレイン信号線に負極性の階調電圧が印加される。

また、各ライン毎の極性はフレーム毎に反転され、即ち、図17に示すように、偶数フレームの奇数ラインでは、ドレインドライバから、奇数番目のドレイン信号線に正極性の階調電圧が、また、偶数番目のドレイン信号線に負極性の階調電圧が印加される。

20

さらに、偶数フレームの偶数ラインでは、ドレインドライバから、奇数番目のドレイン信号線に負極性の階調電圧が、また、偶数番目のドレイン信号線に正極性の階調電圧が印加される。

【0005】

このドット反転法を使用することにより、隣り合うドレイン信号線に印加される電圧が逆極性となるため、コモン電極や薄膜トランジスタ（TFT）のゲート電極に流れる電流が隣同志で打ち消し合い、消費電力を低減することができる。

また、コモン電極に流れる電流が少なく電圧降下が大きくなりえないため、コモン電極の電圧レベルが安定し、表示品質の低下を最小限に抑えることができる。

30

しかしながら、駆動方法として、前述したドット反転法を採用した液晶表示モジュールを搭載したパソコンでは、交流化のタイミングと、表示される画像パターン（例えば、Windows（登録商標）終了画面など）との間に所定の関係がある場合に、液晶表示パネルの表示画面にフリッカ（または、ちらつき）が生じ、表示品質が損なわれるという欠点があった。

この問題点は、駆動方法として、 N ライン（例えば、2ライン）反転法を採用し、ドレインドライバからドレイン信号線に印加する階調電圧の極性を、 N ライン（例えば、2ライン）毎に反転させることにより解決することができる。

しかしながら、駆動方法として、 N ライン（例えば、2ライン）反転法を採用した場合には、図18に示すように、例えば、同じ階調で、かつ、同じ色を画面全体に表示したときなどに、 N ライン毎に、表示画面中に横筋が生じ、液晶表示パネルの表示品質を著しく損なわせるという問題点があった。

40

【0006】

他方、液晶表示モジュール等の液晶表示装置においては、液晶表示パネルの大画面化の要求に伴って、液晶表示パネルの解像度として、XGA表示モードの 1024×768 画素、SXGA表示モードの 1280×1024 画素、UXGA表示モードの 1600×1200 画素とさらなる高解像度化が要求されている。

このため、1垂直走査期間内の水平走査数が増加し、それに伴い1水平走査当たりの書き込み時間はだんだん短くなり、ドレインドライバの出力遅延時間（ t_{DD} ）が大きな問題

50

となってきた。

即ち、1水平走査当たりの書き込み時間に対するドレインドライバの出力遅延時間（ t_{DD} ）の割合が大きくなると、画素書き込み電圧が不足し、液晶表示パネルに表示される表示画面の表示品質が著しく劣化する。

そのため、従来の液晶表示モジュールでは、プリチャージ期間内に、ドレイン信号線にプリチャージ電圧を供給し、ドレイン信号線をプリチャージ電圧に充電するようにしている。

しかしながら、プリチャージ期間内に、ドレイン信号線にプリチャージ電圧を供給しても、ドレインドライバから遠い遠端部分では、所定のプリチャージ電圧とはならない。

そのため、液晶表示パネルのドレインドライバから遠い遠端部分の画素では、書き込み電圧が不足し、液晶表示パネルに表示される表示画面の表示品質が著しく劣化することが想定される。

10

【0007】

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置およびその駆動方法において、階調電圧の極性を $N(N-2)$ ライン毎に反転させる場合に、表示画面に横筋が生じるのを防止して、表示画面の表示品質を向上させることが可能となる技術を提供することにある。

また、本発明の他の目的は、液晶表示装置およびその駆動方法において、プリチャージ期間内に、ドレインドライバの近傍部分の映像信号線に充電される充電電圧の電圧値と、ドレインドライバから遠い遠端部分の映像信号線に充電される充電電圧の電圧値との間の電位差を、従来よりも小さくすることが可能となる技術を提供することにある。

20

本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

即ち、本発明は、駆動手段から各画素に出力する階調電圧の極性を $N(N-2)$ ライン毎に反転させるとともに、前記駆動手段から前記各映像信号線に、充電電圧を出力する期間を、極性反転直後の1番目のライン上の画素に前記階調電圧を出力する時と、極性反転直後の1番目のラインに続く極性が反転されないライン上の画素に前記階調電圧を出力する時とで異ならせたことを特徴とする。

30

例えば、前記駆動手段から前記各映像信号線に前記充電電圧を出力する期間を、極性反転直後の1番目のライン上の画素に前記階調電圧を出力する時の方が、極性反転直後の1番目のラインに続く極性が反転されないライン上の画素に前記階調電圧を出力する時よりも長くする。

本発明によれば、極性反転直後のライン上の画素に書き込まれる電圧と、極性反転直後のラインに続くライン上の画素に書き込まれる電圧とを同じにすることができるので、表示画面に横筋が生じるのを防止して、表示画面の表示品質を向上させることが可能となる。

【0009】

40

さらに、本発明では、前記駆動手段から前記各映像信号線に前記充電電圧を出力する期間を、走査されるラインと前記駆動手段との間の距離に応じて異ならせる。

例えば、前記駆動手段から前記各映像信号線に前記充電電圧を出力する期間を、走査されるラインと前記駆動手段との間の距離が大きくなる程、漸次大きくする。

本発明によれば、液晶表示パネルの駆動手段から遠い遠端部分の画素においても、書き込み電圧が不足することがなくなるので、液晶表示パネルに表示される表示画面の表示品質を向上させることが可能となる。

【0010】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

50

なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

本発明が適用されるTFT方式の液晶表示モジュールの基本構成

図1は、本発明が適用される液晶表示モジュールの概略構成を示すブロック図である。

図1に示す液晶表示モジュールは、液晶表示パネル10の長辺側にドレインドライバ130が配置され、また、液晶表示パネル10の短辺側にゲートドライバ140が配置される。

このドレインドライバ130、ゲートドライバ140は、液晶表示パネル10の一方のガラス基板(例えば、TFT基板)の周辺部に直接実装される。

インタフェース部100はインタフェース基板に実装され、このインタフェース基板は、液晶表示パネル10の裏側に実装される。

【0011】

図1に示す液晶表示パネル10の構成

図2は、図1に示す液晶表示パネル10の一例の等価回路を示す図であり、図2に示すように、液晶表示パネル10は、マトリクス状に形成される複数の画素を有する。

各画素は、隣接する2本の信号線(ドレイン信号線(D)またはゲート信号線(G))と、隣接する2本の信号線(ゲート信号線(G)またはドレイン信号線(D))との交差領域内に配置される。

各画素は、薄膜トランジスタ(TFT1, TFT2)を有し、各画素の薄膜トランジスタ(TFT1, TFT2)のソース電極は、画素電極(ITO1)に接続される。

また、画素電極(ITO1)とコモン電極(ITO2)との間に液晶層が設けられるので、画素電極(ITO1)とコモン電極(ITO2)との間には、液晶容量(CLC)が等価的に接続される。

さらに、薄膜トランジスタ(TFT1, TFT2)のソース電極と前段のゲート信号線(G)との間には、保持容量(CADD)が接続される。

【0012】

図3は、図1に示す液晶表示パネル10の他の例の等価回路を示す図である。

図2に示す例では、前段のゲート信号線(G)とソース電極との間に保持容量(CADD)が形成されているが、図3に示す例の等価回路では、共通信号線(COM)とソース電極との間に付加容量(CSTG)が形成されている点が異なっている。

本発明は、どちらにも適用可能であるが、前者の方式では、前段のゲート信号線(G)パルスが保持容量(CADD)を介して画素電極(ITO1)に飛び込むのに対し、後者の方式では、飛び込みがないため、より良好な表示が可能となる。

なお、図2、図3は、縦電界方式の液晶表示パネルの等価回路を示しており、図2、図3において、ARは表示領域である。また、図2、図3は回路図であるが、実際の幾何学的配置に対応して描かれている。

図2、図3に示す液晶表示パネル10において、列方向に配置された各画素の薄膜トランジスタ(TFT1, TFT2)のドレイン電極は、それぞれドレイン信号線(D)に接続され、各ドレイン信号線(D)は、列方向の各画素の液晶に階調電圧を印加するドレインドライバ130に接続される。

また、行方向に配置された各画素における薄膜トランジスタ(TFT1, TFT2)のゲート電極は、それぞれゲート信号線(G)に接続され、各ゲート信号線(G)は、1水平走査時間、行方向の各画素の薄膜トランジスタ(TFT1, TFT2)のゲート電極に走査駆動電圧(正のバイアス電圧あるいは負のバイアス電圧)を供給するゲートドライバ140に接続される。

【0013】

図1に示すインタフェース部100の構成と動作概要

図1に示す表示制御装置110は、1個の半導体集積回路(LSI)から構成され、コンピュータ本体側から送信されてくる外部クロック信号(DCLK)、ディスプレイタイミング信号(DTMG)、水平同期信号(Hsync)、垂直同期信号(Vsync)の各

10

20

30

40

50

表示制御信号および表示用データ(R・G・B)を基に、ドレインドライバ130、および、ゲートドライバ140を制御・駆動する。

表示制御装置110は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、スタートパルス(表示データ取込開始信号)を信号線135を介して第1番目のドレインドライバ130に出力し、さらに、受け取った単純1列の表示データを、表示データのバスライン133を介してドレインドライバ130に出力する。

その際、表示制御装置110は、各ドレインドライバ130のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック(CL2)(以下、単に、クロック(CL2)と称する。)を信号線131を介して出力する。

【0014】

本体コンピュータ側からの表示データは、例えば、6ビットで、1画素単位、即ち、赤(R)、緑(G)、青(B)の各データを1つの組にして単位時間毎に転送される。

また、第1番目のドレインドライバ130に入力されたスタートパルスにより第1番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が制御される。

この第1番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が終了すると、第1番目のドレインドライバ130からスタートパルスが、第2番目のドレインドライバ130に入力され、第2番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が制御される。

以下、同様にして、各ドレインドライバ130におけるデータラッチ回路のラッチ動作が制御され、誤った表示データがデータラッチ回路に書き込まれるのを防止している。

【0015】

表示制御装置110は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎると、1水平分の表示データが終了したものととして、各ドレインドライバ130におけるデータラッチ回路に蓄えていた表示データに対応する階調電圧を、液晶表示パネル10のドレイン信号線(D)に出力するための表示制御信号である出力タイミング制御用クロック(CL1)(以下、単にクロック(CL1)と称する。)を信号線132を介して各ドレインドライバ130に出力する。

また、表示制御装置110は、垂直同期信号入力後に、第1番目のディスプレイタイミング信号が入力されると、これを第1番目の表示ラインと判断して信号線142を介してゲートドライバ140にフレーム開始指示信号(FLM)を出力する。

さらに、表示制御装置110は、水平同期信号に基づいて、1水平走査時間毎に、順次液晶表示パネル10の各ゲート信号線(G)に正のバイアス電圧を印加するように、信号線141を介してゲートドライバ140へ1水平走査時間周期のシフトクロックであるクロック(CL3)を出力する。

これにより、液晶表示パネル10の各ゲート信号線(G)に接続された複数の薄膜トランジスタ(TFT1, TFT2)が、1水平走査時間の間導通する。

以上の動作により、液晶表示パネル10に画像が表示される。

【0016】

図1に示す電源回路120の構成

図1に示す電源回路120は、階調基準電圧生成回路121、コモン電極(対向電極)電圧生成回路123、ゲート電極電圧生成回路124から構成される。

階調基準電圧生成回路121は、直列抵抗分圧回路で構成され、10値の階調基準電圧(V0~V9)を出力する。この階調基準電圧(V0~V9)は、各ドレインドライバ130に供給される。

また、各ドレインドライバ130には、表示制御装置110からの交流化信号(交流化タイミング信号; M)も、信号線134を介して供給される。

コモン電極電圧生成回路123はコモン電極(ITO2)に印加する共通電圧(Vcom)を、ゲート電極電圧生成回路124は薄膜トランジスタ(TFT1, TFT2)のゲート電極に印加する駆動電圧(正のバイアス電圧および負のバイアス電圧)を生成する。

10

20

30

40

50

【 0 0 1 7 】

図 1 に示すドレインドライバ 1 3 0 の構成

図 4 は、図 1 に示すドレインドライバ 1 3 0 の一例の概略構成を示すブロック図である。なお、ドレインドライバ 1 3 0 は、1 個の半導体集積回路 (L S I) から構成される。

同図において、正極性階調電圧生成回路 1 5 1 a は、階調基準電圧生成回路 1 2 1 から供給される 5 値の階調基準電圧 (V 0 ~ V 4) に基づいて、正極性の 6 4 階調の階調電圧を生成し、電圧バスライン 1 5 8 a を介して出力回路 1 5 7 に出力する。

負極性階調電圧生成回路 1 5 1 b は、階調基準電圧生成回路 1 2 1 から供給される負極性の 5 値の階調基準電圧 (V 5 ~ V 9) に基づいて、負極性の 6 4 階調の階調電圧を生成し、電圧バスライン 1 5 8 b を介して出力回路 1 5 7 に出力する。

10

また、ドレインドライバ 1 3 0 の制御回路 1 5 2 内のシフトレジスタ回路 1 5 3 は、表示制御装置 1 1 0 から入力されるクロック (C L 2) に基づいて、入力レジスタ回路 1 5 4 のデータ取り込み用信号を生成し、入力レジスタ回路 1 5 4 に出力する。

入力レジスタ回路 1 5 4 は、シフトレジスタ回路 1 5 3 から出力されるデータ取り込み用信号に基づき、表示制御装置 1 1 0 から入力されるクロック (C L 2) に同期して、各色毎 6 ビットの表示データを出力本数分だけラッチする。

ストレージレジスタ回路 1 5 5 は、表示制御装置 1 1 0 から入力されるクロック (C L 1) に応じて、入力レジスタ回路 1 5 4 内の表示データをラッチする。

このストレージレジスタ回路 1 5 5 に取り込まれた表示データは、レベルシフト回路 1 5 6 を介して出力回路 1 5 7 に入力される。

20

出力回路 1 5 7 は、正極性の 6 4 階調の階調電圧、あるいは負極性の 6 4 階調の階調電圧に基づき、表示データに対応した 1 つの階調電圧 (6 4 階調の中の 1 つの階調電圧) を選択して、各ドレイン信号線 (D) に出力する。

【 0 0 1 8 】

図 5 は、出力回路 1 5 7 の構成を中心に、図 4 に示すドレインドライバ 1 3 0 の構成を説明するためのブロック図である。

同図において、1 5 3 は図 4 に示す制御回路 1 5 2 内のシフトレジスタ回路、1 5 6 は図 4 に示すレベルシフト回路であり、また、データラッチ部 2 6 5 は、図 4 に示す入力レジスタ回路 1 5 4 とストレージレジスタ回路 1 5 5 とを表し、さらに、デコーダ部 (階調電圧選択回路) 2 6 1、アンプ回路対 2 6 3、アンプ回路対 2 6 3 の出力を切り替えるスイッチ部 (2) 2 6 4 が、図 4 に示す出力回路 1 5 7 を構成する。

30

ここで、スイッチ部 (1) 2 6 2 およびスイッチ部 (2) 2 6 4 は、交流化信号 (M) に基づいて制御される。また、D 1 ~ D 6 は、それぞれ第 1 番目 ~ 第 6 番目のドレイン信号線 (D) を示している。

図 5 に示すドレインドライバ 1 3 0 においては、スイッチ部 (1) 2 6 2 により、データラッチ部 2 6 5 (より詳しくは、図 4 に示す入力レジスタ 1 5 4) に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを各色毎の隣合うデータラッチ部 2 6 5 に入力する。

以下、デコーダ部 2 7 8 と、アンプ回路対 2 6 3 について説明する。なお、プリチャージコントロール回路 (以下、単に、プリチャージ回路と称する。) 3 0 については後述する

40

デコーダ部 2 6 1 は、階調電圧生成回路 1 5 1 a から電圧バスライン 1 5 8 a を介して出力される正極性の 6 4 階調の階調電圧の中から、各データラッチ部 2 6 5 (より詳しくは、図 4 に示すストレージレジスタ 1 5 5) から出力される表示用データに対応する正極性の階調電圧を選択する高電圧用デコーダ回路 2 7 8 と、階調電圧生成回路 1 5 1 b から電圧バスライン 1 5 8 b を介して出力される負極性の 6 4 階調の階調電圧の中から、各データラッチ部 2 6 5 から出力される表示用データに対応する負極性の階調電圧を選択する低電圧用デコーダ回路 2 7 9 とから構成される。

【 0 0 1 9 】

この高電圧用デコーダ回路 2 7 8 と低電圧用デコーダ回路 2 7 9 とは、隣接するデータラ

50

ッチ部 2 6 5 毎に設けられる。

アンプ回路対 2 6 3 は、高電圧用アンプ回路 2 7 1 と低電圧用アンプ回路 2 7 2 とにより構成される。

高電圧用アンプ回路 2 7 1 には高電圧用デコーダ回路 2 7 8 で生成された正極性の階調電圧が入力され、高電圧用アンプ回路 2 7 1 は正極性の階調電圧を電流増幅して出力する。低電圧用アンプ回路 2 7 2 には低電圧用デコーダ回路 2 7 9 で生成された負極性の階調電圧が入力され、低電圧用アンプ回路 2 7 2 は負極性の階調電圧を電流増幅して出力する。ドット反転法では、隣接する各色の階調電圧は互いに逆極性となり、また、アンプ回路対 2 6 3 の高電圧用アンプ回路 2 7 1 および低電圧用アンプ回路 2 7 2 の並びは、高電圧用アンプ回路 2 7 1 低電圧用アンプ回路 2 7 2 高電圧用アンプ回路 2 7 1 低電圧用アンプ回路 2 7 2 となるので、スイッチ部 (1) 2 6 2 により、データラッチ部 2 6 5 に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを、各色毎の隣り合うデータラッチ部 2 6 5 に入力し、それに合わせて、高電圧用アンプ回路 2 7 1 あるいは低電圧用アンプ回路 2 7 2 から出力される出力電圧をスイッチ部 (2) 2 6 4 により切り替え、各色毎の階調電圧が出力されるドレイン信号線 (D)、例えば、第 1 番目のドレイン信号線 (D 1) と第 4 番目のドレイン信号線 (D 4) とに出力することにより、各ドレイン信号線 (D) に正極性あるいは負極性の階調電圧を出力することが可能となる。

【 0 0 2 0 】

プリチャージ回路 3 0 の動作

図 6 は、図 5 に示すプリチャージ回路 3 0 の動作を説明するための図である。

なお、この図 6 では、高電圧用デコーダ回路 2 7 8、低電圧用デコーダ回路 2 7 9、高電圧用アンプ回路 2 7 1 および低電圧用アンプ回路 2 7 2 のみ、また、各色毎の隣接するドレイン信号 (D)、例えば、第 1 番目のドレイン信号線 (D 1) と第 4 番目のドレイン信号線 (D 4) に出力される出力系統のみを図示している。

この図 6 において、トランスファゲート回路 (T G 1 ~ T G 4) は、図 5 に示すスイッチ部 (2) 2 6 4 の一スイッチ回路を構成する。

また、出力 P A D (2 1 , 2 2) は、例えば、第 1 番目のドレイン信号線 (D 1) と第 4 番目のドレイン信号線 (D 4) に出力される半導体チップ (ドレインドライバ) の出力パッドを示す。

プリチャージ回路 3 0 は、高電圧用デコーダ回路 2 7 8 と高電圧用アンプ回路 2 7 1 との間、および低電圧用デコーダ回路 2 7 9 と低電圧用アンプ回路 2 7 2 との間に設けられる。

【 0 0 2 1 】

このプリチャージ回路 3 0 は、高電圧用デコーダ回路 2 7 8 と高電圧用アンプ回路 2 7 1 との間に接続されるトランスファゲート回路 (T G 3 1) と、低電圧用デコーダ回路 2 7 9 と低電圧用アンプ回路 2 7 2 との間に接続されるトランスファゲート回路 (T G 3 2) とを有する。

このトランスファゲート回路 (T G 3 1 , T G 3 2) は、(D E C T , D E C N) の制御信号により制御され、プリチャージ期間内に、高電圧用デコーダ回路 2 7 8 と低電圧用デコーダ回路 2 7 9 とを、高電圧用アンプ回路 2 7 1 および低電圧用アンプ回路 2 7 2 から切り離す。

また、プリチャージ回路 3 0 は、トランスファゲート回路 (T G 3 3) とトランスファゲート回路 (T G 3 4) とを有する。

このトランスファゲート回路 (T G 3 3 , T G 3 4) は、(P R E T , P R E N) の制御信号により制御され、プリチャージ期間内に、高電圧用アンプ回路 2 7 1 に高電圧用プリチャージ電圧 (例えば、任意の正極性の階調電圧) (V H p r e) を、また、低電圧用アンプ回路 2 7 2 に低電圧用プリチャージ電圧 (例えば、任意の負極性の階調電圧) (V L p r e) を供給する。

【 0 0 2 2 】

図 7 は、図 1 に示す液晶表示パネル 1 0 のドレイン信号線 (D) の電圧波形を示す図であ

る。

図 1 に示す液晶表示モジュールでは、プリチャージ期間内に、高電圧用デコーダ回路 278 と低電圧用デコーダ回路 279 とが、高電圧用アンプ回路 271 および低電圧用アンプ回路 272 から切り離され、高電圧用アンプ回路 271 および低電圧用アンプ回路 272 には、高電圧用プリチャージ電圧 (VHpre) および低電圧用プリチャージ電圧 (VLpre) が供給される。

そのため、ドレイン信号線 (D) は、予めプリチャージ電圧 (高電圧用プリチャージ電圧 (VHpre)、あるいは、低電圧用プリチャージ電圧 (VLpre)) に充電される。この高電圧用アンプ回路 271 および低電圧用アンプ回路 272 からドレイン信号線 (D) に対するプリチャージは、高電圧用デコーダ回路 278 および低電圧用デコーダ回路 279 と並列的に行われる。

10

そして、プリチャージ期間終了後に、高電圧用アンプ回路 271 および低電圧用アンプ回路 272 は、高電圧用デコーダ回路 278 および低電圧用デコーダ回路 279 の出力に追従し、ドレイン信号線 (D) に、表示データに対応した階調電圧 (VLCH, VLC L) を出力する。

このように、プリチャージ期間内にドレイン信号線 (D) を、高電圧用プリチャージ電圧 (VHpre)、あるいは、低電圧用プリチャージ電圧 (VLpre) で充電することにより、プリチャージ期間終了後に、ドレイン信号線 (D) の電位は、速やかに表示データに対応した階調電圧に追従することができる。

【0023】

20

図 8 は、図 6 に示すプリチャージ回路 30 のタイミングチャートの一例を示す図である。図 8 に示す制御信号 (HIZCNT) は、各トランスファゲート回路 (TG1 ~ TG4) のゲート電極に印加される制御信号 (ACKEP, ACKOP, ACKEN, ACKON) を生成するための制御信号であり、この制御信号 (HIZCNT) は、クロック (CL1) の High レベル (以下、単に、H レベルと言う。) 期間内で、クロック (CL2) の 8 周期分の間、H レベルとなる信号である。

走査ラインの切り替わり時には、高電圧用アンプ回路 271 と低電圧用アンプ回路 272 とも不安定の状態にある。

この制御信号 (HIZCNT) は、走査ラインの切り替わり期間内に、各アンプ回路 (271, 272) の出力が、各ドレイン信号線 (D) に出力されるのを防止するために設けられている。

30

この制御信号 (HIZCNT) が H レベルの間、制御信号 (ACKEP, ACKOP) は、Low レベル (以下、単に、L レベルと言う。) となり、また、制御信号 (ACKEN, ACKON) は H レベルとなる。

これにより、各トランスファゲート回路 (TG1 ~ TG4) は、全てオフとなる。

【0024】

図 8 に示す制御信号 (PRECNT) は、各トランスファゲート回路 (TG31 ~ TG34) のゲート電極に印加される制御信号 (PRET, PREN, DECT, DECN) を生成するための制御信号であり、この制御信号 (PRECNT) は、制御信号 (HIZCNT) の立ち上がり時からクロック (CL2) の 4 周期後に H レベルとなり、クロック (CL1) の立ち下がり時に L レベルとなる信号である。

40

制御信号 (DECT) は、制御信号 (PREN) の前に H レベルから L レベルに変化し、また、制御信号 (DECN) は、制御信号 (PRET) の前に L レベルから H レベルに変化する。

これにより、先ずトランスファゲート回路 (TG31, TG32) がオフとなり、その後、(tD1) 時間遅れて、トランスファゲート回路 (TG33, TG34) がオンとなる。

また、制御信号 (PREN) は、制御信号 (DECT) の前に L レベルから H レベルに、また、制御信号 (PRET) は、制御信号 (DECN) の前に H レベルから L レベルに変化する。

50

これにより、先ずトランスファゲート回路 (T G 3 3 , T G 3 4) がオフとなり、その後、 (t D 2) 時間遅れて、トランスファゲート回路 (T G 3 1 , T G 3 2) がオンとなる。

図 8 に示すように、プリチャージ期間は、制御信号 (H I Z C N T) の立ち下がり時点から、制御信号 (D E C T) の立ち上がり時点までの時間で示されるが、実際に、プリチャージ電圧がドレイン信号線 (D) に印加される時間は、制御信号 (H I Z C N T) の立ち下がり時点から、制御信号 (P R E T) の立ち下がり時点までの時間となる。

【 0 0 2 5 】

図 6 に示すプリチャージ電圧の電圧値

図 9 (a) は、一本のドレイン信号線 (D) において、ドレインドライバ 1 3 0 に近傍部分と、ドレインドライバ 1 3 0 から最も遠い遠端部分での、プリチャージ期間内の電位変動を説明するためのグラフである。

この図 9 (a) から分かるように、プリチャージ期間内に、一本のドレイン信号線 (D) にプリチャージ電圧 (例えば、高電圧用プリチャージ電圧 (V H p r e)、あるいは低電圧用プリチャージ電圧 (V L p r e)) を印加しても、その電位変動は、ドレインドライバ 1 3 0 の近傍部分と、ドレインドライバ 1 3 0 から最も遠い遠端部分で相違する。

一般に、高電圧用プリチャージ電圧 (V H p r e) としては、正極性の中間電圧が好ましい。

しかしながら、高電圧用プリチャージ電圧 (V H p r e) として、正極性の中間電圧を選択した場合、図 9 (a) に示すように、前記ドレインドライバ 1 3 0 から最も遠い遠端部分では、正極性の中間電圧とはならない。

したがって、図 6 に示す高電圧用プリチャージ電圧 (V H p r e) の電圧値としては、図 9 (b) に示すように、正極性の中間電圧より最大階調電圧に偏った電圧で、ドレインドライバ 1 3 0 の近傍部分のプリチャージ電圧と正極性の中間電圧との電位差 (V s 1) と、ドレインドライバ 1 3 0 から最も遠い遠端部分のプリチャージ電圧と正極性の中間電圧との電位差 (V s 2) との絶対値が等しくなる電圧 (V s 1 = V s 2) が使用される。

同様に、低電圧用プリチャージ電圧 (V L p r e) としては、負極性の中間電圧より、最大階調電圧に偏った電圧が使用される。

【 0 0 2 6 】

本発明の概要

本実施の形態の液晶表示モジュールでは、その駆動方法として、2ライン反転法を採用している。

図 1 0 は、液晶表示モジュールの駆動方法として、2ライン反転法を使用した場合において、ドレインドライバ 1 3 0 からドレイン信号線 (D) に出力される階調電圧 (即ち、画素電極に印加される階調電圧) の極性を説明するための図である。なお、この図 1 0 では、正極性の階調電圧を で、また、負極性の階調電圧を で表している。

2ライン反転法では、2ライン毎に、ドレインドライバ 1 3 0 からドレイン信号線 (D) に出力される階調電圧の極性が反転する点で、前述の図 1 7 に示すドット反転法と異なるだけであるので、その詳細な説明は省略する。

例えば、数ラインに渡って、液晶表示パネル 1 0 に同じ階調の画像を表示する場合に、2ライン反転法では、ドレインドライバ 1 3 0 が、2ライン毎に極性を反転した階調電圧をドレイン信号線 (D) に出力する。

【 0 0 2 7 】

以下、2ライン反転法を用いた場合に、前述の横筋が発生する理由を、図 1 1 を用いて説明する。

今、ドレインドライバ 1 3 0 が、ドレイン信号線 (D) に出力する階調電圧の極性を、負極性から正極性に変化させた場合を考える。

この場合に、ドレイン信号線 (D) 上の階調電圧は、階調電圧の極性反転前は負極性で、極性反転後は正極性となるが、ドレイン信号線 (D) は、一種の分布定数線路と見なせるので、直ちに、負極性の階調電圧から正極性の階調電圧に変化することができず、図 7 の

10

20

30

40

50

ドレイン電極波形に示すように、ある遅延時間を持って、負極性の階調電圧から正極性の階調電圧に変化する。

そのため、ドレイン信号線(D)に対して、図11に示すプリチャージ期間Aにプリチャージ電圧(V_{pre})を印加しても、ドレイン信号線(D)は、プリチャージ電圧(V_{pre})よりも低電圧の V_{prea} の電圧に充電されることになり、その後、VLCHの階調電圧が印加されても、ドレイン信号線(D)の電圧は、VLCHの階調電圧より低電圧のVLCHAの電圧となる。

【0028】

これに対して、極性反転直後のラインに続くラインでは、ドレインドライバ130からドレイン信号線(D)に出力される階調電圧の極性は変化しないので、図11に示すプリチャージ期間Bにプリチャージ電圧(V_{pre})を印加することにより、ドレイン信号線(D)はプリチャージ電圧(V_{pre})に充電され、その後、VLCHの階調電圧が印加されることにより、ドレイン信号線(D)の電圧は、VLCHの階調電圧となる。

これは、ドレインドライバ130が、ドレイン信号線(D)に出力する階調電圧の極性を、正極性から負極性に変化させた場合も同様である。

そのため、極性反転直後のライン上の画素に書き込まれる電圧と、同じ階調を表示しようとしているにもかかわらず、極性反転直後のラインに続くライン上の画素に書き込まれる電圧とが異なる(図11では、(VLCH-VLCHA)の電位差)ことになり、2ライン毎に、前述した横筋が発生することになる。

これは、液晶表示パネル10の解像度が、例えば、SXGA表示モードの 1280×1024 画素、UXGA表示モードの 1600×1200 画素のように、より、高解像度の場合に顕著となる。

このように、前述した横筋は、極性反転直後のライン上の画素に書き込まれる電圧と、極性反転直後のラインに続くライン上の画素に書き込まれる電圧とが異なることが原因で発生する。

【0029】

そこで、本発明では、図12に示すように、極性反転直後のラインの時のプリチャージ期間Aと、極性反転直後のラインに続くラインの時のプリチャージ期間Bとを異ならせ、極性反転直後のライン上の画素に書き込まれる電圧と、極性反転直後のラインに続くライン上の画素に書き込まれる電圧とを同じにする。

即ち、極性反転直後のラインのときのプリチャージ期間Aを、極性反転直後のラインに続くラインのときのプリチャージ期間Bよりも長くするものである。

これにより、図12に示すプリチャージ期間A、およびプリチャージ期間Bに、ドレイン信号線(D)をプリチャージ電圧(V_{pre})に充電することができるので、極性反転直後のライン上の画素に書き込まれる電圧と、極性反転直後のラインに続くライン上の画素に書き込まれる電圧とを同じにすることができる。

さらに、ドレインドライバ130から最も遠いラインにおける、クロック(CL1)のHレベルの期間を最も長くし、漸次、ドレインドライバ130に近くなるラインほど、クロック(CL1)のHレベルの期間を短くし、ドレインドライバ130から最も遠いラインほど、プリチャージ期間を長くしている。

これにより、ドレイン信号線(D)にプリチャージ電圧を印加したときに、ドレイン信号線(D)の充電電圧が、ドレインドライバ130の近傍部分と、ドレインドライバ130から最も遠い遠端部分とで同じにすることができる。

【0030】

本実施の形態の液晶表示モジュールの特徴的構成

本実施の形態では、極性反転直後のラインのときのプリチャージ期間Aを、極性反転直後のラインに続くラインのときのプリチャージ期間Bよりも長くするために、プリチャージ期間Aのときのクロック(CL1)のHレベルの期間を、プリチャージ期間Bのときのクロック(CL1)のHレベルの期間より長くすることを特徴とする。

前述の図8で説明したように、実際に、プリチャージ電圧がドレイン信号線(D)に印加

10

20

30

40

50

される時間は、制御信号 (H I Z C N T) の立ち下がり時点から、制御信号 (P R E T) の立ち下がり時点までの時間である。

そして、この制御信号 (P R E T) の立ち下がり時点は、クロック (C L 1) の立ち下がり時点と一致している。

そのため、クロック (C L 1) の H レベルの期間を長くすることにより、プリチャージ電圧がドレイン信号線 (D) に印加される時間を長くでき、ひいては、図 8 に示すように、プリチャージ時間を長くすることが可能となる。

このように、本実施の形態では、ドレインドライバ 1 3 0 の内部構成を変えることがなく、プリチャージ時間を長くすることが可能となる。

また、図 1 3 に示すように、各ラインの画素に階調電圧を印加するとき、ドレインドライバ 1 3 0 から最も遠いライン (図 1 3 では、1 番目のライン) における、クロック (C L 1) の H レベルの期間を最も長くし、漸次、ドレインドライバ 1 3 0 に近くなるラインほど、クロック (C L 1) の H レベルの期間を短くしている。即ち、ドレインドライバ 1 3 0 から最も遠いラインほど、プリチャージ期間を長くしている。

これにより、ドレイン信号線 (D) にプリチャージ電圧を印加したときに、ドレイン信号線 (D) の充電電圧が、ドレインドライバ 1 3 0 の近傍部分と、ドレインドライバ 1 3 0 から最も遠い遠端部分とで同じにすることができる。

【 0 0 3 1 】

以下、クロック (C L 1) の H レベルを変化させるための表示制御手段 1 1 0 の構成について説明する。

図 1 4 は、本実施の形態における、クロック (C L 1) 生成回路を示すブロック図である。

本実施の形態では、C L 1 H i 幅設定回路 5 0 において、クロック (C L 1) の H レベルの最大幅 (図 1 3 の 1 番目のラインに対するクロック (C L 1) の H レベルの幅) 内における、外部クロック (D C L K) のクロック数 (以下、最大クロック数という。) を設定する。

C L 1 H i 幅設定回路 5 0 では、抵抗 R、コンデンサ C を発振素子として用いる発振回路により生成されるパルス周期に基づき、最大クロック数を設定する。

例えば、パルスの 1 周期内における外部クロック (D C L K) のクロック数により、最大クロック数を設定する。したがって、抵抗 R、コンデンサ C を変化させることにより、最大クロック数を変化させることができる。

C L 1 H i 幅減算回路 5 1 では、最大クロック数から、1 走査ライン間の外部クロック (D C L K) 数を減算する。

C L 1 設定回路 5 2 では、クロック (C L 1) を生成するとき、C L 1 H i 幅減算回路 5 1 におけるクロック数を読み出し、外部クロック (D C L K) のクロック数が、この読み出したクロック数と一致したときに、クロック (C L 1) の H レベルを L o w レベルに変化させる。

これにより、図 1 3 に示すような、H レベル幅を持ったクロック (C L 1) を生成することが可能となる。

【 0 0 3 2 】

次に、本実施の形態における、交流化信号 (M) の生成方法について説明する。

図 1 5 は、本実施の形態における、交流化信号 (M) を生成するための回路構成を示す回路図である。なお、図 1 5 に示す回路は、図 1 に示す表示制御手段 1 1 0 内に設けられる。

図 1 5 に示すように、カウンタ 6 1 により、垂直同期信号 (V s y n c) をカウントし、カウンタ 6 1 の Q 0 出力を排他的論理和回路 6 3 に入力する。ここで、カウンタ 6 1 の Q 0 出力は、垂直同期信号 (V s y n c) が入力される毎に、H レベル、あるいは、L レベルを交互に出力する。

また、カウンタ 6 2 の Q n 出力を、排他的論理和回路 6 3 に入力し、排他的論理和回路 6 3 の出力が、交流化信号となる。

10

20

30

40

50

図16に、8 ($n = 3$)ライン反転法の場合の、図17に示す回路のタイミングチャートを示す。

この図16において、COVは、カウンタ61のQ0出力を、COHは、カウンタ62のQn出力を表す。

【0033】

以上説明したように、本実施の形態によれば、極性反転直後のラインの時のプリチャージ期間Aを、極性反転直後のラインに続くラインの時のプリチャージ期間Bよりも長くし、極性反転直後のライン上の画素に書き込まれる電圧と、極性反転直後のラインに続くライン上の画素に書き込まれる電圧とを同じにしたので、前述した横筋が発生するのを防止することが可能となる。

さらに、ドレインドライバ130から最も遠いラインを走査するときの、クロック(CL1)のHレベルの期間を最も長くし、漸次、ドレインドライバ130に近くなるラインほど、クロック(CL1)のHレベルの期間を短くし、ドレインドライバ130から最も遠いラインほど、プリチャージ期間を長くするようにしたので、ドレイン信号線(D)の充電電圧が、ドレインドライバ130の近傍部分と、ドレインドライバ130から最も遠い遠端部分とで同じにすることができる、ドレインドライバ130から遠い遠端部分の画素では、書き込み電圧が不足し、液晶表示パネルに表示される表示画面の表示品質が著しく劣化するのを防止することが可能となる。

なお、本実施の形態において、高電圧用プリチャージ電圧(VHpre)としては正極性の中間電圧、低電圧用プリチャージ電圧(VLpre)としては負極性の中間電圧が使用可能であるが、高電圧用プリチャージ電圧(VHpre)として、正極性の中間電圧より最大階調電圧に偏った電圧、あるいは、低電圧用プリチャージ電圧(VLpre)として、負極性の中間電圧より最大階調電圧に偏った電圧も使用可能である。

後者の場合には、より確実に、ドレイン信号線(D)の充電電圧が、ドレインドライバ130の近傍部分と、ドレインドライバ130から最も遠い遠端部分とで同じにすることが可能となる。

【0034】

なお、前記説明では、縦電界方式の液晶表示パネルに本発明を適用した実施の形態について説明したが、これに限定されず、本発明は、横電界方式の液晶表示パネルにも適用可能である。

図2または図3に示す縦電界方式の液晶表示パネルでは、TFT基板に対向する基板に共通電極(ITO2)が設けられるのに対して、横電界方式の液晶表示パネルでは、TFT基板に対向電極(CT)、および対向電極(CT)に共通電圧(Vcom)を印加するための対向電極信号線(CL)が設けられる。

そのため、液晶容量(Cpix)は、画素電極(PX)と対向電極(CT)との間に等価的に接続される。また、画素電極(PX)と対向電極(CT)の間には蓄積容量(Cstg)も形成される。

以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0035】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1)本発明によれば、階調電圧の極性をN(N-2)ライン毎に反転させる場合に、表示画面に横筋が生じるのを防止して、表示画面の表示品質を向上させることが可能となる。

(2)本発明によれば、プリチャージ期間内に、ドレインドライバの近傍部分の映像信号線に充電される充電電圧の電圧値と、ドレインドライバから遠い遠端部分の映像信号線に充電される充電電圧の電圧値との間の電位差を、従来よりも小さくできるので、表示画面

10

20

30

40

50

の表示品質を向上させることが可能となる

【図面の簡単な説明】

【図 1】本発明が適用される液晶表示モジュールの概略構成を示すブロック図である。

【図 2】図 1 に示す液晶表示パネルの一例の等価回路を示す図である。

【図 3】図 1 に示す液晶表示パネルの他の例の等価回路を示す図である。

【図 4】図 1 に示すドレインドライバの一例の概略構成を示すブロック図である。

【図 5】出力回路の構成を中心に、図 5 に示すドレインドライバの構成を説明するためのブロック図である。

【図 6】図 5 に示すプリチャージ回路の動作を説明するための図である。

【図 7】図 1 に示す液晶表示パネルのドレイン信号線 (D) の電圧波形を説明するための図である。

10

【図 8】図 6 に示すプリチャージ回路の動作を説明するためのタイミングチャートの一例である。

【図 9】一本のドレイン信号線 (D) において、ドレインドライバの近接部分と、ドレインドライバから最も遠い遠端部分での、プリチャージ期間内の電位変動を説明するためのグラフである。

【図 10】液晶表示モジュールの駆動方法として、2ライン反転法を使用した場合において、ドレインドライバからドレイン信号線 (D) に出力される階調電圧の極性を説明するための図である。

【図 11】液晶表示モジュールの駆動方法として、2ライン反転法を使用した場合に、表示画面中に横筋を発生する理由を説明するための図である。

20

【図 12】本発明の駆動方法の概要を説明するための図である。

【図 13】本発明の実施の形態における、各ライン毎のクロック (CL1) のHレベルの期間を説明するための図である。

【図 14】本発明の実施の形態におけるクロック (CL1) 生成回路を示すブロック図である。

【図 15】本発明の実施の形態の液晶表示モジュールにおける交流化信号 (M) を生成するための回路構成を示す回路図である。

【図 16】図 17 に示す回路における、8 (n=3) ライン反転法の場合のタイミングチャートを示す図である。

30

【図 17】液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバからドレイン信号線 (D) に出力される階調電圧の極性を説明するための図である。

【図 18】駆動方法として、2ライン反転法を採用した場合に、液晶表示パネルに生じる、Nライン毎の横筋を示す模式図である。

【符号の説明】

10...液晶表示パネル、21, 22...出力パッド、30...プリチャージコントロール回路、50...CL1Hi幅設定回路、51...CL1Hi幅減算回路、52...CL1設定回路、61, 62...カウンタ、63...排他的論理和回路、100...インタフェース部、110...表示制御装置、120...電源回路、121, 122...電圧生成回路、123...コモン電極電圧生成回路、124...ゲート電極電圧生成回路、130...ドレインドライバ、131, 132, 134, 135, 141, 142...信号線、133...表示データのバスライン、140...ゲートドライバ、151a, 151b...階調電圧生成回路、152...制御回路、153...シフトレジスタ回路、154...入力レジスタ回路、155...ストレージレジスタ回路、156, LS...レベルシフト回路、157...出力回路、158a, 158b...電圧バスライン、261...デコーダ部、262, 264...スイッチ部、263...アンプ回路対、265...データラッチ部、271...高電圧用アンプ回路、272...低電圧用アンプ回路、278, 279...デコーダ回路、D...ドレイン信号線 (映像信号線または垂直信号線)、G...ゲート信号線 (走査信号線または水平信号線)、ITO1...画素電極、ITO2...コモン電極、CT...対向電極、CL...対向電極信号線、TFT...薄膜トランジスタ、CLC

40

50

...液晶容量、C S T G ...付加容量、C ADD...保持容量、T G ...トランスファゲート回路。

【 図 1 】

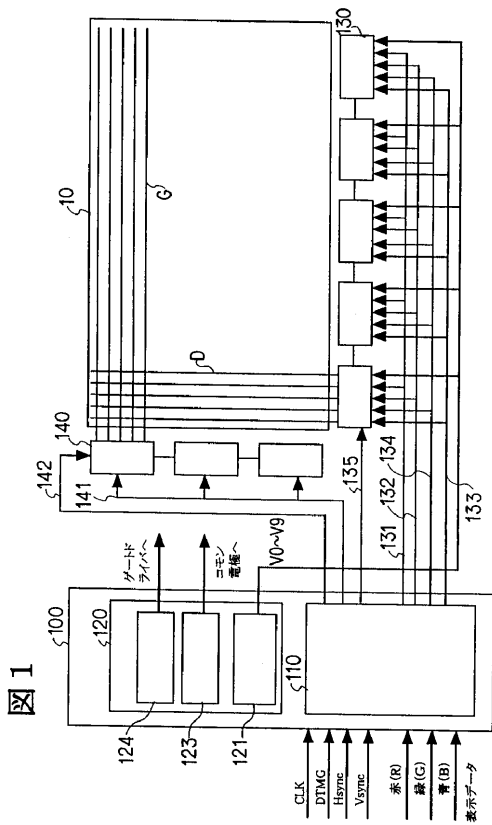


図 1

【 図 2 】

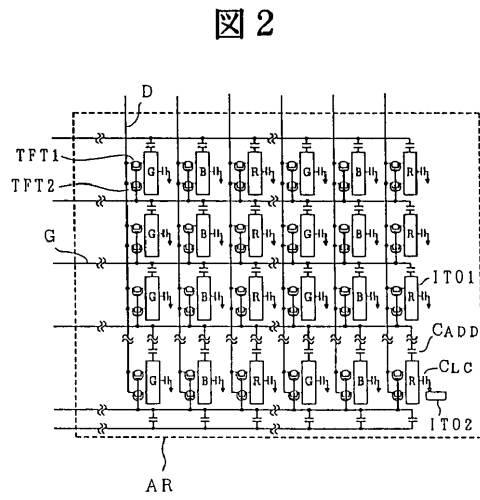
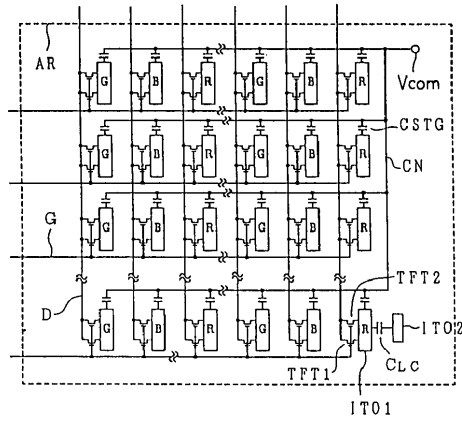


図 2

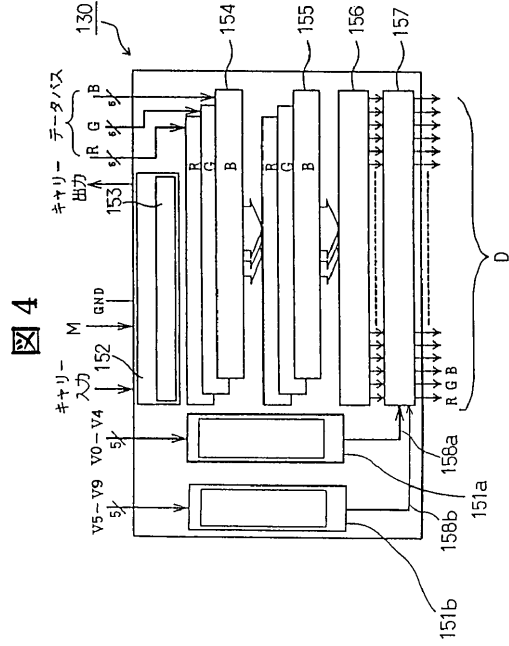
【図3】

図3



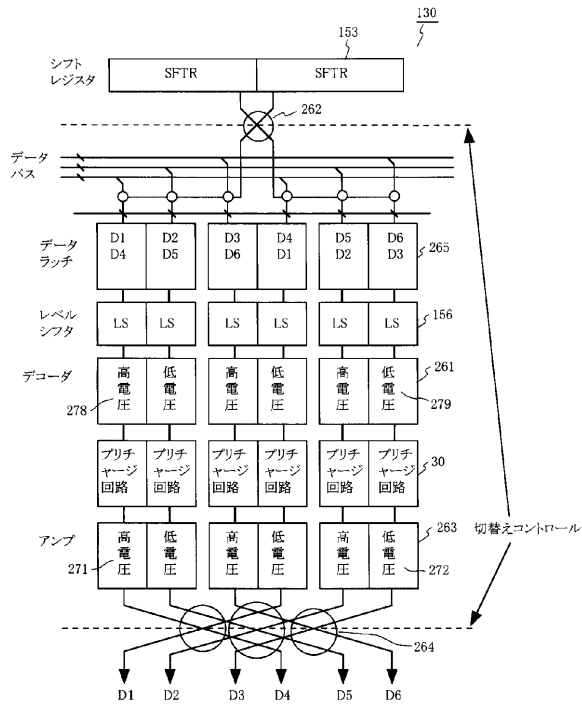
【図4】

図4



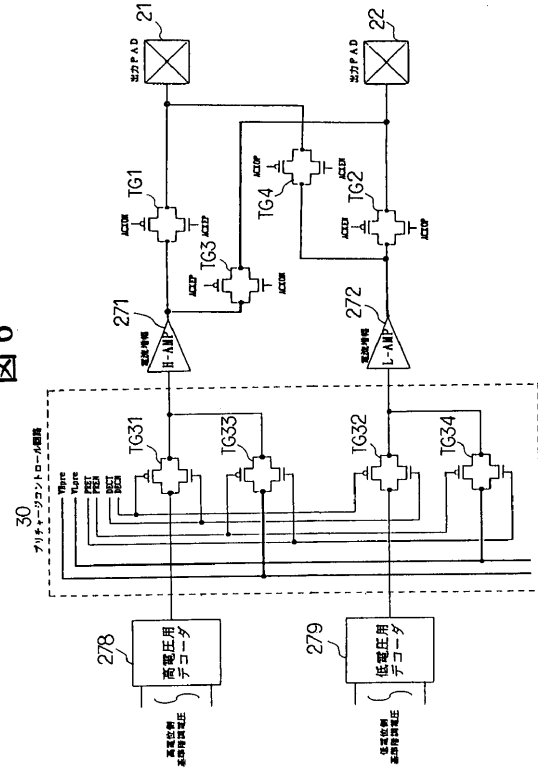
【図5】

図5

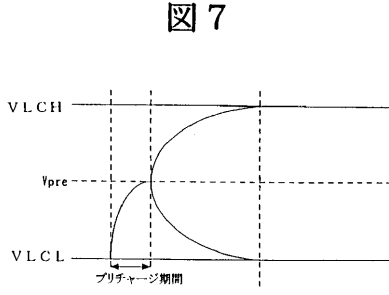


【図6】

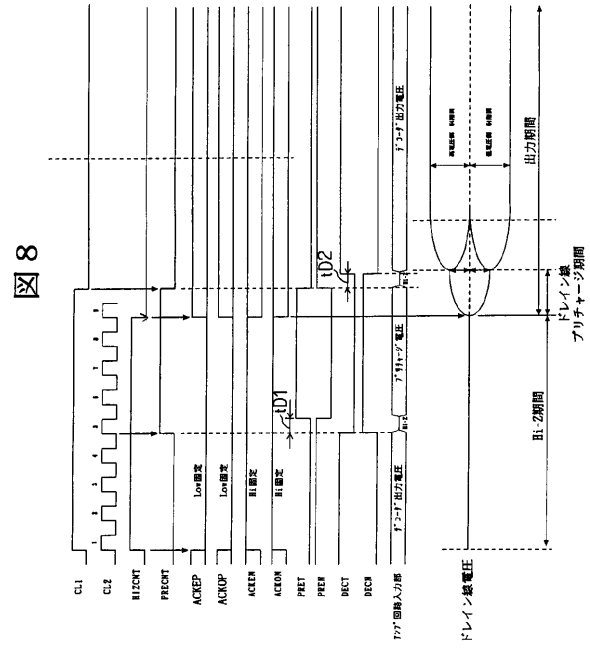
図6



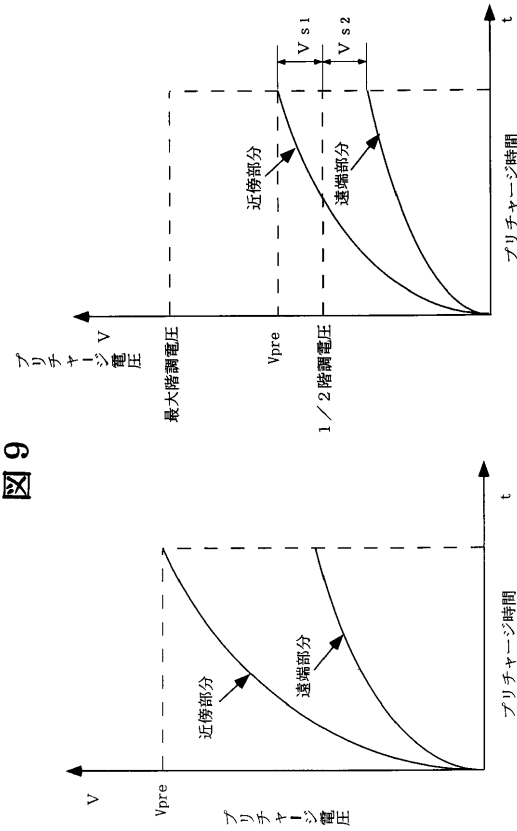
【 図 7 】



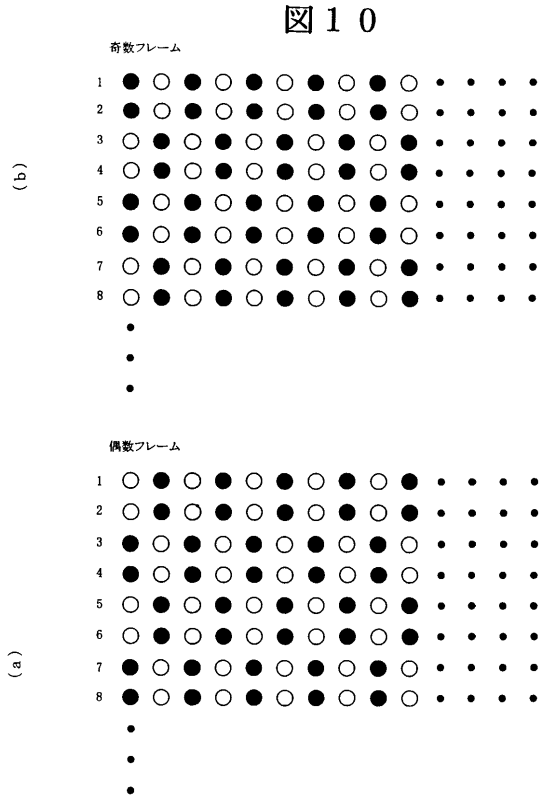
【 図 8 】



【 図 9 】

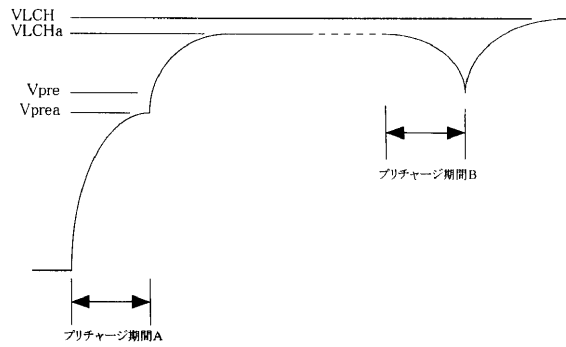


【 図 10 】



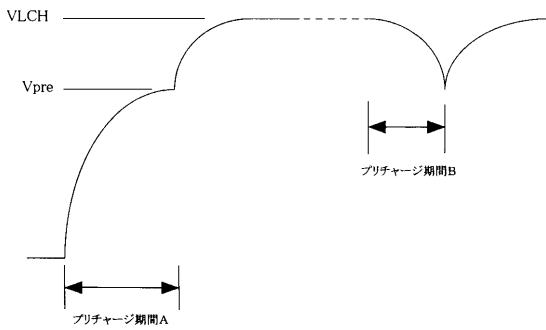
【図11】

図11



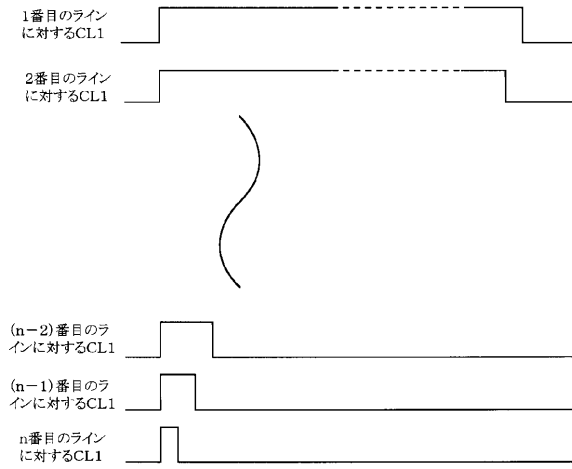
【図12】

図12



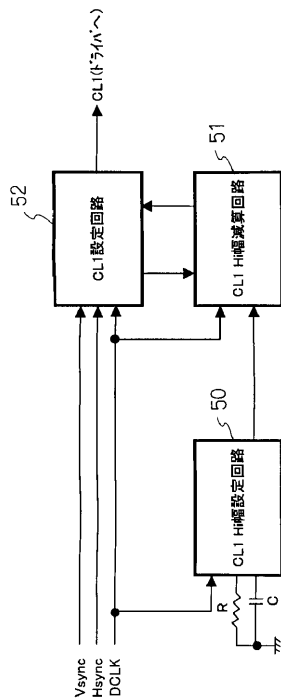
【図13】

図13



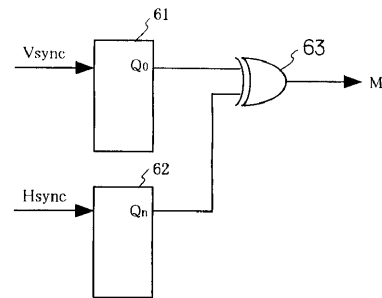
【図14】

図14



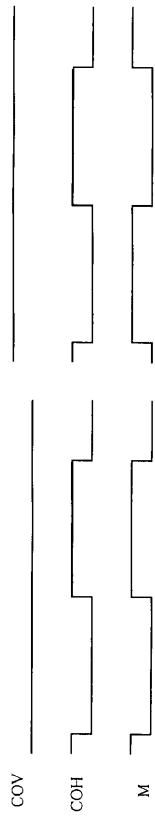
【図15】

図15



【図16】

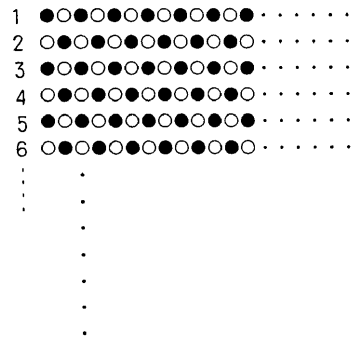
図16



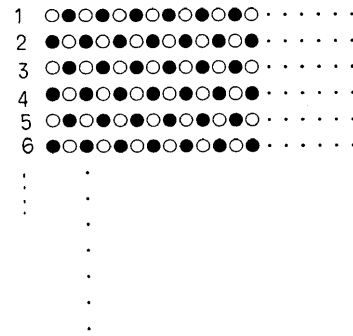
【図17】

図17

奇数フレーム

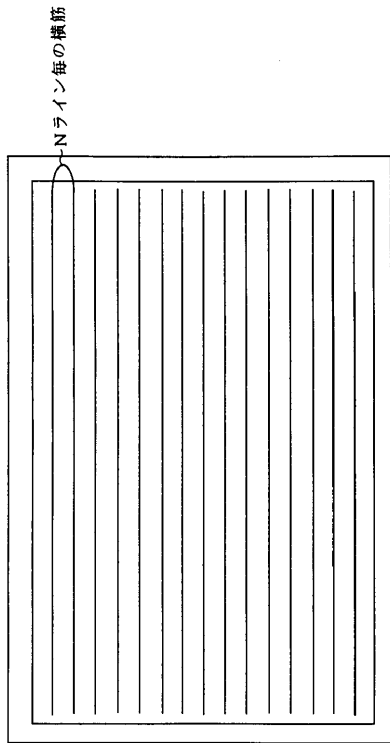


偶数フレーム



【図18】

図18



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G 3/20 6 2 3 D

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/36

(56) 参考文献 特開 2 0 0 1 - 0 2 2 3 2 8 (J P , A)

特開 2 0 0 1 - 1 6 6 7 4 1 (J P , A)

特開 2 0 0 1 - 2 4 9 6 4 3 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

G02F 1/133

G09G 3/20

G09G 3/36

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP4188603B2	公开(公告)日	2008-11-26
申请号	JP2002007336	申请日	2002-01-16
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	上田史朗		
发明人	上田 史朗		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3688 G09G3/3614 G09G3/3659 G09G2310/0248 G09G2310/027 G09G2310/0297 G09G2320/0223		
FI分类号	G02F1/133.550 G02F1/133.525 G02F1/133.575 G09G3/20.611.J G09G3/20.621.B G09G3/20.623.D G09G3/20.642.A G09G3/36		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA36 2H093/NA43 2H093/NA53 2H093/NC16 2H093/NC21 2H093/NC22 2H093/NC26 2H093/NC49 2H093/NC67 2H093/ND05 2H093/ND09 2H093/ND10 2H093/ND15 2H093/ND58 2H093/NE03 2H093/NH14 2H093/NH16 2H193/ZC02 2H193/ZC20 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZH40 2H193/ZH45 2H193/ZP03 5C006/AC21 5C006/AC27 5C006/AF42 5C006/BB16 5C006/BC12 5C006/FA22 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD05 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
其他公开文献	JP2003207760A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置的驱动方法，其能够通过防止在反转灰度电压的极性的情况下在显示屏上产生水平条纹来提高显示屏的显示质量。每N (N≥2) 行。ZOLUTION：在这种液晶显示装置的驱动方法中，从驱动装置输出到各个像素的灰度电压的极性每N (N≥2) 行反转，并且还从输出驱动充电电压的周期。在将极化电压输出到刚好在极性反转之后的第一行上的像素时以及在将灰度电压输出到继续到第一行的行上的像素时，使各个视频信号线的装置不同在极性反转之后并且其中灰度电压的极性不反转并且此外，在将灰度电压输出到像素时使从驱动装置向各个视频信号线输出充电电压的时段更长在极性反转之后的第一行上，而不是在将灰度电压输出到继续到第一行的线上的像素时在极性反转之后并且其中灰度电压的极性不反转。Z

【图 1】

