

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3835113号
(P3835113)

(45) 発行日 平成18年10月18日(2006.10.18)

(24) 登録日 平成18年8月4日(2006.8.4)

(51) Int. Cl.	F I	
G09G 3/20 (2006.01)	G09G 3/20	611A
G02F 1/133 (2006.01)	G09G 3/20	612U
G09G 3/36 (2006.01)	G09G 3/20	623V
	G09G 3/20	623F
	G02F 1/133	550
請求項の数 9 (全 25 頁) 最終頁に続く		

(21) 出願番号	特願2000-126030 (P2000-126030)	(73) 特許権者	000002369
(22) 出願日	平成12年4月26日(2000.4.26)		セイコーエプソン株式会社
(65) 公開番号	特開2001-306014 (P2001-306014A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成13年11月2日(2001.11.2)	(74) 代理人	100095728
審査請求日	平成16年3月15日(2004.3.15)		弁理士 上柳 雅普
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	小澤 徳郎
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	福村 拓
最終頁に続く			

(54) 【発明の名称】 電気光学パネルのデータ線駆動回路、その制御方法、電気光学装置、および電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応して配置されたスイッチング素子と画素電極とを有し、予め定められた本数のデータ線単位で各々ブロック化された電気光学パネルのデータ線駆動回路であって、

クロック信号を供給するクロック信号供給線と、前記クロック信号に従って転送開始パルスを順次シフトして各サンプリング信号を各々生成するとともに前記各ブロックに対応して設けられた複数のシフトレジスタと、画像データのうちデータの時系列的に隣接する水平ライン間で変化があった場合に、その変化のあった画像データを供給すべき前記ブロックに対応するシフトレジスタに対してのみ前記転送開始パルスを選択的に供給する選択回路とを有するシフトレジスタ部と、

画像データを前記各サンプリング信号に従って各々サンプリングするサンプリング部と、

サンプリングして得られたデータをラッチした後に線順次画像データに変換する画像データ変換部と、

前記線順次画像データをDA変換して得た各データ線信号を前記各データ線に出力するDA変換部と

を備え、

前記クロック信号供給線を介して前記複数のシフトレジスタに共通に供給されるクロック信号は、前記複数のブロックのうち画像データが供給される期間に対応する期間のみパ

10

20

ルスを有してアクティブとなる信号であること
を特徴とするデータ線駆動回路。

【請求項 2】

前記サンプリング部は、外部から供給されるイネーブル信号がアクティブとなる場合にのみ前記各サンプリング信号に従ってサンプリングを行うことを特徴とする請求項 1 に記載のデータ線駆動回路。

【請求項 3】

請求項 1 に記載のデータ線駆動回路の制御方法であって、

データの時系列的に隣接する水平ライン間で画像データを比較して、データ値が一致するブロックについては、前記画像データの供給を停止することを特徴とするデータ線駆動回路の制御方法。

10

【請求項 4】

複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応して配置されたスイッチング素子と画素電極とを有し、予め定められた本数のデータ線単位で各々ブロック化された電気光学パネルと、

前記各データ線に供給する各データ線信号を生成するデータ線駆動回路と、

前記各走査線に供給する各走査線信号を生成する走査線駆動回路と、

画像データに基づいて前記データ線駆動回路を制御する制御回路とを備え、

前記制御回路は、

データの時系列的に隣接する水平ライン間で前記画像データを比較し、前記各ブロック毎に水平ライン間でデータ値が一致するか否かを判定し、判定結果を前記各ブロック毎に示す判定信号を生成する判定部と、

20

前記判定信号に基づいて、水平ライン間でデータ値に変化があったブロックについてのみパルスを有してアクティブとなるクロック信号を生成するクロック信号生成部とを備え、

前記データ線駆動回路は、

前記クロック信号に従ってブロック周期の転送開始パルスを順次シフトして各サンプリング信号を各々生成するとともに前記各ブロックに対応して設けられた複数のシフトレジスタと、前記各シフトレジスタに前記クロック信号を各々共通に供給するクロック信号供給線と、画像データのうちデータの時系列的に隣接する水平ライン間で変化があった場合に、画像データがどのブロックに対応するかを示す選択信号に基づいて、その変化のあった画像データを供給すべき前記ブロックに対応するシフトレジスタに対してのみ前記転送開始パルスを供給する選択回路とを有するシフトレジスタ部と、

30

画像データを前記各サンプリング信号に従って各々サンプリングし、サンプリングして得られたデータを線順次画像データに変換する画像データ変換部と、

前記線順次画像データを D A 変換して得た各データ線信号を前記各データ線に出力する D A 変換部と

を備えることを特徴とする電気光学装置。

【請求項 5】

前記判定部は、

40

画像データを記憶する第 1 ラインメモリと、

1 水平走査期間前の画像データを記憶する第 2 ラインメモリと、

前記第 1 ラインメモリから読み出した第 1 画像データと前記第 2 ラインメモリから読み出した第 2 画像データとを比較して、水平ライン間でデータ値が一致するか否かを前記各ブロック毎に判定する比較回路と、

前記比較回路の判定結果をブロック毎に記憶する判定メモリとを備え、

前記判定メモリから判定結果を順次読み出すことによって前記判定信号を生成することを特徴とする請求項 4 に記載の電気光学装置。

【請求項 6】

前記制御回路は、前記判定信号に基づいて、水平ライン間でデータ値に変化があったブ

50

ロックについてのみ、アクティブとなる画像データを生成し、画像データ供給線を介して生成された画像データを前記サンプリング部に供給する画像データ生成部を備えることを特徴とする請求項4に記載の電気光学装置。

【請求項7】

前記画像データ生成部は、ブロック毎に区切られた前記画像データの前に前記選択信号を介挿した時分割信号を生成し、これを前記画像データ供給線を介して前記サンプリング部に供給するものであり、

前記シフトレジスタ部は、前記時分割信号から前記選択信号を分離する分離回路を備え、

前記サンプリング部は前記時分割信号のうち前記画像データの部分をサンプリングすることを特徴とする請求項6に記載の電気光学装置。 10

【請求項8】

前記時分割信号は、前記画像データが非アクティブとなるブロックについては、前記選択信号の最後の論理レベルが継続していることを特徴とする請求項7に記載の電気光学装置。

【請求項9】

請求項4に記載の電気光学装置を表示部として用いたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電気光学パネルのデータ線駆動回路、その制御方法、これらを用いた電気光学装置、および電子機器に関する。 20

【0002】

【従来の技術】

従来の電気光学装置、例えば、アクティブマトリクス方式の液晶表示装置は、主に、マトリクス状に配列した画素電極の各々にスイッチング素子が設けられた素子基板と、カラーフィルタなどが形成された対向基板と、これら両基板との間に充填された液晶とを備える。このような構成において、走査線を介してスイッチング素子に走査線信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して、画素電極に画像信号を印加すると、当該画素電極および対向電極（共通電極）の間の液晶層に所定の電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、液晶層の抵抗が十分に高ければ、当該液晶層の容量によって電荷の蓄積が維持される。このように、各スイッチング素子を駆動して蓄積させる電荷の量を制御すると、画素毎に液晶の配向状態が変化して、所定の情報を表示することが可能となる。 30

【0003】

この際、各画素の液晶層に電荷を蓄積させるのは一部の期間で良いため、第1に、走査線駆動回路によって、各走査線を順次選択するとともに、第2に、走査線の選択期間において、データ線駆動回路によって、画像データを線順次に変換するとともにDA変換して得た画像信号を各データ線に供給することにより、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。 40

【0004】

ここで、データ線駆動回路は、クロック信号供給線、シフトレジスタ、画像データ供給線、サンプリング回路、第1ラッチ、第2ラッチ、およびDA変換回路から構成される。シフトレジスタは、クロック信号供給線を介して供給されるクロック信号に従って水平走査周期の転送開始パルスを順次シフトして、各データ線に対応した各サンプリング信号を生成する。サンプリング回路は、画像データ供給線を介して供給される画像データを各サンプリング信号に従ってサンプリングして第1ラッチに供給する。第1ラッチは、サンプリングされた画像データを保持して、点順次画像データを生成する。第2ラッチは、水平走査周期のラッチパルスに従って、点順次画像データをラッチして線順次画像データを生成し、これを各データ線に供給する。 50

【 0 0 0 5 】

【 発明が解決しようとする課題 】

ところで、上述した液晶表示装置は、スイッチング素子をオフ状態としても、液晶層の容量によって電荷の蓄積が維持される。ある画素に着目すれば、当該画素に表示すべき階調値が1フィールド前と同じであれば、現在のフィールドにおいて当該画素に画像信号を供給して液晶層に新たに電荷を蓄積し直す必要はない。このため、フィールド間で変化のあった画素についてのみ画像信号を供給して蓄積電荷を書き換えることにより、処理速度の低減し、ひいては消費電力を削減することも考えられる。

【 0 0 0 6 】

このような液晶表示装置にあつては、フィールド間で変化のあった画素を特定し、かつ、
10 該当する画素が走査線信号によって選択されている期間において、対応するデータ線に画像信号を供給する必要がある。この場合には、アドレスデコーダを用いて、該当する画像データを行アドレスと列アドレスを用いて特定し、これらのアドレスから走査線信号とデータ線信号を生成する必要がある。

【 0 0 0 7 】

しかしながら、アドレスデコーダの回路規模が大きくなり、これに伴って消費電力が増大するといった問題がある。特に、アドレスデコーダを薄膜トランジスタ (Thin Film Transistor: 以下、「TFT」と称する) を用いて素子基板上に形成しようとしても、その回路規模が大きすぎて、実現できないといった問題がある。

【 0 0 0 8 】

本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、簡易な構成で消費電力を削減するのに好適なデータ線駆動方法および装置、そのデータ線駆動装置を用いた電気光学装置、ならびに、この電気光学装置を表示手段に適用した電子機器を提供することにある。
20

【 0 0 0 9 】

【 課題を解決するための手段 】

上記目的を達成するため、本発明のデータ線駆動回路は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応して配置されたスイッチング素子と画素電極とを有し、予め定められた本数のデータ線単位で各々ブロック化された電気光学パネルに用いられるものであつて、クロック信号を供給するクロック信号供給線と、前記クロック信号に従って転送開始パルスを順次シフトして各サンプリング信号を各々生成するとともに前記各ブロックに対応して設けられた複数のシフトレジスタと、画像データのうちデータの時系列的に隣接する水平ライン間で変化があった場合に、その変化のあった画像データを供給すべき前記ブロックに対応するシフトレジスタに対してのみ前記転送開始パルスを選択的に供給する選択回路とを有するシフトレジスタ部と、画像データを前記各サンプリング信号に従って各々サンプリングし、サンプリングして得られたデータをラッチした後に線順次画像データに変換する画像データ変換部と、前記線順次画像データをD/A変換して得た各データ線信号を前記各データ線に出力するD/A変換部とを備えたことを特徴とする。
30

【 0 0 1 0 】

この発明によれば、シフトレジスタ部は、複数のシフトレジスタによってブロック化されているので、必要なシフトレジスタを選択的に動作させることが可能である。このため、消費電力を削減することが可能となる。
40

【 0 0 1 1 】

また、この発明において、前記サンプリング部は、外部から供給されるイネーブル信号がアクティブとなる場合にのみ前記各サンプリング信号に従ってサンプリングを行うものであつてもよい。この場合には、イネーブル信号に基づいてサンプリングを行うので、例えば、あるブロックについてシフトレジスタが動作してサンプリング信号を生成したとしても、この中から必要なドットについてのみ画像データをサンプリングすることが可能となる。
50

【0012】

さらに、上述したデータ線駆動回路を制御する場合、データの時系列的に隣接する水平ライン間で画像データを比較して、データ値が一致するブロックについては、前記クロック信号の供給を停止することが望ましい。サンプリングされた画像データは画像データ変換部によってラッチされているから、データの時系列的に隣接する水平ライン間で画像データ値が一致する場合には、再度、画像データをサンプリングしてラッチする必要はない。一方、サンプリングを行うためには、クロック信号を供給してシフトレジスタを動作させてサンプリング信号を生成する必要があるが、クロック信号を供給する配線には寄生容量が付随する。当該配線は容量性の負荷として作用するため、クロック信号を十分なスルーレートで供給するには、大電力が必要となる。この発明によれば、データ値が一致するブ

10

【0013】

くわえて、上述したデータ線駆動回路を制御する場合、データの時系列的に隣接する水平ライン間で画像データを比較して、データ値が一致するブロックについては、前記画像データの供給を停止することが望ましい。サンプリングされた画像データは画像データ変換部によってラッチされているから、データの時系列的に隣接する水平ライン間で画像データ値が一致する場合には、再度、画像データをサンプリングしてラッチする必要はない。一方、画像データを供給する配線には寄生容量が付随する。当該配線は容量性の負荷として作用するため、画像データを十分なスルーレートで供給するには、大電力が必要となる

20

【0014】

次に、本発明に係る電気光学装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応して配置されたスイッチング素子と画素電極とを有し、予め定められた本数のデータ線単位で各々ブロック化された電気光学パネルと、前記各データ線に供給する各データ線信号を生成するデータ線駆動回路と、前記各走査線に供給する各走査線信号を生成する走査線駆動回路と、画像データに基づいて前記データ線駆動回路を制御する制御回路とを備えるものであって、前記制御回路は、データの時系列的に隣接する水平ライン間で前記画像データを比較し、前記各ブロック毎に水平ライン間でデータ

30

【0015】

値が一致するか否かを判定し、判定結果を前記各ブロック毎に示す判定信号を生成する判定部と、前記判定信号に基づいて、水平ライン間でデータ値に変化があったブロックについてのみ、アクティブとなるクロック信号を生成するクロック信号生成部とを備え、前記データ線駆動回路は、前記クロック信号に従ってブロック周期の転送開始パルスを順次シフトして各サンプリング信号を各々生成するとともに前記各ブロックに対応して設けられた複数のシフトレジスタと、前記各シフトレジスタに前記クロック信号を各々供給するクロック信号供給線と、画像データのうちデータの時系列的に隣接する水平ライン間で変化があった場合に、画像データがどのブロックに対応するかを示す選択信号に基づいて、その変化のあった画像データを供給すべき前記ブロックに対応するシフトレジスタに対してのみ前記転送開始パルスを供給する選択回路とを有するシフトレジスタ部と、画像データを前記各サンプリング信号に従って各々サンプリングし、サンプリングして得られたデータを線順次画像データに変換する画像データ変換部と、前記線順次画像データをDA変換して得た各データ線信号を前記各データ線に出力するDA変換部とを備えることを特徴とする。

40

50

【0016】

また、この発明において、前記判定部は、画像データを記憶する第1ラインメモリと、1水平走査期間前の画像データを記憶する第2ラインメモリと、前記第1ラインメモリから読み出した第1画像データと前記第2ラインメモリから読み出した第2画像データとを比較して、水平ライン間でデータ値が一致するか否かを前記各ブロック毎に判定する比較回路と、前記比較回路の判定結果をブロック毎に記憶する判定メモリとを備え、前記判定メモリから判定結果を順次読み出すことによって前記判定信号を生成することが望ましい。この場合には、簡易な構成で判定信号を生成することが可能となる。

【0017】

また、上述した電気光学装置の発明において、前記制御回路は、前記判定信号に基づいて、水平ライン間でデータ値に変化があったブロックについてのみ、アクティブとなる画像データを生成し、画像データ供給線を介して生成された画像データを前記サンプリング部に供給する画像データ生成部を備えることが望ましい。この場合には、データ値に変化があったブロックについてのみ画像データが画像データ供給線を介して伝送されることになるので、画像データ供給線を駆動するのに必要な電力を削減することが可能となる。

10

【0018】

また、上述した電気光学装置の発明において、前記画像データ生成部は、ブロック毎に区切られた前記画像データの前に前記選択信号を介挿した時分割信号し、これを前記画像データ供給線を介して前記サンプリング部に供給するものであり、前記シフトレジスタ部は、前記時分割信号から前記選択信号を分離する分離回路を備え、前記サンプリング部は前記時分割信号のうち前記画像データの部分をサンプリングすることが望ましい。この場合には、時分割信号を用いて選択信号と画像データを1本の配線で伝送できるので、構成を簡略化することが可能となる。

20

【0019】

くわえて、前記時分割信号は、前記画像データが非アクティブとなるブロックについては、前記選択信号の最後の論理レベルが継続されていることが好ましい。論理回路において電力が消費されるのは、論理レベルが変化した時であるから、選択信号の論理レベルを継続させることによって、消費電力を削減することができる。

【0020】

次に、本発明に係る電気光学装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応して配置されたスイッチング素子と画素電極とを有する電気光学パネルと、前記各データ線に供給する各データ線信号を生成するデータ線駆動回路と、前記各走査線に供給する各走査線信号を生成する走査線駆動回路と、画像データに基づいて前記データ線駆動回路を制御する制御回路とを備え、前記制御回路は、データの時系列的に隣接する水平ライン間で前記画像データを比較して、ドット毎に水平ライン間でデータ値が一致するか否かを判定する判定部と、前記判定部の判定結果に基づいて、水平ライン間でデータ値が一致した所定のドットについて非アクティブとなるイネーブル信号を生成するイネーブル信号生成部と、前記イネーブル信号がアクティブとなる場合に画像データを画像データ供給線に出力する画像データ生成部とを備え、前記データ線駆動回路は、前記イネーブル信号がアクティブとなる場合にのみ、前記画像データを各サンプリング信号に従って各々サンプリングするサンプリング部と、前記サンプリング部によってサンプリングして得られたデータを線順次画像データに変換する画像データ変換部と、前記線順次画像データをD/A変換して得た各データ線信号を前記各データ線に出力するD/A変換部とを備えることを特徴とする。

30

40

【0021】

この発明によれば、データの時系列的に隣接する水平ライン間でデータ値が変化するか否かをドット単位で判定して画像データを画像データ供給線に供給するから、画像データ供給線を駆動するために必要な電力をより一層削減することができる。

【0022】

また、上述した発明において、前記判定部は、画像データを記憶する第1ラインメモリと

50

、 1 水平走査期間前の画像データを記憶する第 2 ラインメモリと、前記第 1 ラインメモリから読み出した第 1 画像データと前記第 2 ラインメモリから読み出した第 2 画像データとをドット毎に比較する比較回路と、前記比較回路の判定結果をドット毎に記憶する判定メモリとを備えることが望ましい。

【 0 0 2 3 】

また、上述した発明において、前記イネーブル信号生成部は、前記判定部の判定結果に基づいて、水平ライン間でデータ値が一致するドットが所定数連続した場合に前記イネーブル信号を非アクティブとすることが好ましい。この発明によれば、ある程度データ値の不一致が継続しない限り、イネーブル信号の論理レベルの変更がないので、イネーブル信号の駆動に要する消費電力を削減することができる。データ値の一致・不一致がドット単位で繰り返すような場合には、連続して一致したことになるので、イネーブル信号が非アクティブとならず、イネーブル信号を駆動するために電力を消費しない一方、一致するドット数が所定数を越えるとイネーブル信号が非アクティブとなり、画像データの駆動にかかる電力を削減することができる。

10

【 0 0 2 4 】

さらに、前記画像データ生成部は、前記イネーブル信号が非アクティブとなる場合には、画像データ供給線のレベルを一定とすることが望ましい。

【 0 0 2 5 】

くわえて、前記電気光学パネルは、予め定められた本数のデータ線単位で各々ブロック化されており、前記制御回路は、前記判定部の判定結果に基づいて、水平ライン間でデータ値に変化があったブロックについてのみアクティブとなるクロック信号を生成するクロック信号生成部を備え、前記データ線駆動回路は、前記クロック信号に従ってブロック周期の転送開始パルスを順次シフトして各サンプリング信号を各々生成するとともに前記各ブロックに各々対応する複数のシフトレジスタと、前記各シフトレジスタに前記クロック信号を各々供給するクロック信号供給線と、どのブロックに対応するかを示す選択信号に基づいて、前記各シフトレジスタに前記転送開始パルスを供給する選択回路とを有するシフトレジスタ部とを備えることが好ましい。

20

【 0 0 2 6 】

次に、本発明の電子機器は、この電気光学装置を表示部として用いたことを特徴とするものであり、例えば、ビデオカメラに用いられるビューファインダ、携帯電話機、ノート型コンピュータ、ビデオプロジェクタ等が該当する。

30

【 0 0 2 7 】

【 発明の実施の形態 】

以下、本発明の実施形態について図面を参照して説明する。

【 0 0 2 8 】

< 1 . 第 1 実施形態 >

< 1 - 1 . 液晶装置の全体構成 >

まず、本発明に係る電気光学装置として、電気光学材料として液晶を用いた液晶装置を一例にとって説明する。液晶装置の主要部は、スイッチング素子として T F T を形成した素子基板と対向基板とが互いに電極形成面を対向させて、かつ、一定の間隙を保持して、この間隙に液晶が挟持された液晶パネル A A から構成されている。

40

【 0 0 2 9 】

図 1 は本実施形態に係る液晶装置の全体構成を示すブロック図である。この液晶装置は、液晶パネル A A と外部処理回路と具備する。液晶パネル A A の素子基板上には、画像表示領域 A、走査線駆動回路 1 0 0、およびデータ線駆動回路 2 0 0 が形成されている。また、液晶装置は、外部処理回路として、制御装置 3 0 0 を備えている。

【 0 0 3 0 】

この液晶装置に供給される入力画像データ D i n は例えば 5 ビットパラレルの形式である。なお、この例では、以下の説明を簡略化するため、入力画像データ D i n は 1 色に対応するものとして説明するが、本発明はこれに限定する趣旨ではなく、R G B の 3 原色に対応す

50

るものであっても良いことは勿論である。

【0031】

ここで、制御装置300は、入力画像データD_{in}に同期してYクロック信号YCK、Xクロック信号XCK、Y転送開始パルスDY、X転送開始パルスDX、ラッチパルスLAT等を生成し、これらの信号を走査線駆動回路100およびデータ線駆動回路200に各々供給するようになっている。

【0032】

くわえて、制御装置300は、後述するようにデータの時系列的に隣接する水平ライン間で入力画像データD_{in}を比較して、データ値が一致するブロックについては、Xクロック信号XCKの生成を停止するとともに、画像データDの供給を停止するようになっている。

10

【0033】

< 1 - 2 . 画像表示領域 >

画像表示領域Aは、m本の走査線3aが、X方向に沿って平行に配列して形成される一方、n本のデータ線6aが、Y方向に沿って平行に配列して形成されている。以下、m = 640、n = 300である場合を一例として説明する。また、画像表示領域AをX方向に10分割し、64本毎のデータ線6aに対応する領域を1ブロックと称することにする。

【0034】

図1に示すように走査線3aとデータ線6aとの交差付近においては、TFT50のゲートが走査線3aに接続される一方、TFT50のソースがデータ線6aに接続されるとともに、TFT50のドレインが画素電極9aに接続されている。そして、各画素は、画素電極9aと、対向基板に形成される対向電極と、これら両電極間に挟持された液晶とを具備している。この結果、各画素は、走査線3aとデータ線6aとの各交差に対応して、マトリクス状に配列することとなる。

20

【0035】

また、TFT50のゲートが接続される各走査線3aには、走査線信号Y1、Y2、...、Y300が、パルスの線順次で印加される構成となっている。このため、ある走査線3aに走査線信号が供給されると、当該走査線に接続されるTFT50がオンするので、データ線6aから所定のタイミングで供給されるデータ線信号X1、X2、...、X640は、対応する画素に順番に書き込まれた後、所定の期間保持されることとなる。

30

【0036】

ここで、各画素に印加される電圧レベルに応じて液晶分子の配向や秩序が変化するので、光変調による階調表示が可能となる。例えば、液晶を通過する光量は、ノーマリーホワイトモードであれば、印加電圧が高くなるにつれて制限される一方、ノーマリーブラックモードであれば、印加電圧が高くなるにつれて緩和されるので、液晶装置全体では、画像信号に応じたコントラストを持つ光が各画素毎に出射される。このため、所定の表示が可能となっているのである。なお、この例の画像表示領域Aはノーマリーホワイトモードで動作するよう構成されている。

【0037】

また、保持された画像信号がリークするのを防ぐために、蓄積容量51が、画素電極9aと対向電極との間に形成される液晶容量と並列に付加される。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量51により保持されるので、保持特性が改善される結果、高コントラスト比が実現されることとなる。

40

【0038】

< 1 - 3 . 走査線駆動回路 >

次に、走査線駆動回路100は、Yシフトレジスタおよびレベルシフト等を備えている。Yシフトレジスタは、その周期が垂直走査周期となり、垂直走査期間の開始でアクティブとなるY転送開始パルスDYを、水平走査期間毎に反転するYクロックYCKを用いてY方向にシフトする。レベルシフトは、順次シフトされた信号をレベルシフトして、走査線信号Y1、Y2、...、Y300を生成している。各走査線信号Y1、Y2、...、Y300

50

は走査線 3 a に対しパルスの線順次で供給されるようになっている。

【 0 0 3 9 】

< 1 - 4 . 制御装置 >

次に、制御装置 3 0 0 について説明する。図 2 は制御装置の主要部の構成を示すブロック図である。この図に示すように制御装置 3 0 0 は、フレームメモリ 3 1 0、第 1 ラインメモリ 3 2 0、第 2 ラインメモリ 3 3 0、比較回路 3 4 0、判定メモリ 3 5 0、制御回路 3 6 0、およびアドレス発生器 3 7 0 を有している。

【 0 0 4 0 】

以下の説明では、ある水平ラインに着目したとき、図 1 に示すデータ線信号 X 1、X 2、...、X 6 4 0 に対応する画像データ D を D 1、D 2、... D 6 4 0 と記載し、また、第 1 番目 ~ 第 1 0 番目の各ブロックを B 1 ~ B 1 0 と記載し、各ブロックに対応する画像データ D を D B 1 ~ D B 1 0 と記載し、さらに、必要に応じて画像データ D の属するラインを明確にするためにライン番号を添字で示すことにする。例えば、D 2 0 n は、第 n ラインの第 2 0 番目の画像データを意味し、また、D B 1 n は第 n ラインの第 1 ブロックの画像データを意味する。

10

【 0 0 4 1 】

まず、フレームメモリ 3 1 0 は 2 個のフィールドメモリを具備している。そして、フレームメモリ 3 1 0 は、一方のフィールドメモリに入力画像データ D i n を書き込んでいるフィールド期間において、他方のフィールドメモリから記憶した入力画像データ D i n を読み出し、次のフィールド期間において、他方のフィールドメモリを書き込みに使用するとともに、一方のフィールドメモリを読み出しに使用するようにしている。また、入力画像データ D i n の読み書きは、アドレス発生器 3 7 0 で生成される書込アドレス ADRW、読出アドレス ADRR に基づいて行われる。

20

【 0 0 4 2 】

次に、第 1 ラインメモリ 3 2 0 と第 2 ラインメモリ 3 3 0 とは、制御信号 CTRL によって水平走査周期で読み書きを行うように制御される。第 1 ラインメモリ 3 2 0 は、フレームメモリ 3 1 0 から読み出された入力画像データ D i n を記憶する。一方、第 2 ラインメモリ 3 3 0 は第 1 ラインメモリ 3 2 0 から出力される画像データ D B 1 n を記憶する。このため、第 2 ラインメモリ 3 3 0 から読み出される画像データ D は、第 1 ラインメモリ 3 2 0 から読み出される画像データ D に比較して 1 水平走査期間遅れている。この例では、第 1 ラインメモリ 3 2 0 に第 n ラインの画像データ D B 1 n ~ D B 1 0 n が記憶されており、第 2 ラインメモリ 3 3 0 に第 n - 1 ラインの画像データ D B 1 n-1 ~ D B 1 0 n-1 が記憶されているものとする。

30

【 0 0 4 3 】

次に、比較回路 3 4 0 は、1 0 個の比較ユニット C U 1 ~ C U 1 0 を備えている。各比較ユニット C U 1 ~ C U 1 0 は、第 n ラインの画像データ D B 1 n ~ D B 1 0 n と第 n - 1 ラインの画像データ D B 1 n-1 ~ D B 1 0 n-1 とを各ブロック毎に比較して、両者が一致する場合には “ 0 ” となり、不一致の場合には “ 1 ” となる判定フラグ f r g 1 ~ f r g 1 0 を出力する。これにより、データの時系列的に隣接する水平ライン間で、画像データ D の変化があったブロックを特定することができる。

40

【 0 0 4 4 】

次に、判定メモリ 3 5 0 は、判定フラグ f r g 1 ~ f r g 1 0 を記憶し、所定のタイミングで f r g 1、f r g 2、...、f r g 1 0 の順に読み出して判定信号 D S を生成する。

【 0 0 4 5 】

次に、制御回路 3 6 0 は、ブロック周期の X 転送開始パルス D X を生成するとともに、判定信号 D S に基づいて X 転送開始パルス D X に同期した X クロック信号 X C K、および時分割データ D ' を生成する。

【 0 0 4 6 】

図 3 は、隣接する水平ライン間で総てのブロックに変化があったとした場合における制御回路の各種信号のタイミングチャートである。この図に示すように、X 転送開始パルス D

50

Xが1水平走査期間1Hにおいてアクティブ(“1”)となる回数は、ブロック数(この例では10)と一致する。

【0047】

また、時分割データD'は選択データSDと画像データDから構成されている。選択データSDは10ビットで構成されており、各ビットは当該選択データSDに続く画像データDがどのブロックに対応するものであるかを示している。具体的には、選択データSDのLSBが“1”ならば、画像データDは第1ブロックB1に対応するDB1であり、選択データSDのMSBが“1”ならば画像データDは第10ブロックB10に対応するDB10である。なお、制御回路360において選択データSDと画像データDとを個別に生成出力するのではなく、時分割データD'として生成出力するのは、後述するデータ線駆動回路200までの配線およびその内部配線を簡略化するためである。

10

【0048】

次に、図4は隣接する水平ライン間の画像データにおいて第2ブロックにのみ変化があった場合における制御回路の各種信号のタイミングチャートである。この図に示すようにXクロック信号XCKは、第2ブロックB2に対応する期間Tb2にのみクロックパルスを有し(アクティブ)、他の期間はクロックパルスを有さない(非アクティブ)。換言すれば、制御装置300は、データの時系列的に隣接する水平ライン間で画像データDを比較して、データ値が一致するブロックについては、Xクロック信号XCKの生成を停止している。

【0049】

また、時分割データD'を構成する画像データDは、第2ブロックB2に相当するD65, D66, ..., D128のみアクティブであり、第2ブロックB2以外のブロックについては、前のデータ値を維持する。

20

【0050】

例えば、画像データDが5ビットの平行形式で構成されており、時分割データD'の出力配線が5ビットであるものとすれば、10ビットの選択データSDは2ワードで表されることになる。この場合、第1ブロックB1の選択データSDの第1ワードは“00000”、第2ワードは“00001”となる。

【0051】

この例では、第1ブロックB1は変化がないブロックであるから、期間Tb1において、画像データDのデータ値は“00001”となる。すなわち、選択データSDの第2ワードと同じデータ値となる。また、期間Tb3において、画像データDのデータ値は、選択データSDの第2ワード“00011”と一致する。

30

【0052】

換言すれば、制御装置300は、データの時系列的に隣接する水平ライン間で画像データDを比較して、データ値が一致するブロックについては、画像データDの出力を停止して、前のデータ値を維持している。

【0053】

<1-5. データ線駆動回路>

次に、データ線駆動回路200について説明する。図5はデータ線駆動回路の主要部の構成を示すブロック図である。図5に示すようにデータ線駆動回路200は、シフトレジスタ部210、サンプリング部220、第1ラッチ部230、第2ラッチ部240、およびDA変換部250を備えている。

40

【0054】

まず、シフトレジスタ部210は、Xクロック信号XCKにしたがって、X転送開始パルスDXを順次シフトしてサンプリングパルスSP1, SP2, ..., SP640を適宜生成する。各サンプリングパルスSP1, SP2, ..., SP640は、Xクロック信号XCKの1/2周期の期間毎に順次排他的にアクティブとなる信号である。

【0055】

次に、サンプリング部220は、640個のスイッチ回路SW1~SW640を備えている(

50

図 6 参照)。各スイッチ回路 $SW1, SW2, \dots, SW640$ は、サンプリングパルス $SP1, SP2, \dots, SP640$ によってオン・オフが制御される。このサンプリング部 220 によって、サンプリングパルス $SP1, SP2, \dots, SP640$ がアクティブ (Hレベル) のとき、画像データ D がサンプリングされて、第 1 ラッチ部 230 に供給されることになる。なお、本実施形態の画像データ D は、上述したように 5 ビットの平行形式であるため、各スイッチ回路 $SW1, SW2, \dots, SW640$ は、5 個のスイッチ素子から構成されている。

【 0056 】

次に、第 1 ラッチ部 230 は、10 個のラッチユニット (図示せず) から構成され、サンプリング部 220 を介して供給される画像データ D をラッチする。これにより、画像データ D は点順次画像データ $DA1 \sim DA640$ に変換される。また、第 2 ラッチ部 240 は、点順次画像データ $DA1 \sim DA640$ をラッチパルス LAT を用いてラッチするように構成されている。ここで、ラッチパルス LAT は 1 水平走査期間毎にアクティブとなる信号である。したがって、この第 2 ラッチ部 240 によって、点順次画像データ $DA1 \sim DA640$ が、線順次画像データ $Db1 \sim Db640$ に変換される。

10

【 0057 】

次に、 DA 変換部 250 は、640 個の DA 変換器 (図示せず) を有しており、線順次画像データ $Db1 \sim Db640$ をデジタル信号からアナログ信号に変換し、これらをデータ線信号 $X1 \sim X640$ として 640 本のデータ線 6a に各々出力する。 DA 変換器の形式はどのようなものであってもよい。例えば、デコーダ型、抵抗分割型、容量分割型の他、 DA 変換器の内部容量とデータ線 6a の寄生容量との間で、線順次画像データ $Db1 \sim Db640$ の階調値に応じた回数だけ充放電を繰り返すタイプのものを適用することができる。

20

【 0058 】

次に、シフトレジスタ部 210 の詳細構成について説明する。図 6 はシフトレジスタ部とその周辺回路の構成を示すブロック図である。この図に示すようにシフトレジスタ部 210 は、10 個のシフトレジスタ $SR1 \sim SR10$ および DX 選択回路 $SL1 \sim SL10$ 、クロック信号供給線 CKL 、スイッチ回路 212、ならびにラッチ回路 213 を備えている。このシフトレジスタ部 210 は、シフトレジスタがブロック化されており、各ブロック $B1 \sim B10$ に各々対応するシフトレジスタ $SR1 \sim SR10$ を有する点に特徴がある。

【 0059 】

このような回路構成において、ラッチ回路 213 は、スイッチ回路 212 を介して時分割データ D' 中の選択データ SD を取り込み、これをラッチするとともに、ラッチした選択データ SD の各ビットを、 DX 選択回路 $SL1 \sim SL10$ に選択制御信号 $SS1 \sim SS10$ として供給する。

30

【 0060 】

各 DX 選択回路 $SL1 \sim SL10$ は、選択制御信号 $SS1 \sim SS10$ が “ 1 ” の場合に、 X 転送開始パルス DX を各シフトレジスタ $SR1 \sim SR10$ に供給する一方、選択制御信号 $SS1 \sim SS10$ が “ 0 ” の場合には、 X 転送開始パルス DX を各シフトレジスタ $SR1 \sim SR10$ に供給しないようになっている。

【 0061 】

したがって、各シフトレジスタ $SR1 \sim SR10$ は、対応する各ブロック $B1 \sim B10$ の選択期間においてのみ動作可能となる。くわえて、上述したように X クロック信号 XCK は、データの時系列的に隣接する水平ライン間で変化があったブロックの選択期間でのみアクティブとなり、他のブロックの選択期間では非アクティブとなる。

40

【 0062 】

この結果、シフトレジスタ $SR1 \sim SR10$ のうち、実際に X 転送開始パルス DX を転送してサンプリングパルス $SP1 \sim SP640$ を生成するのは、データの時系列的に隣接する水平ライン間で変化のあったブロックに対応するものに限られる。

【 0063 】

このように、シフトレジスタ部 210 をブロック化したのは、隣接する水平ライン間で変化のあったブロックについてのみ、 X クロック信号 XCK を供給するためである。

50

【 0 0 6 4 】

この例のようにブロック化したシフトレジスタ S R 1 ~ S R 10 を用いる場合、あるいは、従来のように 1 個のシフトレジスタを用いる場合でも、シフトレジスタを構成する各ラッチ回路には、X クロック信号 X C K を供給する必要があるため、X クロック信号供給線 C K L の配線距離は長くなる。このため、配線自体の容量や各ラッチ回路の入力容量が寄生容量として X クロック信号供給線 C K L に付随している。したがって、X クロック信号供給線 C K L に X クロック信号 X C K を供給する制御装置 3 0 0 から見れば、X クロック信号供給線 C K L は容量性の負荷である。一方、X クロック信号 X C K の周波数はドットクロック周波数の 1 / 2 であり、極めて高い。このため、仮に、制御装置 3 0 0 が、容量性の負荷である X クロック信号供給線 C K L を常に駆動するものとすれば、大きな電力が消費

10

【 0 0 6 5 】

しかしながら、この実施形態によれば、シフトレジスタ部 2 1 0 をブロック化し、データの時系列的に隣接する水平ライン間で変化のあったブロックについてのみ画像データ D をサンプリングするようにしている。したがって、該当ブロックの選択期間でのみ各シフトレジスタ S R 1 ~ S R 10 を動作させるように X クロック信号 X C K を供給し、他の期間では X クロック信号 X C K の供給を停止することによって、消費電力を削減している。換言すれば、X クロック信号 X C K の供給を必要に応じて停止しても、必要なサンプリングパルス S P 1 ~ S P 640 を生成できるようにブロック化したシフトレジスタ S R 1 ~ S R 10 を採用したのである。

20

【 0 0 6 6 】

また、シフトレジスタをブロック化することにより、データの時系列的に隣接する水平ライン間で変化のあったブロックについてのみサンプリングパルス S P が生成されることになるから、シフトレジスタ S R 1 ~ S R 10 で消費される電力自体も削減できる。

【 0 0 6 7 】

例えば、画像表示領域 A に表示すべき画像が白一色であるものとすれば、第 1 ラインを除く総てのラインの画像データ D は、1 水平走査期間前の画像データ D とデータ値が同一であるから、X クロック信号 X C K は最初のラインでのみ供給すれば足り、また、サンプリングパルス S P 1 ~ S P 640 も同様に最初のラインでのみ発生させればよい。このため、当該フィールド期間において、X クロック信号 X C K を供給するのに必要な電力およびサン

30

【 0 0 6 8 】

次に、サンプリング部 2 2 0 は、画像データ供給線 D L とスイッチ回路 S W 1 ~ S W 640 とを備えており、各サンプリングパルス S P 1 ~ S P 640 がアクティブとなった時にのみサンプリングが行われる。

【 0 0 6 9 】

画像データ供給線 D L は、サンプリングパルス S P 1 ~ S P 640 を供給するための 6 4 0 本の配線と交差してしているので、それらの容量が画像データ供給線 D L に付随しており、さらに、スイッチ回路 S W 1 ~ S W 640 の入力容量が付随している。したがって、画像データ供給線 D L に時分割データ D ' を供給する制御装置 3 0 0 から見れば、画像データ供給線 D L は容量性の負荷である。一方、時分割データ D ' の周波数はドットクロック周波数であり、極めて高い。このため、仮に、制御装置 3 0 0 が、容量性の負荷である画像データ供給線 D L を常に駆動するものとすれば、大きな電力が消費される。

40

【 0 0 7 0 】

しかしながら、この実施形態によれば、データの時系列的に隣接する水平ライン間で変化のあったブロックについてのみ画像データ D をサンプリングするようにしている。したがって、時分割データ D ' のうち画像データ D は、該当ブロックの選択期間にのみ供給すれば足りる。また、論理レベルを変化させれば、そこで電力が消費されることになる。

【 0 0 7 1 】

50

そこで、制御装置300は、データの時系列的に隣接する水平ライン間で画像データ値が一致するブロックについては、画像データDの出力を停止して前のデータ値を維持することにより、消費電力を削減している。例えば、画像表示領域Aに表示すべき画像が白一色であるものとすれば、第1ラインを除く総てのラインの画像データDは、1水平走査期間前の画像データDとデータ値が同一であるから、画像データDは最初のラインでのみ供給すれば足りる。このため、当該フィールド期間において、画像データDを供給するのに必要な電力を、約1/300に削減することができる。

【0072】

< 1 - 6 . 第1実施形態の動作 >

次に、第1実施形態に係る液晶装置の動作を説明する。ここでは、図7に示すように、白の背景の画面中央に横1本の黒線を表示する場合を一例として取り上げる。なお、黒線は第150番目のラインに表示されるものとする。

10

【0073】

図8は、液晶装置の動作を説明するためのタイミングチャートである。まず、走査線駆動回路100は、Y転送開始パルスDYをYクロック信号YCKに従って順次シフトして、図に示す走査線信号Y1、Y2、...、Y300を生成し、これらを各走査線3aに各々供給する。

【0074】

一方、データ線駆動回路200にあっては、制御装置300から供給されるXクロック信号XCKに従ってサンプリングパルスSP1~SP640を生成し、これを用いて時分割データD'を構成する画像データDをサンプリングする。この例にあっては、150番目のラインにのみ黒線を表示するため、149番目のラインと150番目のライン間では、総てのブロックB1~B10において画像データDの値が不一致となる。また、150番目のラインと151番目のラインにおいても、同様である。くわえて、第1番目のラインは、比較の対象となる前のラインがないので、当該ラインにおいても総てのブロックB1~B10において画像データDの値が不一致としている。同図においては、第n番目のラインに対応するXクロック信号XCKと時分割データD'を表すのに添字を付してある。例えば、XCKnは第n番目のラインに係るXクロック信号XCKであり、D'nは第n番目のラインに係る画像データである。

20

【0075】

まず、第1番目のラインにおいては、図に示すようにXクロック信号XCK1と時分割データD'1が、Xクロック信号供給線CKLと画像データ供給線DLに供給される。

30

【0076】

次に、総てのブロックB1~B10において、第2番目のラインは第1番目のラインと画像データDの値が一致するので、Xクロック信号XCKの論理レベルは“0”となる。一方、時分割データD'2を構成する画像データDは非アクティブとなり、前のデータ値を維持する。このため、第2番目のラインにあっては、制御装置300は、Xクロック信号供給線CKLを駆動するのに電力が不要であり、また画像データ供給線DLを駆動するために殆ど電力を消費しない。くわえて、第3ラインから第149ラインにおいても、画像データDのデータ値は同じであるから、第2ラインと同様にXクロック信号XCKおよび時分割データD'を供給するために、殆ど電力を必要としない。

40

【0077】

次に、第150番目のラインにあっては、表示すべき画像の階調が白から黒に切り替わるため、149番目のラインと150番目のライン間では、総てのブロックB1~B10において画像データDの値が不一致となる。また、150番目のラインと151番目のラインにおいても、同様である。このため、第150番目および第151番目のラインに係るXクロック信号XCK150、XCK151はアクティブとなり、時分割データD'150、D'151も同様にアクティブとなる。したがって、これらのラインにあっては、Xクロック信号XCKおよび時分割データD'を供給するために、電力が消費されることになる。

【0078】

50

次に、第153番目のラインから第300番目のラインにあっては、第2ラインから第149番目のラインと同様にXクロック信号XCKおよび時分割データD'を供給するために、殆ど電力を必要としない。

【0079】

したがって、電力を消費するラインは、第1番目、第150番目および第151番目のラインのみとなり、他のラインにあっては、Xクロック信号XCKおよび時分割データD'を供給するために、殆ど電力を必要としない。この結果、Xクロック信号XCKおよび時分割データD'を供給するために必要な電力を約1/100に低減することが可能となる。

【0080】

このように本実施形態にあっては、シフトレジスタ部210の主要部であるシフトレジスタSRをブロック化することにより、ブロック単位でサンプリングパルスSPを生成するようにしたので、隣接するライン間で画像データDのデータ値に変化があったブロックについてのみサンプリングを行い、他のブロックについてはサンプリング動作を停止するようにした。この結果、Xクロック信号XCKと画像データDの供給をブロック単位で行うことができ、これらの供給に伴う消費電力を大幅に削減することができる。

【0081】

<2. 第2実施形態>

次に、本発明の第2実施形態に係る液晶装置について説明する。上述した第1実施形態にあっては、ブロック単位で画像データDの書き換え動作をおこなった。これに対して、第2実施形態の液晶装置は、1ブロックの一部でデータ値の変化があった場合に、不一致部分がある程度の大きさにまとめて書き換えを行う一方、他の部分については書き換えを行わないことを特徴にするものである。

【0082】

第2実施形態の液晶装置は、制御装置300の替わりにイネーブル信号ENを生成出力する制御装置300'を用いる点、およびデータ線駆動回路200を構成するサンプリング部220の替わりにイネーブル入力を備えたサンプリング部220'を用いる点を除いて、図1に示す第1実施形態の液晶装置と同様の構成部分を備えている。以下相違点について説明する。

【0083】

<2-1. 制御装置>

まず、制御装置300'について説明する。図9は、第2実施形態に用いる制御装置のブロック図である。制御装置300'は、以下の点を除いて、図2に示す第1実施形態の制御装置300と同様に構成されている。

【0084】

第1の相違点は、ブロック単位で比較を行う比較回路340の替わりに各ドット単位で比較を行う比較回路340'を用いる点である。比較回路340'は、ドット単位で第nラインの画像データDnと第n-1ラインの画像データDn-1とを比較して、判定フラグFRG1~FRG640を生成する。

【0085】

第2の相違点は、ブロック単位の判定フラグを記憶する判定メモリ350の替わりにドット単位に判定フラグを記憶する判定メモリ350'を用いる点である。判定メモリ350'は、640ビットの記憶容量を有しており、判定フラグFRG1~FRG640を記憶する。

【0086】

第3の相違点は、制御回路360の替わりに、内部にディレイカウンタを有する制御回路360'を用いる点である。制御回路360'は、CPU(中央演算処理装置)等によって構成することができ、判定メモリ350'から読み出した判定信号DSに基づいて、Xクロック信号XCK、時分割データD'、およびイネーブル信号ENを生成する。

【0087】

まず、Xクロック信号XCKは、判定信号DSに基づいて生成される。この場合、制御回

10

20

30

40

50

路360は、判定信号DSの論理レベルをブロック単位で判定し、その判定結果に基づいてXクロック信号XCKを生成する。具体的には、各ブロックにおいて1ドットでも判定信号DSの論理レベルが“1”となれば、当該ブロックについてはクロックパルスをもつXクロック信号XCKを生成し、Xクロック信号XCKをアクティブとする。一方、各ブロックにおいて総てのドットについて判定信号DSの論理レベルが“0”であるならば、当該ブロックについてはXクロック信号XCKの供給を停止する。すなわち、Xクロック信号XCKについては、第1実施形態と同様に生成される。

【0088】

次に、イネーブル信号ENは、あるブロックの一部について隣接するライン間で画像データ値が不一致である場合にも、画像データ値が一致する所定のドットについては画像データを書き換えを停止するための制御信号である。後述するサンプリング部220'にあっては、イネーブル信号ENがアクティブの時に（この例では論理レベル“1”）画像データDのサンプリングを行う一方、イネーブル信号ENが非アクティブの時に画像データDのサンプリングを停止するようになっている。

10

【0089】

このように、ドット単位で画像データDのサンプリングを制御することにより、画像データDを画像データ供給線DLに供給する回数を少なくすることができ、消費電力をより一層低減することが可能となる。

【0090】

しかしながら、後述する図11にも示すようにサンプリング部210'を構成する各スイッチ回路SW1~SW640をイネーブル信号ENを用いて制御するには専用のイネーブル信号供給線ENLが必要となる。このイネーブル信号供給線ENLには、画像データ供給線DLやXクロック信号供給線XCKと同様に寄生容量が付随している。このため、イネーブル信号供給線ENLを駆動するために制御装置300'は大きな電力を消費する。

20

【0091】

したがって、イネーブル信号ENを用いて制御装置300'の消費電力を削減するためには、画像データDを非アクティブとすることにより節約できる電力が、イネーブル信号ENを供給することによって消費される電力を上回る必要がある。

【0092】

例えば、あるラインが黒線であり、次のラインがドット毎に白黒が反転するようなラインである場合に、次のラインにおいてイネーブル信号ENをドット単位で反転させると、イネーブル信号ENを供給するために大きな電力が消費されてしまう。

30

【0093】

そこで、本実施形態にあっては、データの時系列的に隣接する水平ライン間で画像データ値が一致するドットが所定数連続するか否かを判定して、所定数連続した場合にイネーブル信号ENを非アクティブにしている。以下、具体的に説明する。

【0094】

図10はイネーブル信号と画像データの生成に係る制御回路360'の動作を示すフローチャートである。まず、制御回路360'は、内部のディレイカウンタのカウント値を初期値にセットする。（ステップS1）。ディレイカウンタは、隣接するライン間で画像データDが不一致となるドット数をカウントするために用いられ、ダウンカウンタで構成されている。この例では、初期値を“3”にセットするものとする。

40

【0095】

次に、制御回路360'は、判定メモリ350'から判定信号DSを読み出し（ステップS2）、その論理レベルが“1”であるか否かをドット単位で判定する（ステップS3）。

【0096】

判定信号DSの論理レベルが“1”ならば、すなわち、隣接するライン間の画像データ値が一致するならば、ステップS4に進んでディレイカウンタのカウントが終了しているか否かを判定する。

【0097】

50

カウントが終了している場合には、ステップS4の判定結果は「YES」となり、ステップS5に進んで論理レベルが“0”となるイネーブル信号ENを出力するとともに、時分割データD'の画像データDを非アクティブとする。すなわち、直前のデータ値を維持して画像データDの出力を停止する(ステップS6)。

【0098】

一方、判定信号DSの論理レベルが“0”ならば、すなわち、隣接するライン間の画像データ値が不一致であるならば、ステップS3の判定結果は「NO」となり、ステップS7に進んでディレイカウンタのカウント値を初期値にリセットした後、ステップS4に進む。

【0099】

また、ステップS4において、ディレイカウンタのカウントが未終了の場合には、ステップS8に進んで、ディレイカウンタのカウント値を“1”だけデクリメントして、イネーブル信号ENおよび画像データDをアクティブとする(ステップS9、S10)。

【0100】

この後、1ライン分の画像データDを処理したか否かを判定し、処理済みである場合にはステップS1に戻り、次のラインの処理を開始する(ステップS11)。一方、未処理である場合にはステップS3に戻り、当該ラインの処理が終了するまでステップS3からステップS11を繰り返す。

【0101】

以上の処理において、例えば、あるドットについて画像データ値が不一致でありディレイカウンタのカウント値が“2”あり、次のドットについても不一致でありディレイカウンタのカウント値が“1”になったとする。これに続くドットについて画像データ値が一致すれば、そのカウント値は初期値である“3”にリセットされることになる。すなわち、画像データ値が一致するドットが3個連続しない限り、イネーブル信号ENは非アクティブとはならない。

【0102】

図11は、判定信号、Xクロック信号、イネーブル信号、および時分割データのタイミングチャートである。なお、この例では、ある水平ラインの画像データ値と前の水平ラインと画像データ値とが、第1ドット、第3ドット、第5ドット、第7ドット、および第9ドットにおいて各々不一致となり、他のドットにおいては一致し、また、ディレイカウンタの初期値は“3”であるものとする。

【0103】

この場合、判定信号DSはドット単位の反転を第9ドットまで繰り返し、第10ドットから第64ドットまでは“1”を維持する。当該第1ブロックB1においては、隣接する水平ライン間で画像データ値が不一致となるドットが存在するから、Xクロック信号XCKは図に示すようにアクティブとなる。一方、イネーブル信号ENは、一致するドットが3個連続したときに初めて非アクティブとなる。このため、イネーブル信号ENが“0”となるのは図に示すように時刻Z以降となる。くわえて、時刻Z以降にあっては、時分割データD'を構成する画像データDの値が直前のデータ値と一致するため、D11が連続することになる。

【0104】

これにより、不用意にイネーブル信号ENの反転を防止することができ、イネーブル信号供給線ENLの駆動によって電力が消費されても、画像データ供給線DLの駆動に伴う消費電力を削減することが可能となり、装置全体として見たときの消費電力をより一層削減することが可能となる。

【0105】

<2-2. サンプリング部>

次に、本実施形態に係るサンプリング部220'について説明する。図12は、第2実施形態に用いるサンプリング部とその周辺回路のブロック図である。この図に示すように、サンプリング部220'は、イネーブル信号ENを供給するイネーブル信号供給線ENL

10

20

30

40

50

を備える点、およびアンド回路AND1～AND640（ゲート回路）を介してサンプリングパルスSP1～SP640を各スイッチ回路SW1～SW640に供給する点を除いて、図6に示す第1実施形態のサンプリング部220と同様に構成されている。

【0106】

このサンプリング部220'においては、イネーブル信号ENの論理レベルが“1”の場合にのみサンプリングパルスSP1～SP640が各スイッチ回路SW1～SW640に供給されることになる。したがって、イネーブル信号ENの論理レベルを制御することによって、サンプリングをドット単位で制御することができる。

【0107】

上述したようにイネーブル信号ENは、あるブロックの一部において、データの時系列的に隣接する水平ライン間で画像データ値が不一致となる場合であっても、画像データ値が一致する所定のドットについては、非アクティブとなるので、当該ドットについては画像データ供給線DLを駆動する必要がない。このため、ドット単位で画像データDを画像データ供給線DLに供給するか否かを制御することが可能となり、駆動に要する電力を削減することができる。

10

【0108】

< 3. 液晶パネルの構成例 >

次に、上述した第1実施形態および第2実施形態で説明した液晶パネルAAの全体構成について図13および図14を参照して説明する。ここで、図13は、液晶パネルAAの構成を示す斜視図であり、図14は、図13におけるZ-Z'線断面図である。

20

【0109】

これらの図に示されるように、液晶パネルAAは、画素電極9a等が形成されたガラスや半導体等の素子基板101と、共通電極108等が形成されたガラス等の透明な対向基板102とを、スペーサ103が混入されたシール材104によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせるとともに、この間隙に電気光学材料としての液晶105を封入した構造となっている。なお、シール材104は、対向基板102の基板周辺に沿って形成されるが、液晶105を封入するために一部が開口している。このため、液晶105の封入後に、その開口部分が封止材106によって封止されている。

【0110】

ここで、素子基板101の対向面であって、シール材104の外側一辺においては、上述したデータ線駆動回路200が形成されて、Y方向に延在するデータ線6aを駆動する構成となっている。さらに、この一辺には複数の接続電極107が形成されて、制御装置300からの各種信号を入力する構成となっている。

30

【0111】

また、この一辺に隣接する2辺には、2個の走査線駆動回路100が形成されて、X方向に延在する走査線3aをそれぞれ両側から駆動する構成となっている。なお、走査線112に供給される走査線信号の遅延が問題にならないのであれば、走査線駆動回路100を片側1個だけに形成する構成でも良い。

【0112】

一方、対向基板102の共通電極108は、素子基板101との貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材によって、素子基板101との電氣的導通が図られている。ほかに、対向基板102には、液晶パネルAAの用途に応じて、例えば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例えば、クロムやニッケルなどの金属材料や、カーボンやチタンなどをフォトレジストに分散した樹脂ブラックなどのブラックマトリクスが設けられ、第3に、液晶パネル100に光を照射するバックライトが設けられる。特に色光変調の用途の場合には、カラーフィルタは形成されずにブラックマトリクスが対向基板102に設けられる。

40

【0113】

くわえて、素子基板101および対向基板102の対向面には、それぞれ所定の方向にラ

50

ピング処理された配向膜などが設けられる一方、その各背面側には配向方向に応じた偏光板（図示省略）がそれぞれ設けられる。ただし、液晶105として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜、偏光板等が不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0114】

なお、走査線駆動回路100およびデータ線駆動回路200の周辺回路の一部または全部を、素子基板101に形成する替わりに、例えば、TAB（Tape Automated Bonding）技術を用いてフィルムに実装された駆動用ICチップを、素子基板101の所定位置に設けられる異方性導電フィルムを介して電気的および機械的に接続する構成としても良いし、駆動用ICチップ自体を、COG（Chip On Glass）技術を用いて、素子基板101の所定位置に異方性導電フィルムを介して電気的および機械的に接続する構成としても良い。

10

【0115】

<4. 液晶装置の応用例>

次に、第1実施形態および第2実施形態で説明した液晶装置を各種の電子機器に適用される場合について説明する。

【0116】

<その1：プロジェクタ>

まず、この液晶装置をライトバルブとして用いたプロジェクタについて説明する。図15は、プロジェクタの構成例を示す平面図である。

【0117】

この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、ライトガイド1104内に配置された4枚のミラー1106および2枚のダイクロイックミラー1108によってRGBの3原色に分離され、各原色に対応するライトバルブとしての液晶パネル1110R、1110Bおよび1110Gに入射される。

20

【0118】

液晶パネル1110R、1110Bおよび1110Gの構成は、上述した液晶パネルAAと同等であり、画像信号処理回路（図示省略）から供給されるR、G、Bの原色画像情報（画像データ、画像信号）でそれぞれ駆動されるものである。そして、これらの液晶パネルによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。このダイクロイックプリズム1112においては、RおよびBの光が90度に屈折する一方、Gの光が直進する。したがって、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン等にカラー画像が投写されることとなる。

30

【0119】

ここで、各液晶パネル1110R、1110Bおよび1110Gによる表示像について着目すると、液晶パネル1110Gによる表示像は、液晶パネル1110R、1110Bによる表示像に対して左右反転することが必要となる。

【0120】

なお、液晶パネル1110R、1110Bおよび1110Gには、ダイクロイックミラー1108によって、R、G、Bの各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。

40

【0121】

<その2：モバイル型コンピュータ>

次に、上述した液晶装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図16は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示ユニット1206とから構成されている。この液晶表示ユニット1206は、先に述べた液晶パネル1005の背面にバックライトを付加することにより構成されている。

【0122】

50

< その 3 : 携帯電話 >

さらに、上述した液晶装置を、携帯電話に適用した例について説明する。図 17 は、この携帯電話の構成を示す斜視図である。図において、携帯電話 1300 は、複数の操作ボタン 1302 とともに、反射型の液晶パネル 1005 を備えるものである。この反射型の液晶パネル 100 にあっては、必要に応じてその前面にフロントライトが設けられる。

【 0 1 2 3 】

なお、図 14 ~ 図 17 を参照して説明した電子機器の他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた装置等などが挙げられる。そして、これらの各種電子機器に適用可能な

10

【 0 1 2 4 】

< 5 . 変形例 >

(1) 上述した各実施形態および応用例において、制御装置 300、300' の全部または一部を液晶パネル AA に内蔵してもよい。この場合には、制御装置 300、300' を構成する能動素子として T F T を用い、制御装置 300、300' を走査線駆動回路 100 やデータ線駆動回路 200 に用いる T F T と同一の半導体プロセスで素子基板 101 上に形成すればよい。特に、制御装置 300、300' の一部を素子基板上 101 に形成する場合にあっては、制御回路 360、360'、アドレス発生器 370、フレームメモリ 310 を除いた部分を液晶パネル AA に取り込むことが望ましい。

20

【 0 1 2 5 】

(2) 上述した各実施形態にあっては、制御装置 300、300' とデータ線駆動回路 200 を別個なものとして説明したが、これらを合わせてデータ線駆動装置として捉えてもよいことは勿論である。

【 0 1 2 6 】

(3) 上述した各実施形態にあっては、D A 変換部 250 は常に動作するものとして説明したが、データの時系列的に隣接する水平ライン間で変化のあったブロックについてのみデータ線信号を各データ線 6 a に供給するようにしてもよい。また、D A 変換部 250 について動作を要しない部分についてはブロック単位で電源供給を遮断するようにしてもよい。

30

【 0 1 2 7 】

【 発明の効果 】

以上説明したように本発明よれば、データの時系列的に隣接する水平ライン間で画像データ値が一致するブロックについては、クロック信号や画像データの供給を停止するようにしたので、電気光学装置の消費電力を大幅に削減することが可能となる。

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 実施形態に係る液晶装置の全体構成を示すブロック図である。

【 図 2 】 同実施形態に用いる制御装置のブロック図である。

【 図 3 】 隣接する水平ライン間で総てのブロックに変化があったとした場合における制御回路の各種信号のタイミングチャートである。

40

【 図 4 】 隣接する水平ライン間の画像データにおいて第 2 ブロックにのみ変化があった場合における制御回路の各種信号のタイミングチャートである。

【 図 5 】 同実施形態に用いるデータ線駆動回路の主要部の構成を示すブロック図である。

。

【 図 6 】 同実施形態に用いるシフトレジスタ部とその周辺回路の構成を示すブロック図である。

【 図 7 】 表示画面の一例を示す図である。

【 図 8 】 同実施形態に係る液晶装置の動作を説明するためのタイミングチャートである。

。

【 図 9 】 第 2 実施形態に用いる制御装置のブロック図である。

50

【図10】 イネーブル信号と画像データの生成に係る制御回路の動作を示すフローチャートである。

【図11】 判定信号、Xクロック信号、イネーブル信号、および時分割データのタイミングチャートである。

【図12】 同実施形態に用いるサンプリング部とその周辺回路のブロック図である。

【図13】 液晶パネルの構成を示す斜視図である。

【図14】 図12におけるZ-Z'線断面図である。

【図15】 液晶装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

【図16】 液晶装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。 10

【図17】 液晶装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【符号の説明】

A A …… 液晶パネル（電気光学パネル）

3 a …… 走査線

6 a …… データ線

9 a …… 画素電極

5 0 …… T F T（スイッチング素子）

2 0 0 …… データ線駆動回路 20

2 1 0 …… シフトレジスタ部

2 2 0 …… サンプリング部

2 3 0 …… 第1ラッチ部（画像データ変換部）

2 4 0 …… 第2ラッチ部（画像データ変換部）

2 5 0 …… D A 変換部

3 0 0、3 0 0' …… 制御装置

3 2 0 …… 第1ラインメモリ

3 3 0 …… 第2ラインメモリ

3 4 0、3 4 0' …… 比較回路

3 5 0、3 5 0' …… 判定メモリ 30

D in …… 入力画像データ

D …… 画像データ

D' …… 時分割データ

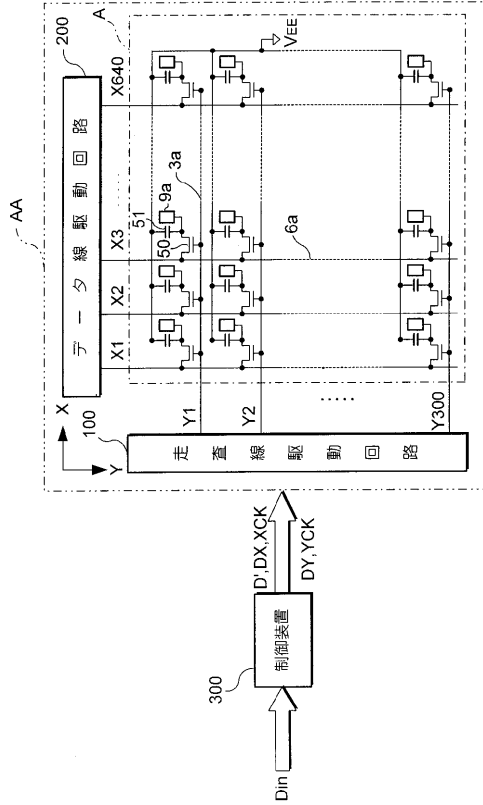
D S …… 判定信号

S D …… 選択データ（選択信号）

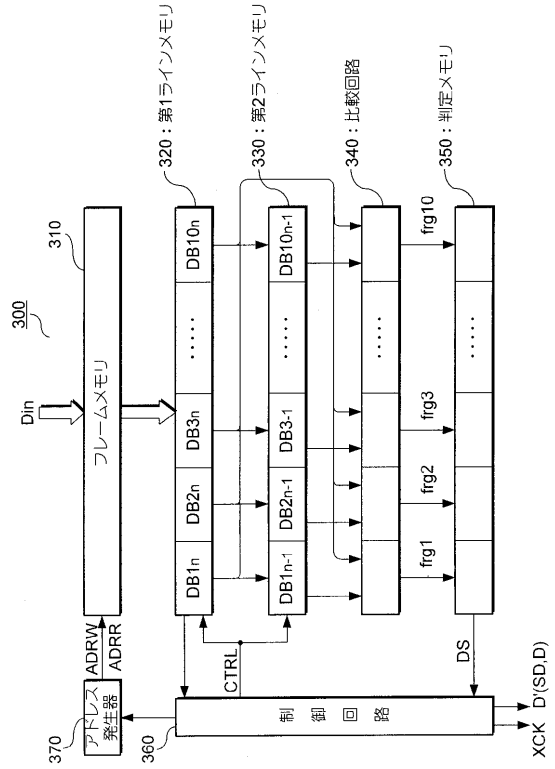
D X …… X 転送開始パルス

X C K …… X クロック信号（クロック信号）

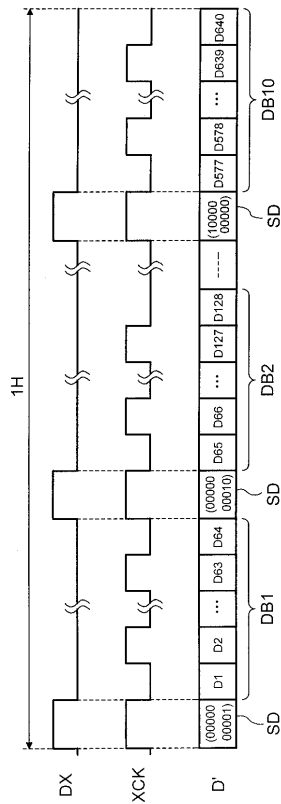
【 図 1 】



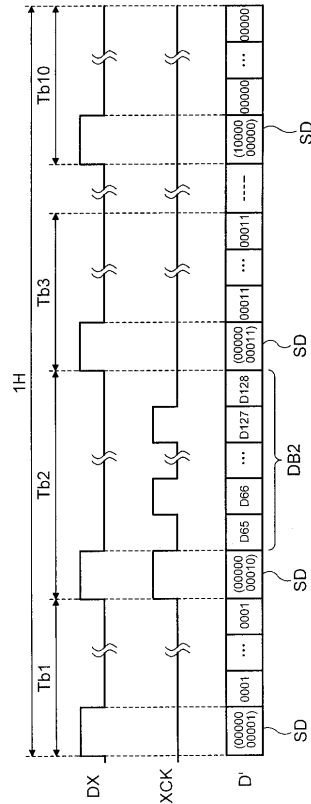
【 図 2 】



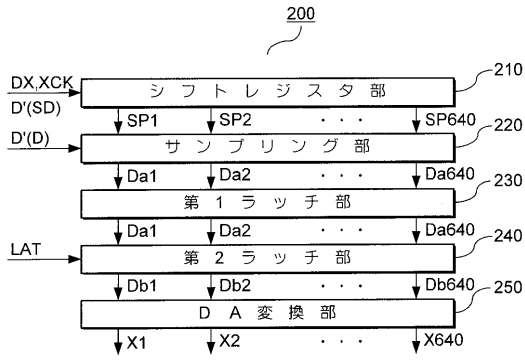
【 図 3 】



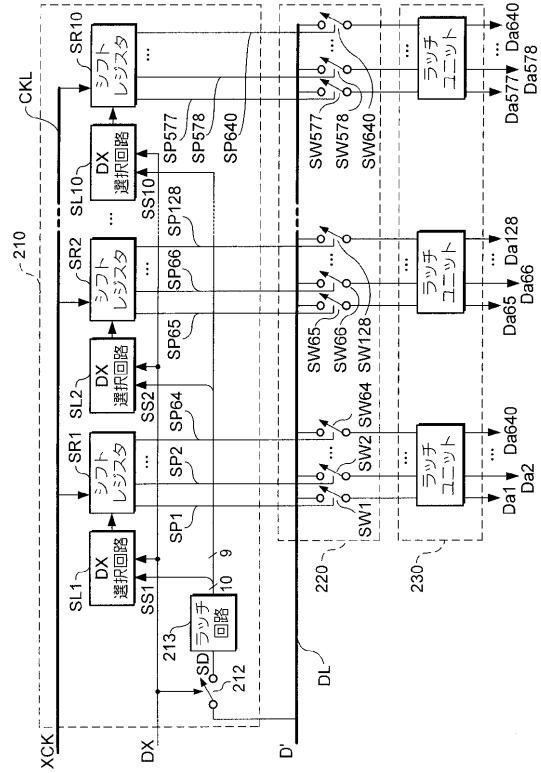
【 図 4 】



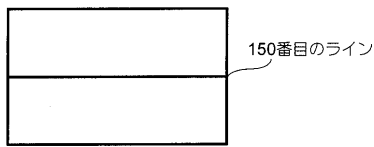
【 図 5 】



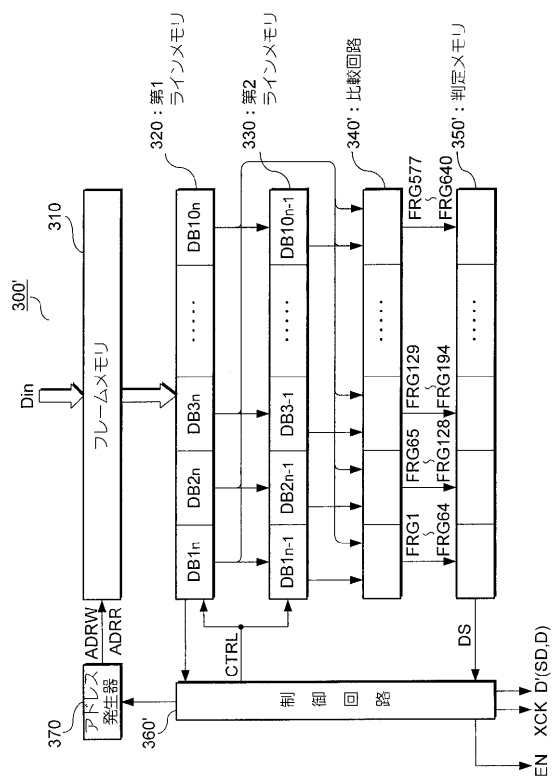
【 図 6 】



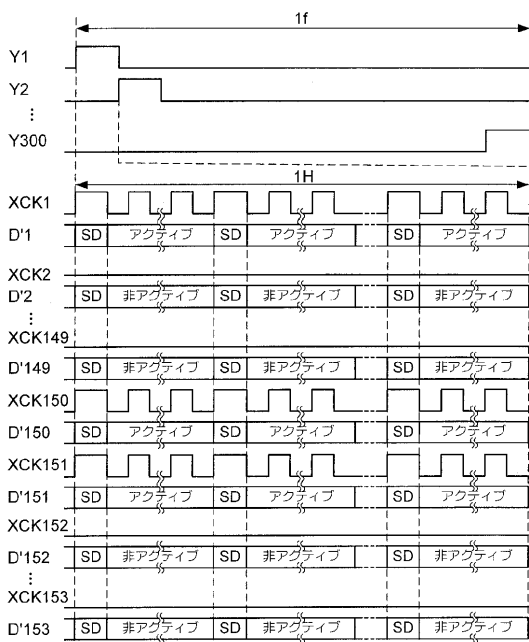
【 図 7 】



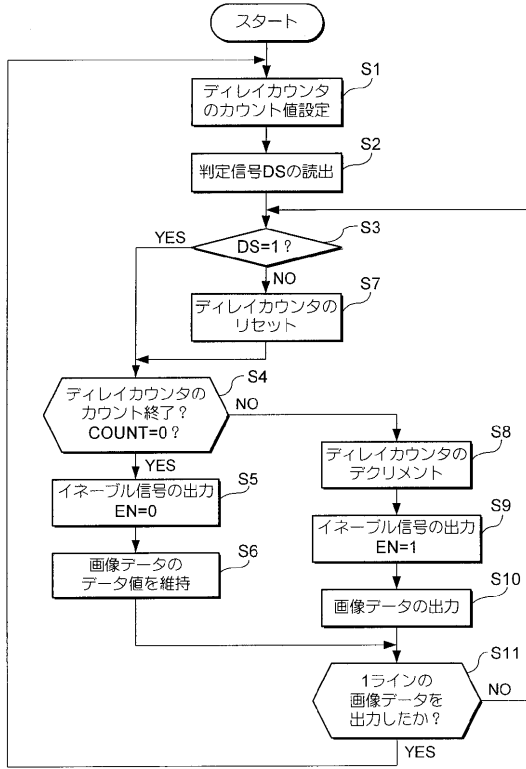
【 図 9 】



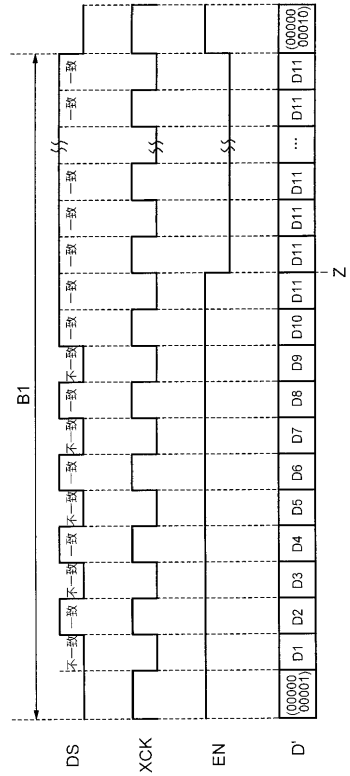
【 図 8 】



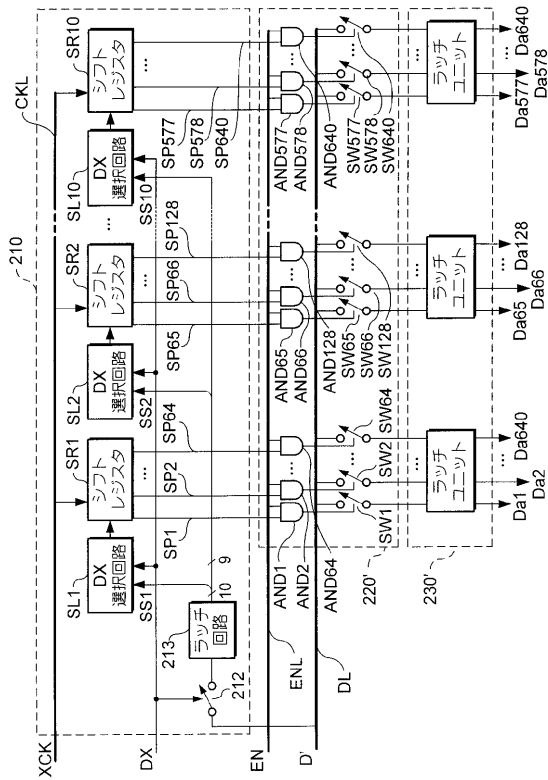
【図10】



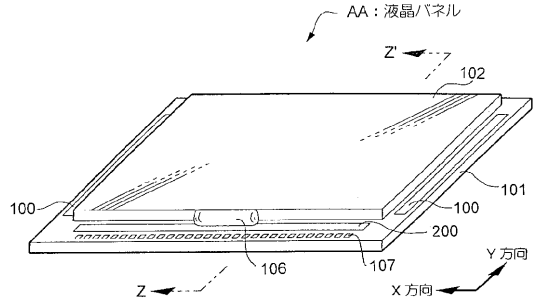
【図11】



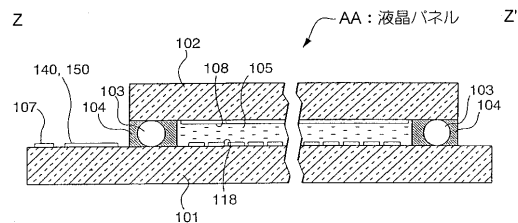
【図12】



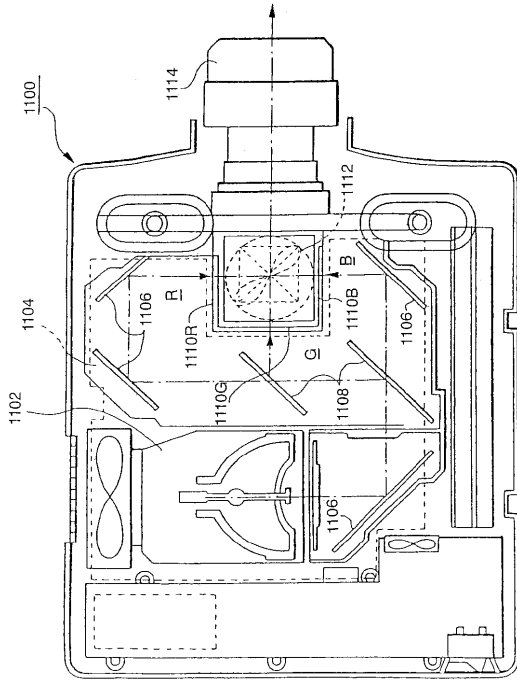
【図13】



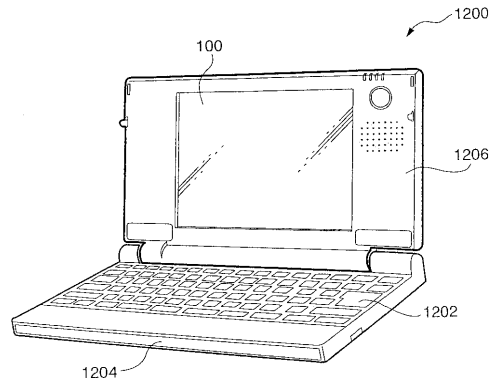
【図14】



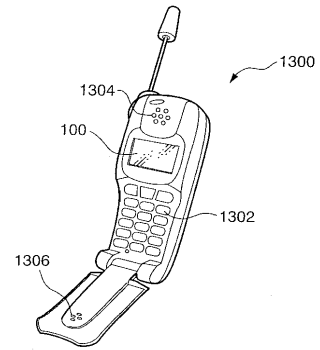
【 図 15 】



【 図 16 】



【 図 17 】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G 3/36

(56) 参考文献 特開平 10 - 0 6 9 2 4 9 (J P , A)

特開平 10 - 0 8 3 1 6 5 (J P , A)

特開平 0 9 - 1 5 9 9 9 3 (J P , A)

特開平 0 9 - 0 2 6 7 5 9 (J P , A)

特開平 10 - 0 4 9 1 0 2 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)

G09G 3/00-3/38

G02F 1/133 505-580

专利名称(译)	电光面板的数据线驱动电路，其控制方法，电光装置和电子设备		
公开(公告)号	JP3835113B2	公开(公告)日	2006-10-18
申请号	JP2000126030	申请日	2000-04-26
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	小澤 徳郎		
发明人	小澤 徳郎		
IPC分类号	G09G3/20 G02F1/133 G09G3/36		
CPC分类号	G09G3/3688 G09G2310/0286 G09G2330/021		
FI分类号	G09G3/20.611.A G09G3/20.612.U G09G3/20.623.V G09G3/20.623.F G02F1/133.550 G09G3/36 G09G3/20.623.R		
F-TERM分类号	2H093/NA16 2H093/NC12 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC26 2H093/NC34 2H093/NC50 2H093/ND34 2H093/ND39 2H093/NG02 2H193/ZA04 2H193/ZF36 2H193/ZR02 5C006/AA16 5C006/AF44 5C006/AF53 5C006/AF68 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF05 5C006/BF11 5C006/BF14 5C006/BF22 5C006/BF24 5C006/BF26 5C006/EA01 5C006/EC01 5C006/EC11 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06		
代理人(译)	须泽 修		
审查员(译)	福村 拓		
其他公开文献	JP2001306014A		
外部链接	Espacenet		

摘要(译)

要解决的问题：降低液晶设备的功耗。解决方案：移位寄存器部分210设置有阻塞的DX选择电路SL1-SL10和移位寄存器SR1-SR10。X时钟信号XCK被提供给图像数据值在时间顺序相邻的水平数据线之间彼此不匹配的块，并且不被提供给图像数据值彼此匹配的块。另外，形成时分数据D₃₉的图像数据对于匹配块变为无效，并且保持先前数据值。因此，可以减少用于驱动X时钟信号供给线CKL和图像数据供给线DL的电力。

【 图 2 】

