

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-191415

(P2008-191415A)

(43) 公開日 平成20年8月21日(2008.8.21)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	5F110
HO1L 29/786 (2006.01)	HO1L 29/78 612A	

審査請求 未請求 請求項の数 10 O L (全 15 頁)

(21) 出願番号	特願2007-25994 (P2007-25994)	(71) 出願人	302020207 東芝松下ディスプレイテクノロジー株式会社 東京都港区港南4-1-8
(22) 出願日	平成19年2月5日(2007.2.5)	(74) 代理人	100092794 弁理士 松田 正道
		(72) 発明者	早川 和範 東京都港区港南四丁目1番8号 東芝松下 ディスプレイテクノロジー株式会社内
		(72) 発明者	原田 和幸 東京都港区港南四丁目1番8号 東芝松下 ディスプレイテクノロジー株式会社内

最終頁に続く

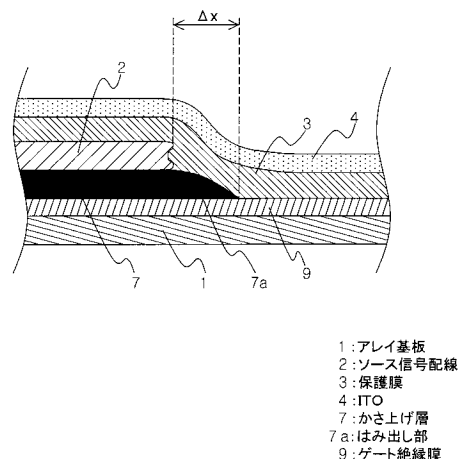
(54) 【発明の名称】 液晶表示装置、およびその製造方法

(57) 【要約】

【課題】コンタクト部におけるITOの断切れの発生を抑制すること。

【解決手段】かさ上げ層7は、アレイ基板1とソース信号配線2との間に形成され、かさ上げ層7の周縁部の一部または全部の領域が、ソース信号配線2の端部からはみ出して形成される。かさ上げ層7がソース信号配線2の端部からはみ出したはみ出し部7aは、表面が緩やかに傾斜している。かさ上げ層7をソース信号配線2とアレイ基板1との間に形成することによって、ソース信号配線2の側面の逆テーパ状の窪みを原因とした、保護膜3のステップカバレッジの悪化を抑制する。ステップカバレッジが良好な保護膜3の上にITO4が形成されるため、ソース信号配線2の周縁部付近における、ITO4の断切れの発生を抑制することができる。

【選択図】 図3



- 1:アレイ基板
- 2:ソース信号配線
- 3:保護膜
- 4:ITO
- 7:かさ上げ層
- 7a:はみ出し部
- 9:ゲート絶縁膜

【特許請求の範囲】**【請求項 1】**

アレイ基板と対向基板との間の表示領域に液晶層が配置された液晶表示装置であって、前記アレイ基板の上側に形成された信号配線または電極と、前記信号配線または前記電極を被覆する保護膜と、前記保護膜上に形成された、前記信号配線または前記電極と電気的に接続する電極配線と、

前記アレイ基板と前記信号配線または前記電極との間に形成された、半導体特性または絶縁特性を有するかさ上げ層とを備え、

前記かさ上げ層の周縁部の全部または一部の領域が、前記信号配線または前記電極の端部からはみ出している、液晶表示装置。

10

【請求項 2】

前記周縁部の前記一部の領域が、前記信号配線または前記電極の終端部の外周の先端側からはみ出している、請求項 1 記載の液晶表示装置。

【請求項 3】

前記かさ上げ層は、アモルファスシリコンの層である、請求項 1 記載の液晶表示装置。

【請求項 4】

前記電極は、前記表示領域に形成されるスイッチング素子のドレイン電極であり、

前記電極配線は、画素電極であり、

前記かさ上げ層は、前記ドレイン電極とゲート絶縁膜との間に形成される、請求項 1 から 3 のいずれかに記載の液晶表示装置。

20

【請求項 5】

前記信号配線の前記端部は、非表示領域に形成されたソース信号配線の終端部であり、

前記電極配線は、非表示領域に形成されたゲート信号配線と同じ層に形成された信号配線の終端部と、前記ソース信号配線の終端部とを接続する接続用電極であり、

前記かさ上げ層は、前記ソース信号配線とゲート絶縁膜との間に形成される、請求項 1 から 3 のいずれかに記載の液晶表示装置。

【請求項 6】

アレイ基板と対向基板との間の表示領域に液晶層が配置された液晶表示装置の製造方法であって、

30

前記アレイ基板の上側に信号配線または電極を形成する信号配線 / 電極形成工程と、

前記信号配線または前記電極を被覆する保護膜を形成する保護膜形成工程と、

前記保護膜上に、前記信号配線または前記電極と電気的に接続する電極配線を形成する電極配線形成工程と、

前記アレイ基板と前記信号配線または前記電極との間に、半導体特性または絶縁特性を有するかさ上げ層を形成するかさ上げ層形成工程とを備え、

前記かさ上げ層の周縁部の全部または一部の領域が、前記信号配線または前記電極の端部からはみ出ている、液晶表示装置の製造方法。

【請求項 7】

前記周縁部の前記一部の領域が、前記信号配線または前記電極の終端部の外周の先端側からはみ出している、請求項 6 記載の液晶表示装置の製造方法。

40

【請求項 8】

前記かさ上げ層は、アモルファスシリコンの層である、請求項 6 記載の液晶表示装置の製造方法。

【請求項 9】

前記電極は、前記表示領域に形成されるスイッチング素子のドレイン電極であり、

前記電極配線は、画素電極であり、

前記かさ上げ層は、前記ドレイン電極とゲート絶縁膜との間に形成される、請求項 6 から 8 のいずれかに記載の液晶表示装置の製造方法。

【請求項 10】

50

前記信号配線の前記端部は、非表示領域に形成されたソース信号配線の終端部であり、前記電極配線は、非表示領域に形成されたゲート信号配線と同じ層に形成された信号配線の終端部と、前記ソース信号配線の終端部とを接続する接続用電極であり、前記かさ上げ層は、前記ソース信号配線とゲート絶縁膜との間に形成される、請求項6から8のいずれかに記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の液晶表示装置、およびその製造方法に関するものである。

10

【背景技術】

【0002】

アクティブマトリクス型の液晶表示装置において、アレイ基板上の表示領域にスイッチング素子を形成する際に、ゲート信号配線およびゲート電極（以下、単にゲート信号配線という）と、ソース信号配線、ソース電極及びドレイン電極（以下、単にソース信号配線という）とが、それぞれ異なる層に形成される。しかし、ゲート信号配線と同じ層に形成された信号配線とソース信号配線とを接続する必要がある場合がある。

【0003】

ゲート信号配線と同じ層に形成された信号配線とソース信号配線とを接続する場合、例えばITO（Indium Tin Oxide）を用いた接続用電極を介して、ゲート信号配線と同じ層に形成された信号配線と、ソース信号配線とを接続する。ゲート信号配線と同じ層に形成された信号配線またはソース信号配線と、ITOとは、コンタクト部に形成されるコンタクトホールで接続される。このときソース信号配線とITOとを接続するコンタクト部において、ITOに接続不良（断切れ）が発生する場合がある。

20

【0004】

以下に、コンタクト部におけるITOの断切れについての詳細を説明する。

【0005】

図8(a)は、ソース信号配線とITOとを接続するためのコンタクト部を上から見た模式図である。図8(b)は、図8(a)に示すコンタクト部のP-P断面図である。図8(a)および(b)に示すコンタクト部では、コンタクトホール5を介して、ソース信号配線2とITO4とが接続している。図8(a)および(b)に示すコンタクト部において、一点鎖線で囲まれた領域Qで示すITO4の段差部分において、断切れが発生する。

30

【0006】

図9は、図8(b)に示す領域Qを拡大した図である。以下、図9を用いて、ITO4の断切れについて説明する。

【0007】

図9に示すように、ソース信号配線2は、中間層2bにアルミニウムが用いられ、最上層2aと最下層2cとには、チタンが用いられた三層構造となっている。

【0008】

ソース信号配線2が形成される際に、アレイ基板1の上側に形成された三層構造の金属層に対してドライエッチングが行われる。一般に、アルミニウムのエッチングレートは、チタンのエッチングレートより大きい。このため、上記の三層構造のソース信号配線2に対してドライエッチングを行うと、最上層2aおよび最下層2cよりも中間層2bのエッチングが進行する。

40

【0009】

この結果、三層構造のソース信号配線2の側面の形状は、図9に示すように、中間層2bの部分が窪んだ、逆テーパ状の凹型となる。側面が逆テーパ状の凹型となったソース信号配線2に対して、ソース信号配線2とゲート絶縁膜9とを被覆する保護膜3を形成すると、保護膜3のステップカバレッジが悪くなる。保護膜3のステップカバレッジが悪い状

50

態で、さらに保護膜 3 上に I T O 4 を形成すると、I T O 4 の段差の部分に断切れ部 6 が発生する場合がある。この結果、断切れ部 6 によって I T O 4 の電氣的接続が阻害され、ソース信号配線 2 に映像信号が流れなくなり、液晶表示装置の歩留まりが低下するという問題がある。

【 0 0 1 0 】

図 1 0 は、上述した I T O 4 の断切れが発生する位置を示すための、液晶表示装置の概略図である。図 1 0 に示す液晶表示装置には、表示領域 3 1 と、ドライバ I C 設置場所 3 2 とを示している。上述した I T O の断切れは、図 1 0 に示す領域 A ~ C のどこでも発生し得る。領域 A は、液晶表示装置の表示領域 3 1 と非表示領域との境界領域である。領域 B は、ドライバ I C 設置場所 3 2 である。領域 C は、表示領域 3 1 中の画素を示す。領域 A ~ C の詳細な説明については、後述する。

10

【 0 0 1 1 】

上述した I T O 4 の断切れを抑制するためには、保護膜 3 が良好なステップカバレッジを維持していればよい。このためには、ソース信号配線 2 の最上層 2 a のエッチングを進行させることによって、ソース信号配線 2 の逆テーパ状の窪みを浅くすればよい（例えば、特許文献 1 参照）。これにより、保護膜 3 のステップカバレッジを向上させることができる。

【特許文献 1】特開 2 0 0 1 - 1 4 4 2 9 7 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

20

【 0 0 1 2 】

しかしながら、上記の方法のように、ソース信号配線 2 の側面の形状を変更する場合、ソース信号配線 2 の形成の際に行われるドライエッチングの条件を変更する必要が生じる。このため、プロセス全体の条件の設定の調整や見直しが必要になるという課題があった。

【 0 0 1 3 】

そこで、本発明は、上記課題を考慮して、ドライエッチング等の製造工程の条件を変え、簡単で I T O などの電極配線の断切れの発生を抑制した液晶表示装置およびその製造方法を提供することを目的とする。

【 課題を解決するための手段 】

30

【 0 0 1 4 】

上述した課題を解決するために、第 1 の本発明は、
レイ基板と対向基板との間の表示領域に液晶層が配置された液晶表示装置であって、
前記レイ基板の上側に形成された信号配線または電極と、
前記信号配線または前記電極を被覆する保護膜と、
前記保護膜上に形成された、前記信号配線または前記電極と電氣的に接続する電極配線と、

前記レイ基板と前記信号配線または前記電極との間に形成された、半導体特性または絶縁特性を有するかさ上げ層とを備え、

前記かさ上げ層の周縁部の全部または一部の領域が、前記信号配線または前記電極の端部からはみ出ている、液晶表示装置である。

40

【 0 0 1 5 】

また、第 2 の本発明は、

前記周縁部の前記一部の領域が、前記信号配線または前記電極の終端部の外周の先端側からはみ出している、第 1 の本発明の液晶表示装置である。

【 0 0 1 6 】

また、第 3 の本発明は、

前記かさ上げ層は、アモルファスシリコンの層である、本発明の液晶表示装置である。

【 0 0 1 7 】

また、第 4 の本発明は、

50

前記電極は、前記表示領域に形成されるスイッチング素子のドレイン電極であり、
前記電極配線は、画素電極であり、
前記かさ上げ層は、前記ドレイン電極とゲート絶縁膜との間に形成される、第1から第3の本発明のいずれかの液晶表示装置である。

【0018】

また、第5の本発明は、
前記信号配線の前記端部は、非表示領域に形成されたソース信号配線の終端部であり、
前記電極配線は、非表示領域に形成されたゲート信号配線と同じ層に形成された信号配線の終端部と、前記ソース信号配線の終端部とを接続する接続用電極であり、
前記かさ上げ層は、前記ソース信号配線とゲート絶縁膜との間に形成される、第1から第3の本発明のいずれかの液晶表示装置である。

10

【0019】

また、第6の本発明は、
アレイ基板と対向基板との間の表示領域に液晶層が配置された液晶表示装置の製造方法であって、

前記アレイ基板の上側に信号配線または電極を形成する信号配線/電極形成工程と、
前記信号配線または前記電極を被覆する保護膜を形成する保護膜形成工程と、
前記保護膜上に、前記信号配線または前記電極と電氣的に接続する電極配線を形成する電極配線形成工程と、

前記アレイ基板と前記信号配線または前記電極との間に、半導体特性または絶縁特性を有するかさ上げ層を形成するかさ上げ層形成工程とを備え、

20

前記かさ上げ層の周縁部の全部または一部の領域が、前記信号配線または前記電極の端部からはみ出ている、液晶表示装置の製造方法である。

【0020】

また、第7の本発明は、

前記周縁部の前記一部の領域が、前記信号配線または前記電極の終端部の外周の先端側からはみ出している、第6の本発明の液晶表示装置の製造方法である。

【0021】

また、第8の本発明は、

前記かさ上げ層は、アモルファスシリコンの層である、第6の本発明の液晶表示装置の製造方法である。

30

【0022】

また、第9の本発明は、

前記電極は、前記表示領域に形成されるスイッチング素子のドレイン電極であり、
前記電極配線は、画素電極であり、
前記かさ上げ層は、前記ドレイン電極とゲート絶縁膜との間に形成される、第6から第8の本発明のいずれかの液晶表示装置の製造方法である。

【0023】

また、第10の本発明は、

前記信号配線の前記端部は、非表示領域に形成されたソース信号配線の終端部であり、
前記電極配線は、非表示領域に形成されたゲート信号配線と同じ層に形成された信号配線の終端部と、前記ソース信号配線の終端部とを接続する接続用電極であり、
前記かさ上げ層は、前記ソース信号配線とゲート絶縁膜との間に形成される、第6から第8の本発明のいずれかの液晶表示装置の製造方法である。

40

【発明の効果】

【0024】

本発明によれば、ドライエッチング等の製造工程の条件を変えることなく、簡単な方法でITO等の電極配線の断切れの発生を抑制できる液晶表示装置およびその製造方法を提供することができる。

【発明を実施するための最良の形態】

50

【 0 0 2 5 】

以下、本発明にかかる実施の形態について図面を参照しながら説明する。

【 0 0 2 6 】

(実施の形態 1)

以下、本発明の液晶表示装置の一実施形態について説明するとともに、本発明に係る液晶表示装置の製造方法についても同時に説明する。

【 0 0 2 7 】

本実施の形態では、表示領域 3 1 と非表示領域との境界である領域 A に形成された I T O の断切れの発生を抑制するための本発明の液晶表示装置の一例について説明する。

【 0 0 2 8 】

まず最初に、本発明を具体的に適用する領域 A (従来、断切れが発生していた場所の一つ) について、図 1、図 2、図 9、図 1 0 を用いて説明する。

【 0 0 2 9 】

まず、図 1 0 に示す、表示領域 3 1 と非表示領域との境界である領域 A で発生する I T O の断切れについて説明する。

【 0 0 3 0 】

図 1 0 に示す領域 A では、表示領域 3 1 側に形成されたソース信号配線と、ゲート信号配線が形成される層と同じ層に形成された信号配線とが、I T O などを介して接続される。これは、映像信号を出力するソースドライバ I C の入出力端子が、ゲート信号配線が形成される層と同じ層に形成された信号配線と接続されることが多いためである。

【 0 0 3 1 】

領域 A において発生する I T O の断切れについて、図 1 および図 2 を用いて説明する。

【 0 0 3 2 】

図 1 は、従来の液晶表示装置の領域 A に形成される、ソース信号配線とゲート信号配線と同じ層に形成された信号配線との接続の状態を示す模式図であり、図 2 は、図 1 の D - D 断面模式図である。なお、図 1 および図 2 において、ソース信号配線が形成される層が、ゲート信号配線が形成される層の上に形成されるものとして説明する。

【 0 0 3 3 】

図 1 および図 2 に示すように、ソース信号配線 2 と、ゲート信号配線と同じ層に形成された信号配線 8 とは、接続用電極である I T O 4 を介して接続する。また、ソース信号配線 2 と I T O 4、およびゲート信号配線と同じ層に形成された信号配線 8 と I T O 4 とは、コンタクト部に形成されるコンタクトホール 5 でそれぞれ接続する。

【 0 0 3 4 】

図 2 に示す一点鎖線で囲んだ領域 E において、ソース信号配線 2 の側面には、上述した逆テーパ状の窪みが存在する。したがって、図 2 に示す、一点鎖線で囲んだ領域 E の断面は、図 9 のようになる。このため、領域 E の I T O 4 の段差部分では、図 9 に示すように、断切れが発生する場合がある。

【 0 0 3 5 】

一方、図 2 において、ゲート信号配線と同じ層に形成された信号配線 8 と I T O 4 とのコンタクト部にも I T O 4 の段差部分 (領域 F) が存在する。しかし、ゲート信号配線と同じ層に形成された信号配線 8 と I T O 4 との間には、保護膜 3 だけでなくゲート絶縁膜 9 も存在する。このため、ゲート信号配線と同じ層に形成された信号配線 8 を被覆するゲート絶縁膜 9 のステップカバレッジが悪くても、さらに、保護膜 3 がゲート絶縁膜 9 を被覆する。このため、図 2 に示すような、保護膜全体 (保護膜 3 およびゲート絶縁膜 9 を含む) のステップカバレッジは、悪化することが少ない。したがって、領域 F の I T O 4 の段差部分において、図 9 に示すような I T O 4 の断切れは発生しない。

【 0 0 3 6 】

次に、図 3 を用いて、本発明の実施の形態 1 の液晶表示装置の領域 A で形成されるコンタクト部の構成について詳しく説明する。

【 0 0 3 7 】

図3は、本発明の実施の形態1に係る液晶表示装置の、図2に示すコンタクト部（領域E）に対応する箇所を拡大した断面模式図である。図4（a）は、図3に示すソース信号配線2のコンタクト部の上面模式図である。なお、図3に示す断面は、図4（a）に示すG-G断面に対応する。

【0038】

図3に示すコンタクト部において、かさ上げ層7がソース信号配線2とゲート絶縁膜9との間に形成されている点が、図9に示すコンタクト部と異なる。

【0039】

図3に示すかさ上げ層7は、表示領域31（図10参照）中の画素のスイッチング素子（図6参照）等を形成する半導体材料または絶縁性材料と同じ材料で形成される。例えば、かさ上げ層7は、表示領域31中の画素のスイッチング素子のチャンネル層の材料であるアモルファスシリコンで形成される。また、図3に示すように、かさ上げ層7は、ソース信号配線2の端部からはみ出して形成される。かさ上げ層7がソース信号配線2の端部からはみ出したはみ出し部7aは、図3に示すように、表面が緩やかに傾斜している。また、かさ上げ層7のはみ出し部7aは、図4（a）に示すように、ソース信号配線2の端部を全て取り囲むようにして形成される。

10

【0040】

かさ上げ層7の厚さは、2200オングストローム程度である。また、図3に示すはみ出し部7aの長さxは、3 μ m程度であればよい。ただし、xの値が小さすぎる場合、かさ上げ層7は、後述する保護膜3のステップカバレッジを改善させる効果を発揮することができない。このため、はみ出し部7aを確実に形成するために、かさ上げ層7は、製造上の誤差等を考慮して、ソース信号配線2の端部から少なくとも3 μ mはみ出るように形成すればよい。

20

【0041】

かさ上げ層7の形成は、アモルファスシリコンなどの半導体材料で形成される場合、同じアモルファスシリコン材料で形成される、画素中のスイッチング素子のチャンネル層の従来の形成工程と共通化することができる。これにより、エッチング条件を共通化できる。

【0042】

次に、はみ出し部7aの作用について説明する。ソース信号配線2とゲート絶縁膜9との間に、はみ出し部7aが緩やかに傾斜したかさ上げ層7を形成することによって、ソース信号配線2の側面の逆テーパ状の窪みを原因とした、保護膜3のステップカバレッジの悪化を抑制する。すなわち、はみ出し部7aは、保護膜3のステップカバレッジを改善する役割を有する。

30

【0043】

はみ出し部7aによって、ステップカバレッジが良好な保護膜3の上にITO4が形成されるため、領域EのITO4の段差部分で発生する、ITO4の断切れを抑制できる。

【0044】

また、かさ上げ層7は、上述したように、半導体材料または絶縁性材料で形成される。このため、かさ上げ層7を形成する工程は、半導体材料または絶縁性材料を用いる従来のプロセスと共通化することができる。例えば、かさ上げ層7は、スイッチング素子のチャンネル層と同時に形成することができる。したがって、本実施の形態のかさ上げ層7を形成することによって、液晶表示装置の製造プロセスの条件を変えることなく、ITO4の断切れの発生を抑制することができる。

40

【0045】

なお、ソース信号配線2が本発明のソース信号配線の一例であり、ITO4が、本発明の接続用電極の一例であり、ゲート信号配線と同じ層に形成された信号配線8が、本発明のゲート信号配線と同じ層に形成された信号配線の一例であり、かさ上げ層7が、本発明のかさ上げ層の一例である。

【0046】

このように、本実施の形態では、ゲート絶縁膜とソース信号配線との間に、ソース信号

50

配線の端部の一部または全部から周縁部がはみ出した、はみ出し部を有するかさ上げ層を形成して、保護膜のステップカバレッジを改善することによって、製造プロセスを大きく変更することなく、ITOの段差部分の断切れを抑制することができる。

【0047】

なお、本実施の形態において、はみ出し部7aは、ソース信号配線2の端部をとりこ囲むように形成されるものとして説明したが、これに限らず、例えば、図4(b)に示すように、ソース信号配線の端部の一部からはみ出して形成されていてもよい。この理由を説明する。

【0048】

図1および図2に示すコンタクト部は、実際には、所定の間隔で、図1の上下方向に平行に配置される。このため、かさ上げ層7が半導体材料で形成され、はみ出し部7aが、図4(a)に示す位置に形成された場合、隣接するコンタクト部同士がショートすることがある。このため、図4(b)に示すように、はみ出し部7aを、ゲート信号配線と同じ層に形成された信号配線8の終端部の方向に限定して形成することによって、コンタクト部同士のショートを防ぐことが可能となる。このように、領域EのITO4の一部が導通していれば、コンタクト部同士のショートを防ぐとともに、表示領域31(図3参照)中の画素に映像信号を供給できる。

10

【0049】

(実施の形態2)

次に、本発明の液晶表示装置の一実施の形態について、図面を参照しながら説明する。

20

【0050】

液晶表示装置には、画素の表示検査用の試験回路として、表示領域31(図10参照)に形成された画素中のスイッチング素子を一括して制御するための一括点画用スイッチング素子が、ドライバIC設置箇所32の領域B(図10参照)に形成される場合がある。

【0051】

本実施の形態では、領域Bに形成されたITOで発生する断切れを抑制する、本発明の液晶表示装置の一例について説明する。

【0052】

図5は、本実施の形態の液晶表示装置における、領域Bに形成される一括点画用スイッチング素子に接続する信号配線の接続の一例を示す図である。なお、図5では、矢印Xの方向に表示領域31(図示省略)が形成されている。一括点画用スイッチング素子10は、例えば、画素の表示検査後にドライバICが設置されるドライバIC設置場所32に形成される。ここでは、一括点画用スイッチング素子10が、検査用ソース信号を表示領域31中の画素に供給する場合を例にして説明する。ソース電極14は、ITO4を介してゲート信号配線と同じ層に形成された信号配線8aに接続される。ゲート信号配線と同じ層に形成された信号配線8aは、一括点画用スイッチング素子10に検査用ソース信号を供給するための検査用信号入力パッド16に接続される。ドレイン電極15は、ITO4を介してゲート信号配線と同じ層に形成された信号配線8bに接続されており、ゲート信号配線と同じ層に形成された信号配線8bは、図示しないITOを介して、表示領域のソース信号配線に接続される。すなわち、ゲート信号配線と同じ層に形成された信号配線8bは、図2に示すゲート信号配線と同じ層に形成された信号配線8に対応する。また、ゲート電極13は、制御用ゲート信号配線13aを介して、一括点画用スイッチング素子10のオンオフを制御する検査用制御信号を入力するための検査用制御信号入力パッド(図示省略)に接続している。

30

40

【0053】

なお、一括点画用スイッチング素子10が表示領域31中の画素に検査用ゲート信号を供給する場合、ゲート信号配線と同じ層に形成された信号配線8bは、ゲート信号配線となる。

【0054】

従来の液晶表示装置の場合、図5に示すITO4が形成される領域の構成は、実施の形

50

態 1 で説明した、ソース信号配線 2 と、ゲート信号配線と同じ層に形成された信号配線 8 とを接続する構成と同様である。すなわち、ソース電極 1 4 およびドレイン電極 1 5 が、図 1、図 2 に示すソース信号配線 2 に対応し、ゲート信号配線と同じ層に形成された信号配線 8 a および 8 b が、ゲート信号配線と同じ層に形成された信号配線 8 に対応する。したがって、ドレイン電極 1 5 とゲート信号配線と同じ層に形成された信号配線 8 b とを接続するコンタクト部 1 8 と、ソース電極 1 4 とゲート信号配線と同じ層に形成された信号配線 8 a とを接続するコンタクト部 1 7 には、実施の形態 1 で図 1、図 2 を用いて説明した I T O 4 の断切れと、同様の断切れが発生する。

【 0 0 5 5 】

ドライバ I C の入出力端子は、実施の形態 1 で説明したように、ゲート信号配線と同じ層に形成された信号配線 8 b と接続されることが多い。そのため、ドライバ I C 設置場所 3 2 内に配置された一括点画用スイッチング素子 1 0 のソース電極 1 4 およびドレイン電極 1 5 は、I T O 4 を介してゲート信号配線と同じ層に形成された信号配線 8 b に接続される必要がある。

10

【 0 0 5 6 】

次に、本実施の形態の液晶表示装置のコンタクト部 1 7 および 1 8 の構成について説明する。図 5 に示すコンタクト部 1 7 および 1 8 の構成は、図 3、及び図 4 (a) で示したのコンタクト部の構成において、ソース信号配線 2 をソース電極 1 4 またはドレイン電極 1 5 と読み替え、ゲート信号配線と同じ層に形成された信号配線 8 をゲート信号配線と同じ層に形成された信号配線 8 a または 8 b と読み替えたものと同様である。したがって、コンタクト部 1 7 および 1 8 の構成の詳細な説明は、実施の形態 1 の説明と同様であるため、省略する。

20

【 0 0 5 7 】

なお、ソース電極 1 4 およびドレイン電極 1 5 が、本発明のソース信号配線の一例であり、I T O 4 が本発明の電極配線の一例であり、かさ上げ層 7 が本発明のかさ上げ層の一例である。

【 0 0 5 8 】

(実施の形態 3)

以下、本発明の一実施の形態に係る液晶表示装置について説明するとともに、本発明の液晶表示装置の製造方法の一実施の形態についても同時に説明する。

30

【 0 0 5 9 】

本実施の形態では、表示領域 3 1 中の画素 (図 1 0 の領域 C) に形成されたスイッチング素子で発生する、透明電極の断切れの発生を抑制するための本発明の液晶表示装置の一例について説明する。

【 0 0 6 0 】

図 6 は、本実施の形態に係る液晶表示装置の、表示領域 3 1 の画素に形成されるスイッチング素子 2 0 の断面を示す模式図である。図 7 (a) は、スイッチング素子 2 0 の一例を示す上面模式図であり、図 7 (b) は、スイッチング素子 2 0 の他の例を示す上面模式図である。図 6 は、図 7 (a) 及び (b) に示す H - H 断面で切断した断面図に対応する。

40

【 0 0 6 1 】

図 6 に示すスイッチング素子 2 0 は、ゲート電極 2 1、ゲート絶縁膜 2 2、チャンネル層 2 3、かさ上げ層 2 4、ソース電極 2 5、ドレイン電極 2 6、チャンネル保護膜 2 7、保護膜 2 8、透明電極 2 9 を有する。

【 0 0 6 2 】

図 6 に示すスイッチング素子 2 0 が従来のスイッチング素子と異なる点は、ソース電極 2 5 およびドレイン電極 2 6 と、ゲート絶縁膜 2 2 との間に、かさ上げ層 2 4 が形成されている点である。なお、スイッチング素子 2 0 のかさ上げ層 2 4 以外の構成は、従来の液晶表示装置の表示領域の画素に形成されるスイッチング素子と同様であるため、従来のスイッチング素子と同じ構成のものについては、その説明を省略する。また、以下の説明で

50

は、ドレイン電極 26 の下に形成されたかさ上げ層 24 を例にして説明する。

【0063】

ドレイン電極 26 は、実施の形態 1 で説明したソース信号配線 2 (図 2 参照) と同様の三層構造を有するため、ドレイン電極 26 の側面には、逆テーパ状の窪みが存在する。また、図 6 に示すように、ドレイン電極 26 と、ITO で形成される透明電極 29 との間には、保護膜 28 しか存在しない。このため、従来の液晶表示装置において、図 6 に示す透明電極 29 の段差部分 (領域 J) に対応する部分では、断切れ部 6 (図 9 参照) と同様の、断切れが発生する場合がある。断切れが発生した透明電極 29 を有する画素は、輝点または滅点として認識される。

【0064】

そこで、図 6 に示すように、スイッチング素子 20 には、ドレイン電極 26 とゲート絶縁膜 22 との間に、かさ上げ層 24 が形成される。かさ上げ層 24 は、実施の形態 1 のかさ上げ層 7 と同様に、ドレイン電極 26 の端部からはみ出すはみ出し部 24a を有する。はみ出し部 24a の厚み、ドレイン電極 26 からはみ出す長さは、実施の形態 1 のはみ出し部 7a と同様である。

【0065】

かさ上げ層 24 は、例えば、アモルファスシリコンなどの半導体材料、または絶縁性材料で形成される。かさ上げ層 7 がアモルファスシリコンで形成される場合、アモルファスシリコンを用いて形成されるチャンネル層 23 と同時に形成される。スイッチング素子 20 の他の構成要素の製造方法は、従来と同様であるため省略する。

【0066】

次に、はみ出し部 24a が形成される位置について説明する。かさ上げ層 24 が半導体材料で形成される場合、はみ出し部 24a によって、かさ上げ層 24 と隣接するゲート信号配線 8c とがショートする場合がある。これを防ぐために、はみ出し部 24a は、図 7 (a) に示すように、ドレイン電極 26 がゲート信号配線 8c と対向しない端部からはみ出す方が好ましい。ドレイン電極 26 の側面の一部がはみ出していれば、透明電極 29 は、領域 J の段差部分において電氣的接続を維持することができる。また、かさ上げ層 24 が絶縁性材料で形成される場合、はみ出し部 24a とゲート信号配線 8c とはショートしないため、はみ出し部 24a は、図 7 (b) に示すように、ドレイン電極 26 の全ての端部からはみ出して形成されてもよい。

【0067】

また、かさ上げ層 24 は、チャンネル層と同じ半導体材料で形成される場合、かさ上げ層 24 は、図 6 に示すように、チャンネル層 23 と分離した状態で形成される。これは、かさ上げ層 24 と接続することによって、チャンネル層 23 の電気特性が変化することを避けるためである。しかし、かさ上げ層 24 とチャンネル層 23 とを連続して形成することを妨げるものではない。

【0068】

なお、ドレイン電極 26 が、本発明のドレイン電極の一例であり、透明電極 29 が、本発明の画素電極の一例であり、かさ上げ層 24 が、本発明のかさ上げ層の一例である。

【0069】

このように、本実施の形態に係る液晶表示装置は、ドレイン電極とゲート絶縁膜との間に、ドレイン電極の端部からはみ出したかさ上げ層を形成することによって、保護膜のステップカバレッジを改善し、透明電極の段差部分における断切れの発生を抑制することができる。

【0070】

なお、本実施の形態において、ドレイン電極 26 を例にして説明したが、これに限らず、例えば、ソース電極 25 の下にかさ上げ層 24 を形成してもよい。

【0071】

なお、上記実施の形態において、接続用電極、及び透明電極の一例として ITO を用いるものとして説明したが、これに限らず、例えば、酸化スズ、酸化亜鉛等を用いてもよい

10

20

30

40

50

。

【産業上の利用可能性】

【0072】

本発明に係る液晶表示装置、およびその製造方法は、ドライエッチング等の製造工程の条件を変えることなく、簡単な方法でITO等の電極配線の断切れの発生を抑制することができ、液晶表示装置およびその製造方法等として有用である。

【図面の簡単な説明】

【0073】

【図1】本発明の実施の形態1で説明する領域Aにおける従来の液晶表示装置の非表示領域の接続配線を示す模式図

10

【図2】本発明の実施の形態1で用いる図1のD-D断面模式図

【図3】本発明の実施の形態1に係る液晶表示装置の、コンタクト部の断面模式図

【図4】(a)本発明の実施の形態1に係る液晶表示装置の、ソース信号配線のコンタクト部の上面模式図、(b)ソース信号配線のコンタクト部の上面模式図の他の例を示す上面模式図

【図5】本発明の実施の形態2に係る液晶表示装置における、一括点画用スイッチング素子20に接続する信号配線の接続の一例を示す図

【図6】本発明の実施の形態3に係る液晶表示装置における、スイッチング素子20の断面図

【図7】(a)本発明の実施の形態3に係る液晶表示装置における、はみ出し部24aの位置の一例を示す模式図、(b)はみ出し部24aの位置の他の例を示す模式図

20

【図8】(a)従来の液晶表示装置におけるコンタクト部の上面模式図、(b)従来の液晶表示装置におけるコンタクト部の断面模式図

【図9】従来の液晶表示装置における、コンタクト部の断面を拡大した模式図

【図10】従来の液晶表示装置における、接続不良が発生する場所を説明する図

【符号の説明】

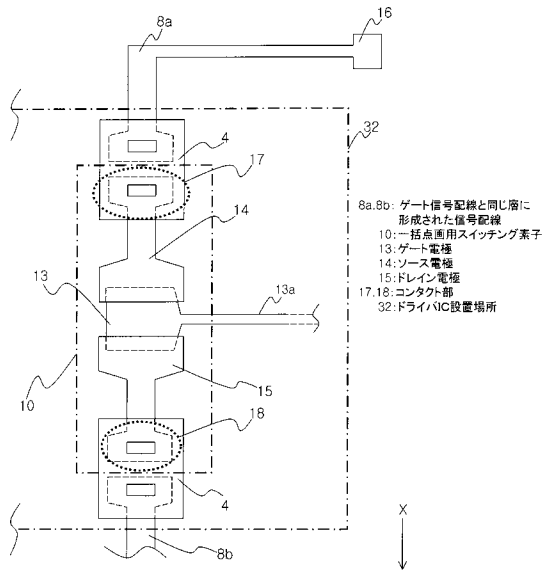
【0074】

- 1 アレイ基板
- 2 ソース信号配線
- 3、28 保護膜
- 4 ITO
- 5 コンタクトホール
- 6 断切れ部
- 7、24 かさ上げ層
- 7a、24a はみ出し部
- 8、8a、8b ゲート信号配線と同じ層に形成された信号配線
- 8c ゲート信号配線
- 9、22 ゲート絶縁膜
- 10 一括点画用スイッチング素子
- 13、21 ゲート電極
- 14、25 ソース電極
- 15、26 ドレイン電極
- 23 チャンネル層
- 29 透明電極

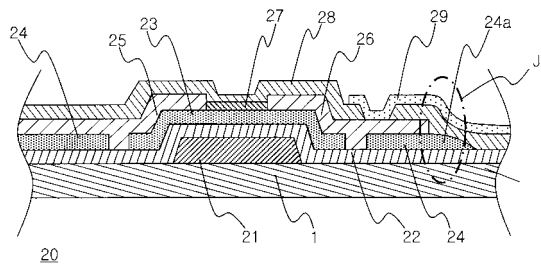
30

40

【 図 5 】

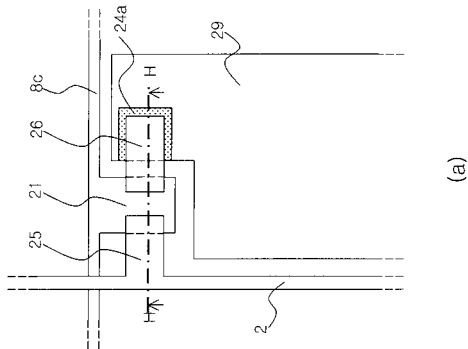
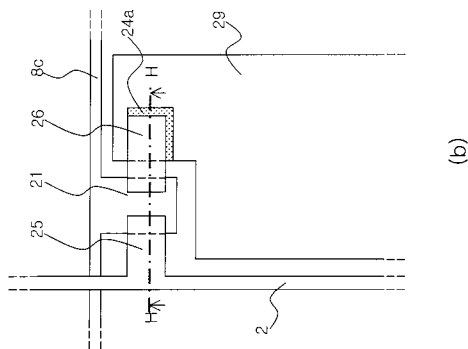


【 図 6 】

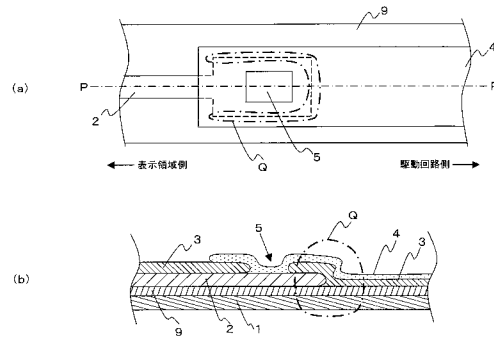


- 20: スwitching素子
- 21: ゲート電極
- 22: ゲート絶縁膜
- 23: チャネル層
- 24: かさ上げ層
- 24a: はみ出し部
- 25: ソース電極
- 26: ドレイン電極
- 27: チャネル保護膜
- 28: 保護膜
- 29: 透明電極

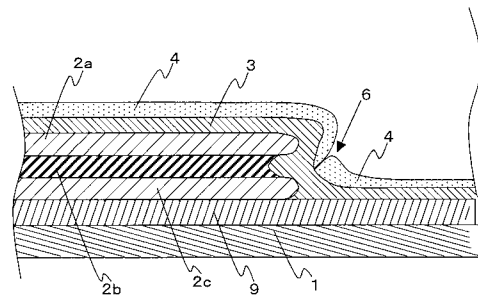
【 図 7 】



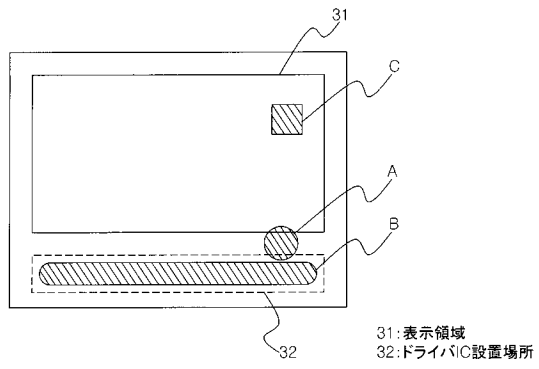
【 図 8 】



【 図 9 】



【図10】



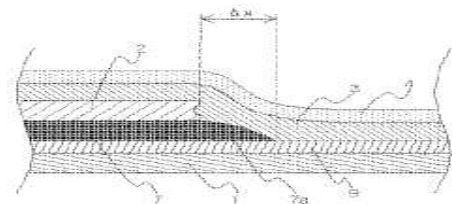
フロントページの続き

Fターム(参考) 2H092 GA34 GA42 GA44 HA04 JA26 JA42 JA44 JB24 KB04 MA05
MA08 MA12 MA35 MA37 NA15 NA27 NA28
5F110 AA26 BB01 CC07 GG02 GG15 NN72

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2008191415A	公开(公告)日	2008-08-21
申请号	JP2007025994	申请日	2007-02-05
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	早川和範 原田和幸		
发明人	早川 和範 原田 和幸		
IPC分类号	G02F1/1368 G02F1/1343 H01L29/786		
FI分类号	G02F1/1368 G02F1/1343 H01L29/78.612.A		
F-TERM分类号	2H092/GA34 2H092/GA42 2H092/GA44 2H092/HA04 2H092/JA26 2H092/JA42 2H092/JA44 2H092/JB24 2H092/KB04 2H092/MA05 2H092/MA08 2H092/MA12 2H092/MA35 2H092/MA37 2H092/NA15 2H092/NA27 2H092/NA28 5F110/AA26 5F110/BB01 5F110/CC07 5F110/GG02 5F110/GG15 5F110/NN72 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB71 2H192/CC72 2H192/EA61 2H192/FA35 2H192/FB22 2H192/GA41 2H192/HB03		
代理人(译)	松田 正道		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其中抑制了接触部分上ITO的断开。
 ŽSOLUTION：在阵列基板1和源极信号线2之间形成堆积层7，并且形成堆积层7的部分或全部周边部分的区域，以便从边缘部分膨胀出来。在源极信号线2的边缘部分膨胀出堤状层7的膨胀部分7a具有适度倾斜的表面。通过在源极信号线2和阵列基板1之间形成堆积层7，抑制了由源极信号线2的侧表面上的倒锥形空洞引起的保护膜3的台阶覆盖的劣化。因为ITO 4形成在具有良好台阶覆盖的保护膜3上，所以可以抑制在源极信号线2的周边部分附近发生ITO 4的断开。Ž



- 1: 阵列基板
- 2: 源极信号线
- 3: 保护膜
- 4: ITO
- 7: 堆积层
- 7a: 膨胀部分
- 8: 栅极电极