

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-65136
(P2008-65136A)

(43) 公開日 平成20年3月21日(2008.3.21)

(51) Int.Cl.	F I	テーマコード(参考)
G02F 1/1345 (2006.01)	G02F 1/1345	2H092
G02F 1/133 (2006.01)	G02F 1/133	2H093
G02F 1/1368 (2006.01)	G02F 1/1368	5C006
G09G 3/36 (2006.01)	G09G 3/36	5C080
G09G 3/20 (2006.01)	G09G 3/20	624D

審査請求 未請求 請求項の数 5 O.L. (全 17 頁) 最終頁に続く

(21) 出願番号	特願2006-244153 (P2006-244153)	(71) 出願人	302020207 東芝松下ディスプレイテクノロジー株式会社 東京都港区港南4-1-8
(22) 出願日	平成18年9月8日 (2006.9.8)	(74) 代理人	100083806 弁理士 三好 秀和
		(74) 代理人	100100712 弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929 弁理士 川又 澄雄
		(74) 代理人	100108707 弁理士 中村 友之
		(74) 代理人	100095500 弁理士 伊藤 正和

最終頁に続く

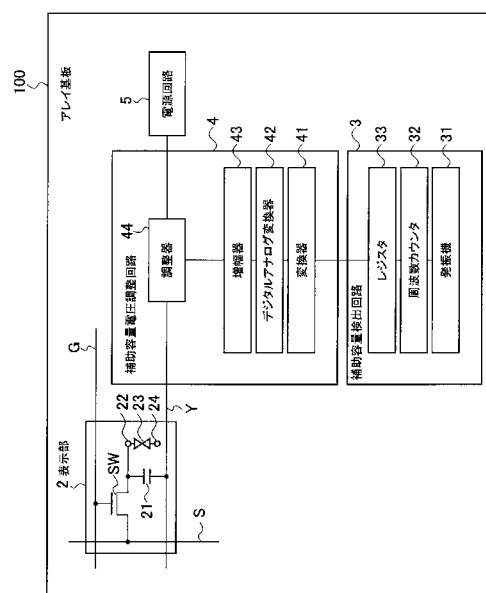
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】液晶表示装置の表示特性の劣化を防止することを課題とする。

【解決手段】補助容量 2 1 と同様の層構造の検出用容量を備えた n MOS 型薄膜トランジスタ及び p MOS 型薄膜トランジスタで構成された発振機 3 1 から出力される周波数を検出し、この周波数に基づいて補助容量 2 1 に接続された電源配線 Y の電位振幅を調整する。

【選択図】図 1



【特許請求の範囲】**【請求項 1】**

複数の走査線と複数の信号線によって区分けされた区画毎にスイッチ素子、補助容量、画素電極を備えた表示部と、

前記補助容量と同様の層構造の検出用容量を備えた第1発振機と、

前記第1発振機から出力された周波数をカウントする第1周波数カウンタと、

カウントされた前記周波数を記憶する第1レジスタと、

予め定めておいた前記第1発振機から出力される周波数と前記補助容量の電位振幅の調整値との関係に基づいて、記憶された前記周波数を当該調整値に変換する変換器と、

変換された前記調整値に基づいて、前記補助容量に接続された電源配線の電位振幅を調整する調整器と、

を有することを特徴とする液晶表示装置。

【請求項 2】

前記第1発振機は、前記検出用容量を持つ薄膜トランジスタで構成されたインバータがループ状に奇数段継続接続された回路であることを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

前記インバータの出力端子と当該インバータの次段に接続されたインバータの入力端子との間に抵抗を接続し、当該インバータの入力端子と電源線との間に前記検出用容量を更に備えることを特徴とする請求項2に記載の液晶表示装置。

【請求項 4】

前記検出用容量を持つ薄膜トランジスタで構成されたインバータがループ状に奇数段継続接続され、当該インバータの出力端子と当該インバータの次段に接続されたインバータの入力端子との間に抵抗を接続し、当該インバータの入力端子と電源線との間に前記検出用容量とは異なる構造の参照用容量を備えた第2発振機と、

当該第2発振機から出力された周波数をカウントする第2周波数カウンタと、

当該第2周波数カウンタによりカウントされた周波数を記憶する第2レジスタと、

前記第1レジスタと当該第2レジスタとに記憶された周波数の差分を計算する差分計算器と、を更に有し、

前記変換器は、予め定めておいた前記第1発振機及び前記第2発振機から出力された周波数の差分と前記補助容量の電位振幅の調整値との関係に基づいて、当該差分計算器により計算された差分周波数を当該調整値に変換することを特徴とする請求項3に記載の液晶表示装置。

【請求項 5】

前記検出用容量は、 $1 \times 10^9 \text{ atoms/cm}^3 \sim 1 \times 10^{22} \text{ atoms/cm}^3$ に設定された濃度の不純物をチャネル部に含有すること特徴とする請求項1乃至4のいずれか1項に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、画素ごとにスイッチ素子、補助容量、画素電極を備えたアクティブマトリクス型の液晶表示装置の技術に関する。

【背景技術】**【0002】**

近年、交差するように配線された複数の信号線と複数の走査線によって区分けされた区画毎にスイッチ素子、補助容量、画素電極を備えたアクティブマトリクス型の液晶表示装置の開発が盛んに行われている。

【0003】

図18は、アクティブマトリクス駆動方式の液晶表示装置の構造を示す構造図である。対向するアレイ基板100と対向基板200との間には、液晶材料(図示せず)が保持さ

10

20

30

40

50

れている。アレイ基板 100 の背面にはバックライト（図示せず）が配置されている。アレイ基板 100 には、液晶材料に遠い方から、偏光板 29、ガラス基板 6a が配置されている。対向基板 200 には、液晶材料に近い方から、対向電極 24、カラーフィルター 28、ガラス基板 6b、偏光板 29 が配置されている。ガラス基板 6a の上部には、複数の信号線 S と複数の走査線 G とがマトリクス状に配置されており、各信号線 S と各走査線 G との各交差部には、MOS 型の画素トランジスタ SW と画素電極 22 とが配置されている。

【0004】

次に、図 18 で示した液晶表示装置のガラス基板 6a の上に形成された回路構成について説明する。図 19 は、アクティブマトリクス型の液晶表示装置の回路構成の一例を示す回路図である。画素トランジスタ SW のソース電極は信号線 S に接続され、ゲート電極は走査線 G に接続され、さらにドレイン電極には補助容量 21 及び画素電極 22 が接続されている。画素電極 22 と対向電極 24 との間には、液晶容量 23 が挟持されている。ドレイン電極に接続されない補助容量 21 の他方の端子は電源配線 Y に接続されている。画素トランジスタ SW、補助容量 21、画素電極 22、液晶容量 23、対向電極 24 は、液晶表示装置の画面部における画素を構成している。

10

【0005】

続いて、図 19 で示した液晶表示装置の回路構成を有する液晶表示パネルの全体構成について説明する。図 20 は、液晶表示パネルの基本構成を示す回路図である。液晶表示パネルの表示部 2 には、n 行の走査線 G1 ~ Gn と m 列の信号線 S1 ~ Sm とからなる n × m マトリクス配線の交点に、図 19 で説明した画素が並べられている。信号線 S1 ~ Sm は信号線駆動回路 8 に接続され、走査線 G1 ~ Gn は走査線駆動回路 9 に接続され、電源配線 Y1 ~ Yn は電源回路 5 に接続されている。

20

【0006】

なお、信号線 S1 ~ Sm、走査線 G1 ~ Gn、電源配線 Y1 ~ Yn、画素トランジスタ SW、補助容量 21、画素電極 22 は、図 19 で説明したように、絶縁性のガラス基板 6a の上部に形成されている。信号線駆動回路 8、走査線駆動回路 9、電源回路 5 についても、同一のガラス基板 6a の上部に配置されている。

【0007】

次に、アクティブマトリクス型の液晶表示装置の動作原理について、図 18 乃至図 20 を用いて説明する。n × m に配置されたドットマトリクス型の液晶表示の駆動は、信号線 S1 ~ Sm に同時に供給される画像データ信号を、走査線 G1 ~ Gn に順次供給される走査線信号でサンプリングする線順次駆動により行われる。

30

【0008】

走査線 G ごとに一定の時間 (T1 ~ Tn) を割り当てた場合、ある選択時間 T1 において、走査線 G1 に走査線信号が印加されると、走査線 G1 に配置されている全ての画素トランジスタ SW11 ~ SW1m がオンとなり、スイッチが入った状態に変化する。この結果、信号線 S1 ~ Sm に伝達された画像データ信号は、画素トランジスタ SW11 ~ SW1m を通して画素電極 22 に伝達されるとともに、補助容量 21 に供給される。補助容量 21 に画像データ信号が供給された時、補助容量 21 に接続された電源配線 Y1 の電位を変動させることで、補助容量 21 の電荷を再配分し、画素電極 22 に印加される電圧を決定する。このように画素電極 22 の電圧を定める方式は、容量結合駆動方式と呼ばれる。この種の液晶表示装置としては、例えば特許文献 1 に記載のものが知られている。その結果、画素電極 22 と対向電極 24 との間に電圧差が発生し、液晶容量 23 における液晶分子の配向が制御される。これにより、図 18 に示すバックライトの入射光の明るさが調整され、カラーフィルター 28 を介して画像データ信号に応じたカラー表示が可能となる。

40

【0009】

次の選択時間 T2 において、走査線 G1 にある全ての画素トランジスタ SW11 ~ SW1m はオフとなり、走査線 G1 によって選択されていた画素は信号線 S1 ~ Sm から電気的に切り離される。このとき、選択時間 T1 により表示された画像は、次に走査線信号が

50

走査線 G 1 に印加されるまで補助容量 2 1 により保持される。一方、走査線 G 2 に配置されている全ての画素トランジスタ SW 2 1 ~ SW 2 m がオンとなり、画像データ信号は画素電極 2 2 に伝達されるとともに、補助容量 2 1 に供給される。以下、同様の動作が繰り返し行われることにより、1 フレームの表示が行われる。

【0010】

液晶表示装置の用途は多岐に渡るが、特に携帯端末向けの液晶表示装置では、高精細化・高輝度化のニーズが強く、写真等の画像を鮮明に表示するために液晶パネルの階調・輝度特性がばらつかないことが要求される。

【特許文献 1】特開 2001-255851 号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、上記の容量結合駆動方式の液晶表示装置では、補助容量を形成する膜の膜厚バラツキにより、画素トランジスタ SW を介して印加される映像信号電圧の書き込みにバラツキが発生し、階調などの表示特性が劣化するという問題があった。

【0012】

本発明は、上記を鑑みてなされたものであり、液晶表示装置の表示特性の劣化を防止することを課題とする。

【課題を解決するための手段】

【0013】

第 1 の本発明に係る液晶表示装置は、複数の走査線と複数の信号線によって区分けされた区画毎にスイッチ素子、補助容量、画素電極を備えた表示部と、前記補助容量と同様の層構造の検出用容量を備えた第 1 発振機と、前記第 1 発振機から出力された周波数をカウントする第 1 周波数カウンタと、カウントされた前記周波数を記憶する第 1 レジスタと、予め定めておいた前記第 1 発振機から出力される周波数と前記補助容量の電位振幅の調整値との関係に基づいて、記憶された前記周波数を当該調整値に変換する変換器と、変換された前記調整値に基づいて、前記補助容量に接続された電源配線の電位振幅を調整する調整器と、を有することを特徴とする。

【0014】

本発明にあっては、補助容量と同様の層構造の検出用容量を備えた第 1 発振機から出力された周波数を検出し、この周波数に基づいて補助容量に接続された電源配線の電位振幅を調整することで、第 1 発振機の周波数のバラツキが補助容量の膜厚のバラツキに対応することから、簡易な構成で膜厚バラツキに起因する階調ずれを防止でき、安定した階調・輝度特性を得ることができる。

【0015】

第 2 の本発明に係る液晶表示装置は、前記第 1 発振機が、前記検出用容量を持つ薄膜トランジスタで構成されたインバータがループ状に奇数段縦続接続された回路であることを特徴とする。

【0016】

第 3 の本発明に係る液晶表示装置は、前記インバータの出力端子と当該インバータの次段に接続されたインバータの入力端子との間に抵抗を接続し、当該インバータの入力端子と電源線との間に前記検出用容量を更に備えることを特徴とする。

【0017】

第 4 の本発明に係る液晶表示装置は、前記検出用容量を持つ薄膜トランジスタで構成されたインバータがループ状に奇数段縦続接続され、当該インバータの出力端子と当該インバータの入力端子との間に抵抗を接続し、当該インバータの入力端子と電源線との間に前記検出用容量とは異なる構造の参照用容量を備えた第 2 発振機と、当該第 2 発振機から出力された周波数をカウントする第 2 周波数カウンタと、当該第 2 周波数カウンタによりカウントされた周波数を記憶する第 2 レジスタと、前記第 1 レジスタと当該第 2 レジスタとに記憶された周波数の差分を計算する差分計算器と、を更

20

30

40

50

に有し、前記変換器は、予め定めておいた前記第1発振機及び前記第2発振機から出力された周波数の差分と前記補助容量の電位振幅の調整値との関係に基づいて、当該差分計算器により計算された差分周波数を当該調整値に変換することを特徴とする。

【0018】

本発明にあっては、予め定めておいた第1発振機及び第2発振機から出力された周波数の差分と補助容量の電位振幅の調整値との関係に基づいて、補助容量と同様の層構造の検出用容量を備えた第1発振機と検出用容量とは異なる構造の参照用容量を備えた第2発振機とから出力された周波数の差分を調整値に変換するので、第1発振機を構成する薄膜トランジスタの薄膜トランジスタ特性や他の寄生容量の影響を排除した周波数を用いて補助容量に接続された電源配線の電位振幅を調整でき、より安定した階調・輝度特性を得ることができる。10

【0019】

第5の本発明に係る液晶表示装置は、前記検出用容量が、 $1 \times 10^9 \text{ atoms/cm}^3 \sim 1 \times 10^{22} \text{ atoms/cm}^3$ に設定された濃度の不純物をチャネル部に含有すること特徴とする。

【0020】

本発明にあっては、 $1 \times 10^9 \text{ atoms/cm}^3 \sim 1 \times 10^{22} \text{ atoms/cm}^3$ に設定された濃度の不純物を検出用容量のチャネル部に含有するので、第1発振機又は/及び第2発振機の動作を安定にすることができる。

【発明の効果】

【0021】

本発明によれば、補助容量を形成する膜の膜圧バラツキに起因する階調ずれを防止し、安定した階調・輝度特性を得ることができる。20

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施の形態について図面を用いて説明する。

【0023】

[第1の実施の形態]

図1は、第1の実施の形態における液晶表示装置の概略的な構成を示す構成図である。アレイ基板100は、透光性基板上に表示部2、補助容量検出回路3、補助容量電圧調整回路4、電源回路5が形成されたものである。透光性基板上に形成することを可能とするため、各回路におけるトランジスタには、薄膜トランジスタ(TFT)が採用される。30

【0024】

表示部2では、複数の走査線Gと複数の信号線Sとが交差するように配線され、走査線G及び信号線Sで区分けされた区画毎に画素を備える。各画素は、スイッチ素子SW、補助容量21、画素電極22、液晶容量23、対向電極24を備える。スイッチ素子SWは、ここではMOS型の薄膜トランジスタとする。スイッチ素子SWのゲート電極は、走査線Gに接続され、ソース電極は、信号線Sに接続され、ドレイン電極は補助容量21及び画素電極22に接続される。補助容量21の他方の端子には、電源配線Yが接続される。本液晶表示装置は、対向電極24を備える対向基板が、液晶層を挟んでアレイ基板100に対向配置され、アレイ基板100における画素電極22と対向基板における対向電極24とは液晶容量23を挟んで相対するように配置される。40

【0025】

次に、スイッチ素子SWを構成するMOS型薄膜トランジスタと補助容量21との層構造について簡単に説明する。図2は、nMOS型薄膜トランジスタSWa及びpMOS型薄膜トランジスタSWbと補助容量21との層構造を示す断面図である。nMOS型薄膜トランジスタSWa及びpMOS型薄膜トランジスタSWbと補助容量21とは、同じ厚さのゲート絶縁膜71を有する層構造を備えており、具体的には、ガラス基板6a及びアンダーコート7の上に、ポリシリコン(p-Si)から成るチャネル70、ゲート絶縁膜71、ゲート電極72、層間絶縁膜73、ソースドレイン電極74を備える。ゲート絶縁膜71は、nMOS型薄膜トランジスタSWa及びpMOS型薄膜トランジスタSWbと50

補助容量 21 における電荷を蓄える誘電体としてのゲート酸化膜容量として機能する。

【0026】

また、各チャネル 70 には、リン又はボロンの不純物が含有されている。nMOS 型薄膜トランジスタ SWa の場合、ソースドレイン電極 74 に接触する部分には高濃度のリンが含有され、その内側には低濃度のリンが含有されている。また、pMOS 型薄膜トランジスタ SWb の場合は、ソースドレイン電極 74 に接触する部分に高濃度のボロンが含有されている。そして、補助容量 21 の場合には、チャネル 70 の全領域に高濃度のリンが含有されている。

【0027】

図 3 は、チャネル 70 に含有された不純物の濃度が異なる場合の電圧とゲート酸化膜容量との関係を示すグラフである。不純物濃度が低い場合、ゲート酸化膜容量は電圧の変化に大きく依存するので、nMOS 型薄膜トランジスタ SWa 及び pMOS 型薄膜トランジスタ SWb と補助容量 21 との動作は不安定となり、液晶表示装置の動作に影響を及ぼす。一方、不純物濃度が高い場合には、電圧の変化に対するゲート酸化膜容量は一定なので、電圧依存性は非常に低い。故に、 $1E19 \text{ atoms/cm}^3 \sim 1E22 \text{ atoms/cm}^3$ に設定された高濃度の不純物を含有することで、nMOS 型薄膜トランジスタ SWa 及び pMOS 型薄膜トランジスタ SWb と補助容量 21 との動作を安定にすることが可能となる。

【0028】

次に、走査線 G 及び信号線 S が駆動したときの画素の動作について図 4 の波形図を用いて説明する。図 4 においては、信号線 S における映像信号電圧を V_s、走査線 G における走査線信号電圧を V_g、補助容量 21 の電圧を V_{cs}、対向電極 24 の電圧を V_{com} で示している。ここでは、対向電極 24 の電圧 V_{com} は一定とする。

【0029】

第 1 のタイミングで走査信号電圧 V_g が一時的にハイレベルになると、そのときの映像信号電圧 V_s が補助容量 21 に印加され、映像信号電圧 V_s と電源配線 Y の電圧とにより補助容量電圧 V_{cs} が決定される。同図では補助容量電圧 V_{cs} が上昇した状態を示す。そして、第 2 のタイミングで、走査信号電圧 V_g が一時的にハイレベルになると、そのときの映像信号電圧 V_s が補助容量 21 に印加され、やはり映像信号電圧 V_s と電源配線 Y の電圧とにより補助容量電圧 V_{cs} が決定される。同図では補助容量電圧 V_{cs} が下降した状態を示す。このように、補助容量 21 の電圧 V_{cs} は、映像信号電圧 V_s 及び電源配線 Y の電圧に応じた振幅 V_{cs} をもつ。

【0030】

続いて図 1 の説明に戻る。補助容量検出回路 3 は、発振機 31、周波数カウンタ 32、レジスタ 33 を備える。発振機 31 から出力された周波数は、周波数カウンタ 32 でカウントされ、レジスタ 33 に一旦記憶された後、補助容量電圧調整回路 4 に伝達される。

【0031】

図 5 は、本実施の形態における発振機 31 の回路構成を示す回路図である。発振機 31 は、補助容量 21 と同様の層構造の検出用容量を備えた MOS 型薄膜トランジスタで構成され、具体的には、図 2 で示した nMOS 型薄膜トランジスタ SWa 及び pMOS 型薄膜トランジスタ SWb を直列接続したインバータを、ループ状に 5 段縦続接続したリングオシレータ回路で構成される。入出力間をループさせると、各インバータの入力端子に入力された論理値を反転した論理値がその入力端子に戻るので、入力の反転が際限なく繰り返され、発振機として動作する。また、全ての nMOS 型薄膜トランジスタ SWa のソース電極は電源 V_{SS} に接続され、全ての pMOS 型薄膜トランジスタ SWb のソース電極は電源 V_{SS} とは異なる電流電圧が供給される電源 V_{DD} に接続されている。

【0032】

リングオシレータ回路で構成された発振機 31 の周波数 f は、インバータの遅延時間 pd、インバータ数 N を用いて、次式によって定まる。

【0033】

$$f = 1 / (2 \times pd \times N) \quad (1)$$

10

20

30

40

50

また、遅延時間 pd は、nMOS型薄膜トランジスタの飽和電流 $I_{on}(nch)$ 、pMOS型薄膜トランジスタの飽和電流 $I_{on}(pch)$ を用いて、次式によって定まる。尚、 k は係数である。

【0034】

$$pd = k \times (1 / I_{on}(nch) + 1 / I_{on}(pch)) \quad (2)$$

更に、MOS型トランジスタの飽和電流 I_{on} は、キャリア移動度 μ 、ゲート幅 W 、ゲート長 L 、単位面積あたりのゲート酸化膜容量 C 、ゲート電圧 V_{gs} 、閾値電圧 V_{th} を用いて、次式によって定まる。

【0035】

$$I_{on} = (1 / 2) \times \mu \times C (W / L) \times (V_{gs} - V_{th})^2 \quad (3)$$

式(3)において、ゲート電圧 V_{gs} 及び閾値電圧 V_{th} は固定値なので、式(1)～式(3)の関係から、周波数 f はゲート酸化膜容量 C に比例する。図6は、本実施の形態における発振機31から出力された周波数 f とゲート酸化膜容量 C の関係を示すグラフである。このように、周波数を求めるのは、補助容量21の膜厚バラツキが、発振機31から出力される周波数のバラツキに対応するからである。即ち、発振機31から出力された周波数のバラツキは、図6に示すようにゲート酸化膜容量のバラツキに対応する。発振機31は、補助容量21と同様の層構造の検出用容量を備えたnMOS型薄膜トランジスタSWa及びpMOS型薄膜トランジスタSWbを用いて構成されるので、発振機31から出力された周波数のバラツキは、補助容量21のゲート酸化膜容量のバラツキに対応し、結果として、補助容量21におけるゲート絶縁膜71の膜厚バラツキにも対応する。

10

20

30

【0036】

図1に戻り、補助容量電圧調整回路4について説明する。補助容量電圧調整回路4は、変換器41、デジタルアナログ変換器42、増幅器43、調整器44で構成され、補助容量検出回路3から出力された周波数に基づいて、補助容量21に接続された電源配線Yの電位振幅を調整する。その調整方法について次に説明する。

【0037】

図7は、階調-輝度特性を示すグラフである。同図では、理想的な特性を基準ラインL1で示している。補助容量検出回路3によって検出した周波数が高い場合には、補助容量電圧 V_{cs} が反転するときの電位変動 V が大きくなるので、電圧無印加時に光が透過するように偏光板を直交させて配置したノーマリーホワイトモードの場合には、図7の曲線L2に示すように、輝度が低くなる方向にシフトする。これは、電位変動 V が次式によつて定まるためである。

30

【0038】

$$V = V_{cs} \times C_{cs} / C_{total} \quad (4)$$

ここで、 C_{total} は、補助容量 C_{cs} 、液晶容量（液晶層の容量） C_{cl} 、薄膜トランジスタの寄生容量 C_{tft} を含む総容量であり、次式で示される。

【0039】

$$C_{total} = C_{cs} + C_{cl} + C_{tft} + \dots \quad (5)$$

式(4)のように電位変動 V が定まるため、補助容量検出回路3によって検出された周波数が高い場合、図6に示すように容量 C_{cs} も比例して大きくなるので、補助容量電圧調整回路4は、補助容量21に接続された電源配線Yの電位振幅 V_{cs} を小さくなる方向に調整することで輝度を高くする。また、検出された周波数が低い場合には、図7の曲線L3に示すように輝度が高くなる方向にシフトするので、電位振幅 V_{cs} を大きくなる方向に調整することで輝度を低くする。

40

【0040】

図8は、補助容量検出回路3により検出された発振機31の周波数 f と補助容量21の電位振幅 V_{cs} の調整値との関係を示すグラフである。このような関係を変換テーブルに予め定めておき、補助容量電圧調整回路4は、この関係に基づいて調整を行うようとする。変換器41は、この変換テーブルに基づいてレジスタ33に記憶された周波数を電位振幅 V_{cs} に変換する。変換された電位振幅 V_{cs} は、デジタルアナログ変換器42により

50

アナログ信号に変換された後、増幅器 4 3 により所定の倍率に増幅されて調整器 4 4 に伝達される。調整器 4 4 は、変換されたアナログ信号の電位振幅 V_{cs} に基づいて、補助容量 2 1 に接続された電源配線 Y の電位振幅を調整する。

【0041】

尚、電位振幅 V_{cs} の調整値を用いて電源配線 Y の電位振幅を調整する方法は、これに限られるものではない。例えば、増幅器 4 3 により増幅された後に、デジタルアナログ変換器 4 2 でアナログ信号に変換することも可能である。増幅器 4 3 を介さずに、デジタルアナログ変換器 4 2 により変換されたアナログ信号を調整器 4 4 に伝達することも可能である。また、調整器 4 4 は、調整値を電位振幅に加算するのみではなく、減算、乗算、除算などを用いることも可能である。

10

【0042】

本実施の形態によれば、補助容量 2 1 と同様の層構造の検出用容量を備えた nMOS 型薄膜トランジスタ SWa 及び pMOS 型薄膜トランジスタ SWb で構成された発振機 3 1 から出力される周波数を検出し、この周波数に基づいて補助容量 2 1 に接続された電源配線 Y の電位振幅を調整することで、発振機 3 1 の周波数のバラツキが補助容量 2 1 の膜厚のバラツキに対応することから、簡易な構成で膜厚バラツキに起因する階調ずれを防止でき、安定した階調・輝度特性を得ることができる。

【0043】

本実施の形態によれば、補助容量電圧調整回路 4 は、予め定めておいた発振機 3 1 から出力された周波数と補助容量 2 1 の電位振幅 V_{cs} の調整値との関係に基づいて、電位振幅 V_{cs} の調整を行うことで、補助容量電圧調整回路 4 を簡易な構成で実現できるとともに正確な調整を実現できる。

20

【0044】

本実施の形態によれば、nMOS 型薄膜トランジスタ SWa 及び pMOS 型薄膜トランジスタ SWb のチャネル部に、 $1E19 atoms/cm^3 \sim 1E22 atoms/cm^3$ に設定された濃度の不純物を含有するので、発振機 3 1 の動作を安定にすることができる。

〔変形例〕

【0045】

図 9 は、発振機 3 1 の回路構成の変形例を示す回路図である。本変形例における発振機 3 1 は、上記にて説明したインバータの出力端子と次段に接続されたインバータの入力端子との間に抵抗 2 5 を更に接続し、インバータの入力端子と電源 VSS との間に補助容量 2 1 と同様の層構造の検出用容量 2 6 を更に備える。図 10 は、検出用容量 2 6 の構成を示す構成図である。検出用容量 2 6 は、ゲート電極 7 2 と高濃度不純物が含有されたポリシリコンとの間に、ゲート絶縁膜 7 1 を挟持している。高濃度不純物を含有する場合の効果については、上記にて説明した効果と同様である。尚、このポリシリコンは、図 2 で示す補助容量 2 1 のチャネル 7 0 に相当する。

30

【0046】

図 9 に戻り、抵抗 2 5 と検出用容量 2 6 との積から成る遅延時間 rc がインバータ単体の遅延時間 pd よりも十分に大きい場合、発振機 3 1 の周波数は、遅延時間 rc 、インバータ数 N を用いて、次式によって定まる。

40

【0047】

$$f = 1 / (2 \times rc \times N) \quad (6)$$

ここで、遅延時間 rc は、検出用容量 2 6 のゲート絶縁膜 7 1 の膜厚に比例するので、式 (6) より、周波数 f は検出用容量 2 6 のゲート酸化膜容量 C に反比例する。図 11 は、本変形例の発振機 3 1 から出力された周波数 f とゲート酸化膜容量 C との関係を示すグラフである。上記にて説明したように、補助容量 2 1 の膜厚バラツキは発振機 3 1 から出力された周波数のバラツキに対応するので、図 12 に示す本変形例の発振機 3 1 を備えた補助容量検出回路 3 により検出された周波数 f と補助容量 2 1 の電位振幅 V_{cs} の調整値との関係を予め変換テーブルに定めておくことで、補助容量 2 1 に接続された電源配線 Y の電位振幅を調整することが可能になる。

50

【0048】

具体的には、補助容量検出回路3によって検出された周波数が高い場合、図11に示すように容量C_{cs}が小さくなるので、補助容量電圧調整回路4は、補助容量21に接続された電源配線Yの電位振幅V_{cs}を大きくなる方向に調整することで輝度を低くする。また、検出された周波数が低い場合には、図7の曲線L2に示すように輝度が低くなる方向にシフトするので、電位振幅V_{cs}を小さくなる方向に調整することで輝度を高くする。

【0049】

その他の構成及び動作については、先に説明した構成及び動作と同様であるので、ここでは重複説明を省略する。

【0050】

本変形例によれば、補助容量21と同様の層構造の検出用容量26を備えた発振機31から出力される周波数を検出し、この周波数に基づいて補助容量21に接続された電源配線Yの電位振幅を調整することで、発振機31の周波数のバラツキが補助容量21の膜厚のバラツキに対応することから、簡易な構成で膜厚バラツキに起因する階調ずれを防止でき、安定した階調・輝度特性を得ることができる。

10

【0051】

本変形例によれば、上記にて説明した効果と同様に、補助容量電圧調整回路4を簡易な構成で実現できるとともに正確な調整を実現できる。

【0052】

本変形例によれば、検出用容量26のポリシリコンに、1E19 atoms/cm³ ~ 1E22 atoms/cm³に設定された濃度の不純物を含有するので、発振機31の動作を安定にすることができる。

20

【0053】

[第2の実施の形態]

図13は、第2の実施の形態における液晶表示装置の概略的な構成を示す構成図である。本実施の形態における補助容量検出回路3は、第2発振機31'、第2周波数カウンタ32'、第2レジスタ33'、差分計算器34を更に備える。その他の構成は、第1の実施の形態と同様の構成なので、ここでは重複した説明は省略する。尚、本実施の形態では、第1の実施の形態における、図9を用いて説明した変形後の発振機31、周波数カウンタ32、レジスタ33のそれぞれを、第1発振機31、第1周波数カウンタ32、第1レジスタ33とする。

30

【0054】

図14は、第2発振機31'の回路構成を示す回路図である。本実施の形態における第2発振機31'の構成は、第1発振機31の構成と基本的には同じ構成であるが、インバータの入力端子と電源VSSとの間に、検出用容量26とは異なる構造の参照用容量27を備える。図15及び図16は、参照用容量27の構成の一例を示す構成図である。図15で示す参照用容量27は、ゲート電極72の間に層間絶縁膜73が挟持され、図16で示す参照用容量27は、ゲート電極72とソースドレイン電極74との間に層間絶縁膜73が挟持されている。

40

【0055】

第1の実施の形態で説明したように、補助容量21の膜厚バラツキは第1発振機31から出力された周波数のバラツキに対応する。しかしながら、第1発振機31から出力された周波数には、第1発振機31を構成するMOS型薄膜トランジスタの薄膜トランジスタ特性や他の寄生容量の影響も含まれている。そこで、補助容量検出回路3は、検出用容量26とは異なる構造の参照用容量27を備えた第2発信機31'を用い、第2発信機31'から出力された周波数を第2周波数カウンタ32'でカウントし、第2レジスタ33'に一旦記憶した後、差分計算器34により、第1発振機31と第2発振機31'から出力される周波数の差分を計算することで、薄膜トランジスタ特性等の影響を排除する。

【0056】

補助容量電圧調整回路4は、図17に示す補助容量検出回路3から検出された差分周波

50

数 f と補助容量 21 の電位振幅 V_{CS} の調整値との関係を予め変換テーブルに定めておくことで、補助容量 21 に接続された電源配線 Y の電位振幅を調整する。具体的な電源配線 Y の電位振幅の調整方法は、第 1 の実施の形態における変形例で説明した調整方法と同様なので、ここでは重複した説明は省略する。

【0057】

また、その他の構成の動作についても、第 1 の実施の形態で説明した動作と同様であるので、ここでは重複説明を省略する。

【0058】

尚、参照用容量 27 を要素する絶縁膜は、層間絶縁膜 73 に限られるものではなく、既知の周波数を持つ他の絶縁膜を利用することも可能である。

【0059】

本実施の形態によれば、予め定めておいた第 1 発振機 31 及び第 2 発振機 31' から出力された周波数の差分と補助容量 21 の電位振幅の調整値との関係に基づいて、補助容量 21 と同様の層構造の検出用容量 26 を備えた第 1 発振機 31 と検出用容量 26 とは異なる構造の層間絶縁膜 73 で構成された参照用容量 27 で構成された第 2 発振機 31' から出力された周波数の差分を調整値に変換するので、発振機を構成する MOS 型薄膜トランジスタの薄膜トランジスタ特性や他の寄生容量の影響を排除した周波数を用いて補助容量 21 に接続された電源配線 Y の電位振幅を調整でき、より安定した階調 - 輝度特性を得ることができる。

【0060】

本実施の形態によれば、予め定めておいた第 1 発振機 31 及び第 2 発振機 31' から出力された周波数の差分と補助容量 21 の電位振幅の調整値との関係に基づいて、電位振幅 V_{CS} の調整を行うことで、補助容量電圧調整回路 4 を簡易な構成で実現できるとともに正確な調整を実現できる。

【図面の簡単な説明】

【0061】

【図 1】第 1 の実施の形態における液晶表示装置の概略的な構成を示す構成図である。

【図 2】nMOS 型薄膜トランジスタ及び pMOS 型薄膜トランジスタと補助容量との層構造を示す断面図である。

【図 3】チャネルに含有された不純物の濃度が異なる場合の電圧とゲート酸化膜容量との関係を示すグラフである。

【図 4】画素における各部の電圧波形を示す図である。

【図 5】第 1 の実施の形態における発振機の回路構成を示す回路図である。

【図 6】第 1 の実施の形態における発振機から出力された周波数とゲート酸化膜容量との関係を示すグラフである。

【図 7】階調 - 輝度特性を示すグラフである。

【図 8】補助容量検出回路により検出された発振機の周波数と補助容量の電位振幅の調整値との関係を示すグラフである。

【図 9】発振機の回路構成の変形例を示す回路図である。

【図 10】検出用容量の構成を示す構成図である。

【図 11】本変形例の発振機から出力された周波数とゲート酸化膜容量との関係を示すグラフである。

【図 12】本変形例の発振機を備えた補助容量検出回路により検出された周波数と補助容量の電位振幅の調整値との関係を示すグラフである。

【図 13】第 2 の実施の形態における液晶表示装置の概略的な構成を示す構成図である。

【図 14】第 2 発振機の回路構成を示す回路図である。

【図 15】参照用容量の構成の一例を示す構成図である。

【図 16】参照用容量の構成の一例を示す構成図である。

【図 17】第 2 の実施の形態における補助容量検出回路から検出された周波数と補助容量の電位振幅の調整値との関係を示すグラフである。

【図18】アクティブマトリクス駆動方式の液晶表示装置の構造を示す構造図である。

【図19】アクティブマトリクス駆動方式の液晶表示装置の回路構成の一例を示す回路図である。

【図20】液晶表示パネルの基本構成を示す回路構成図である。

【符号の説明】

【0062】

C ... ゲート酸化膜容量

G , G 1 ~ G n ... 走査線

L 1 ... 基準ライン

L 2 , L 3 ... 曲線

10

S , S 1 ~ S m ... 信号線

SW , SW 1 1 ~ SW n m ... 画素トランジスタ、スイッチ素子

SW a ... nMOS型薄膜トランジスタ

SW b ... pMOS型薄膜トランジスタ

V DD , V SS ... 電源

Y , Y 1 ~ Y n ... 電源配線

f ... 周波数

1 ... アレイ基板

2 ... 表示部

3 ... 補助容量検出回路

20

4 ... 補助容量電圧調整回路

5 ... 電源回路

6 , 6 a , 6 b ... ガラス基板

7 ... アンダーコート層

8 ... 信号線駆動回路

9 ... 走査線駆動回路

2 1 ... 補助容量

2 2 ... 画素電極

2 3 ... 液晶容量

2 4 ... 対向電極

30

2 5 ... 抵抗

2 6 ... 検出用容量

2 7 ... 参照用容量

2 8 ... カラーフィルター

2 9 ... 偏光板

3 1 ... 発振機 , 第1発振機

3 1 ' ... 第2発振機

3 2 ... 周波数カウンタ , 第1周波数カウンタ

3 2 ' ... 第2周波数カウンタ

3 3 ... レジスタ , 第1レジスタ

40

3 3 ' ... 第2レジスタ

3 4 ... 差分計算器

4 1 ... 変換テーブル

4 2 ... デジタルアナログ変換器

4 3 ... 増幅器

4 4 ... 加算器

7 0 ... チャネル

7 1 ... ゲート絶縁膜

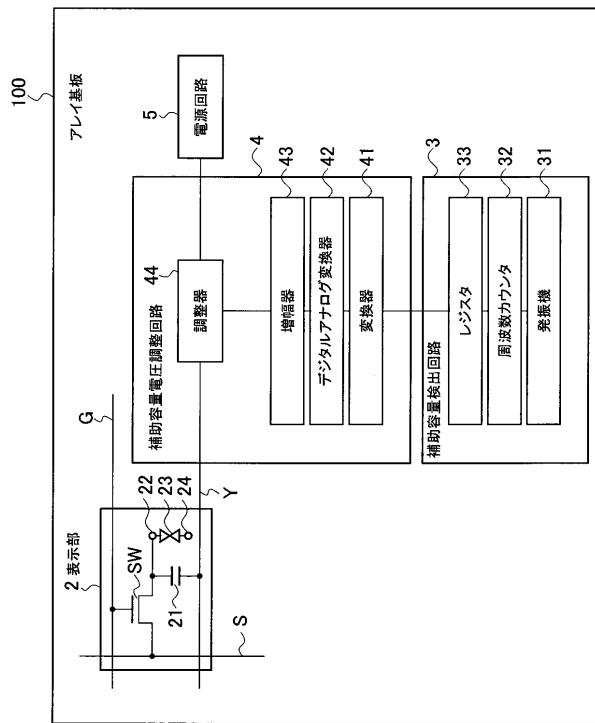
7 2 ... ゲート電極

7 3 ... 層間絶縁膜

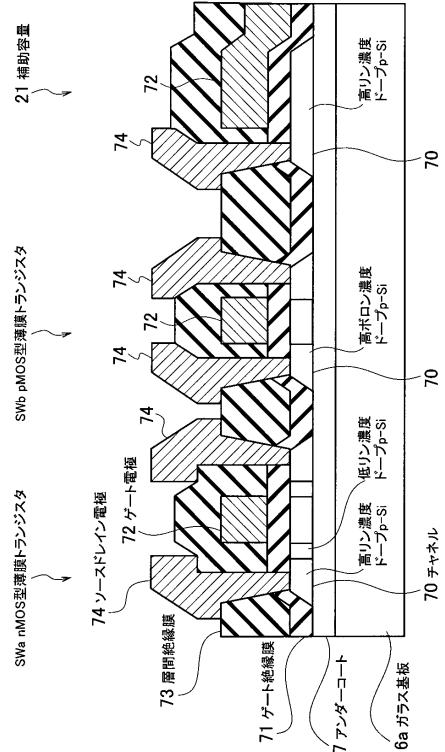
50

7 4 ... ソースドレイン電極
 1 0 0 ... アレイ基板
 2 0 0 ... 対向基板

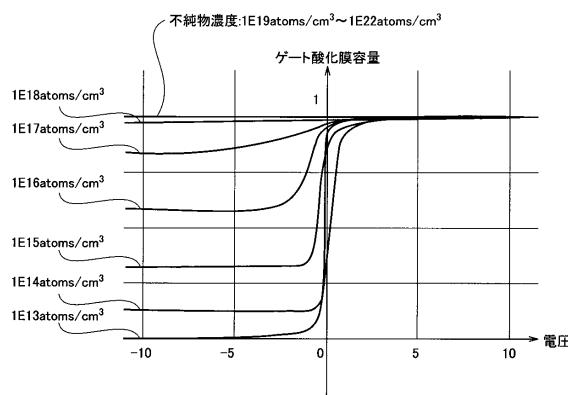
【図1】



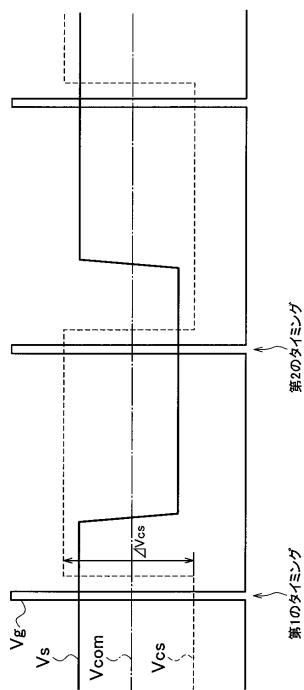
【図2】



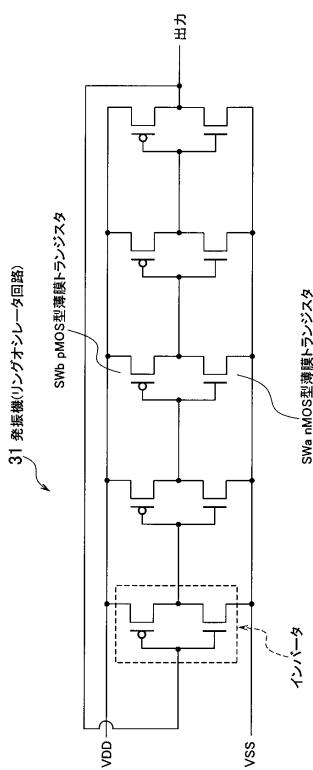
【図3】



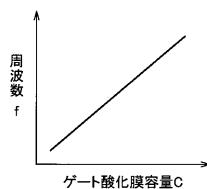
【図4】



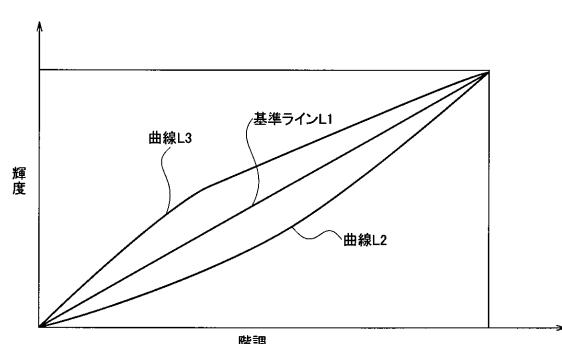
【図5】



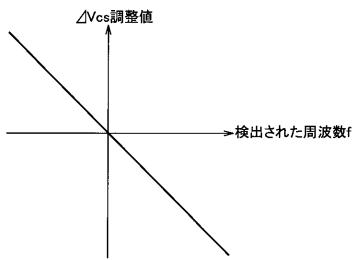
【図6】



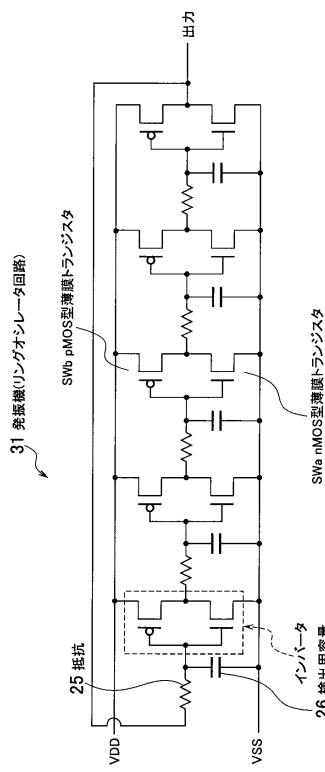
【図7】



【図 8】



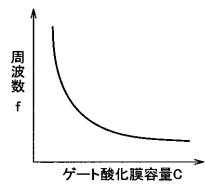
【図 9】



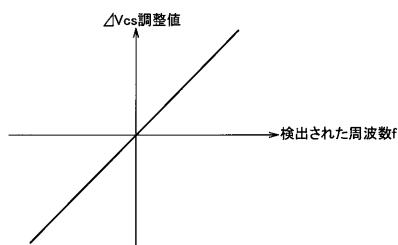
【図 10】



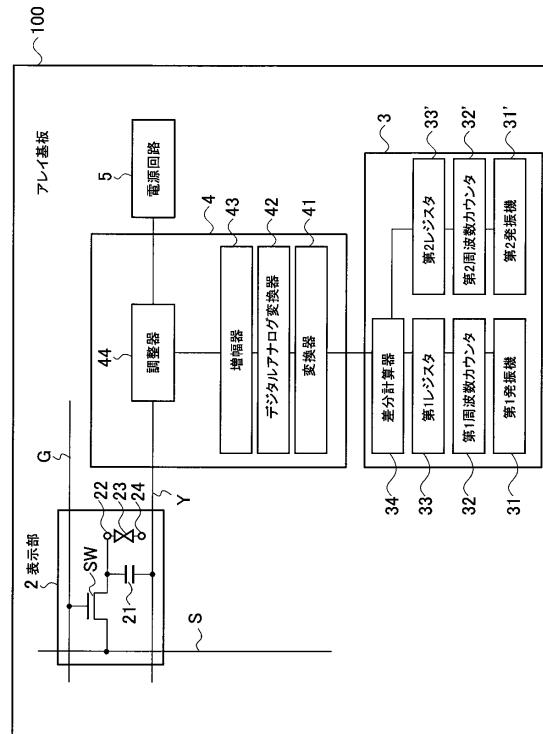
【図 11】



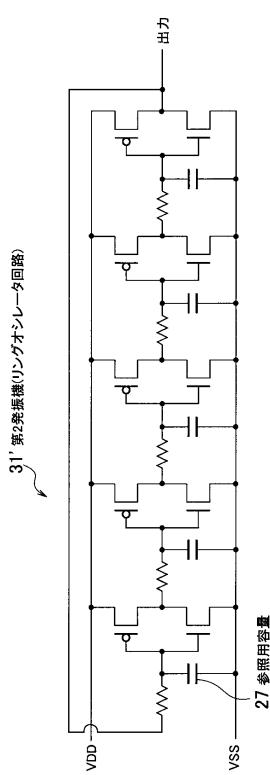
【図 12】



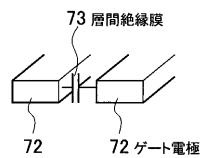
【図 13】



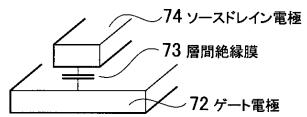
【図 14】



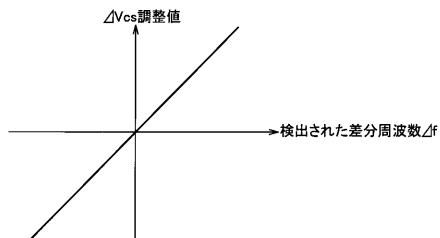
【図 15】



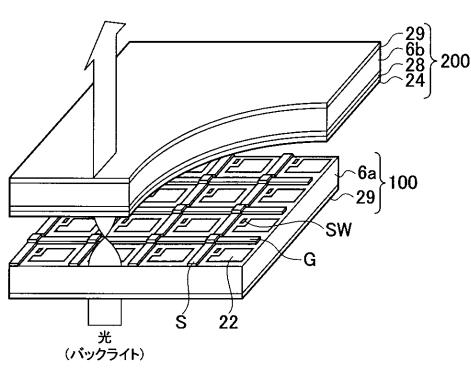
【図 16】



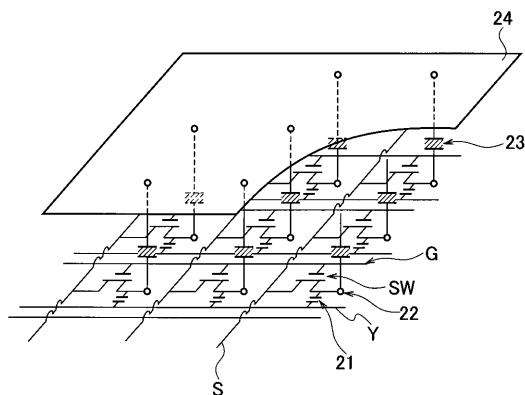
【図 17】



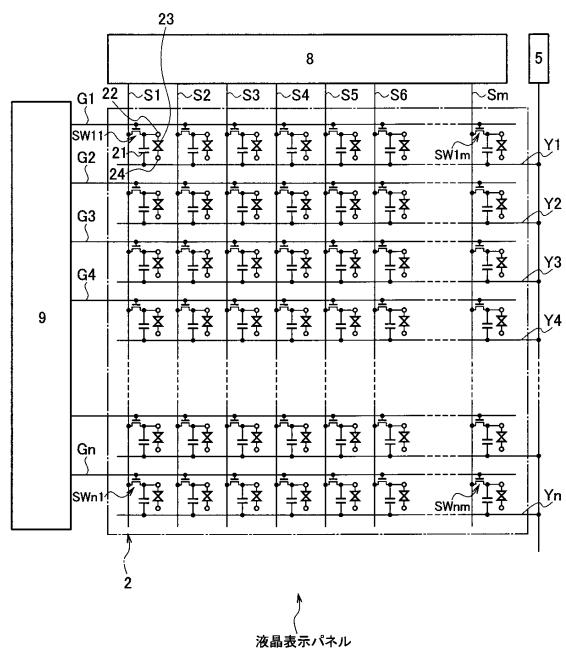
【図 18】



【図 19】



【図20】



液晶表示パネル

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 1 2 K
	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 4 2 A

(74)代理人 100101247

弁理士 高橋 俊一

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 多田 正浩

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 中崎 能彰

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H092 GA59 JA24 JA25 JB61 JB69 KA04 MA27 NA01 NA24 PA06

2H093 NA16 NC22 NC27 NC34 NC35 NC52 NC68 ND06 ND09 NH18

5C006 AC25 AF42 AF43 AF53 AF64 BB16 BF01 BF22 BF26 BF27

FA20 FA22 GA03

5C080 AA10 BB05 DD05 EE28 FF11 JJ02 JJ03 JJ04 JJ05 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2008065136A	公开(公告)日	2008-03-21
申请号	JP2006244153	申请日	2006-09-08
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	多田正浩 中崎能彰		
发明人	多田 正浩 中崎 能彰		
IPC分类号	G02F1/1345 G02F1/133 G02F1/1368 G09G3/36 G09G3/20		
FI分类号	G02F1/1345 G02F1/133.550 G02F1/1368 G09G3/36 G09G3/20.624.D G09G3/20.612.K G09G3/20.611.H G09G3/20.642.A		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/JA25 2H092/JB61 2H092/JB69 2H092/KA04 2H092/MA27 2H092/NA01 2H092/NA24 2H092/PA06 2H093/NA16 2H093/NC22 2H093/NC27 2H093/NC34 2H093/NC35 2H093/NC52 2H093/NC68 2H093/ND06 2H093/ND09 2H093/NH18 5C006/AC25 5C006/AF42 5C006/AF43 5C006/AF53 5C006/AF64 5C006/BB16 5C006/BF01 5C006/BF22 5C006/BF26 5C006/BF27 5C006/FA20 5C006/FA22 5C006/GA03 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H192/AA24 2H192/CB02 2H192/DA12 2H192/DA44 2H192/DA82 2H192/FB13 2H192/GD61 2H193/ZA04 2H193/ZD32 2H193/ZH40 2H193/ZH42		
代理人(译)	三好秀 中村智之 伊藤雅一 高桥俊 高松俊夫		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，该液晶显示装置能够防止由于用于形成辅助电容的膜的厚度变化引起的灰度偏移并获得稳定的灰度-亮度特性。 ŽSOLUTION：检测由nMOS型薄膜晶体管和pMOS型薄膜晶体管构成的振荡器31输出的频率，该薄膜晶体管具有与辅助电容21类似的层结构的检测电容，以及电源的电位幅度。连接到辅助电容21的线Y基于检测到的频率进行调整。 Ž

