

(19)日本国特許庁 (J P)

公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 280608

(P2003 - 280608A)

(43)公開日 平成15年10月2日 (2003.10.2)

| (51) Int. Cl. ⁷ | 識別記号 | F I | テ-マコ-ト* (参考) |
|----------------------------|------|---------------|----------------|
| G 0 9 G 3/36 | | G 0 9 G 3/36 | 2 H 0 9 3 |
| G 0 2 F 1/133 | 520 | G 0 2 F 1/133 | 5 C 0 0 6 |
| | 550 | | 5 C 0 8 0 |
| G 0 9 G 3/20 | 612 | G 0 9 G 3/20 | 612 D |
| | | | 612 E |

審査請求 未請求 請求項の数 4 O L (全 6 数) 最終頁に続く

(21)出願番号 特願2002 - 84643(P2002 - 84643)

(22)出願日 平成14年3月26日 (2002.3.26)

(71)出願人 000001960

シチズン時計株式会社

東京都西東京市田無町六丁目1番12号

(72)発明者 矢野 敬和

東京都西東京市田無町六丁目1番12号 シチ

ズン時計株式会社内

(72)発明者 高 橋 和壽

東京都西東京市田無町六丁目1番12号 シチ

ズン時計株式会社内

(72)発明者 宮部 光正

東京都西東京市田無町六丁目1番12号 シチ

ズン時計株式会社内

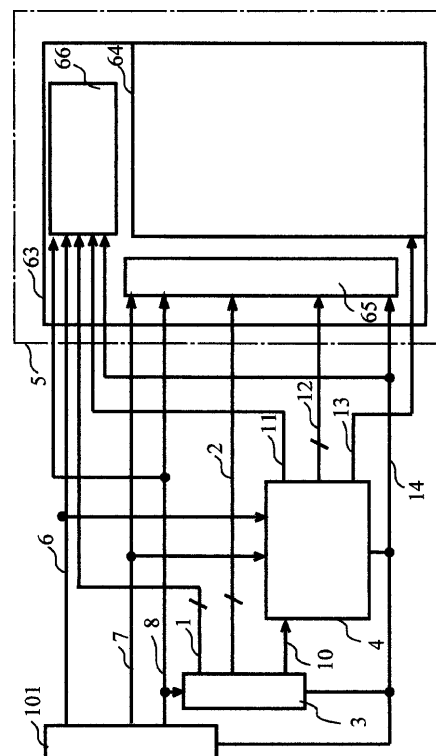
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 T F T型液晶表示装置を駆動するためには、種々の電位を持つ電源が必要となる。今までの大型液晶表示装置においては、その面積に起因する電流を必要とするため、上記すべての電位の電源を電源回路から発生していた。この回路をそのまま小型液晶表示装置に適用すれば、簡単で確実に駆動することが可能であるが、実装容積や価格の面で大型液晶表示装置と同じとなる。

【解決手段】 上記課題を解決するため、5ボルトで駆動できるロジック汎用 I C をコモン電源に採用し、高電位電源から低電に電源を発生する際のレベルシフトに使い、階調基準のための電位は位相反転の出力間に複数の抵抗を介して異なる電位の信号を簡単に発生する。



【特許請求の範囲】

【請求項 1】 複数の電源の電位とロジック電源の電位を発生する電源回路と、該ロジック電源で駆動するロジック回路と、データ用 IC と、走査用 IC を備え、薄膜トランジスタを形成した素子基板と、コモン電極を形成した対向基板からなる液晶表示装置において、前記ロジック回路からの出力信号を中電位の電源で駆動する CMOS トランジスタまたは TTL トランジスタに入力し、該 CMOS トランジスタまたは該 TTL トランジスタからの第 1 の出力を、ロジック電源電位とグラウンドの間の電位または前記複数の電源電位とグラウンドの間の電位にクランプして、前記コモン電極に接続することを特徴とする液晶表示装置。

【請求項 2】 複数の電源の電位とロジック電源の電位を発生する電源回路と、該ロジック電源で駆動するロジック回路と、データ用 IC と、走査用 IC を備え、薄膜トランジスタを形成した素子基板と、コモン電極を形成した対向基板からなる液晶表示装置において、前記ロジック回路からの出力信号を中電位の電源で駆動する CMOS トランジスタまたは TTL トランジスタに入力し、該 CMOS トランジスタまたは該 TTL トランジスタからの第 2 の出力を、高電圧にレベルシフトし、ロジック電源の電位、中電位またはグラウンドにクランプして整流し、低電位の電源とすることを特徴とする液晶表示装置。

【請求項 3】 複数の電源の電位とロジック電源の電位を発生する電源回路と、該ロジック電源で駆動するロジック回路と、データ用 IC と、走査用 IC を備え、薄膜トランジスタを形成した素子基板と、コモン電極を形成した対向基板からなる液晶表示装置において、前記ロジック回路からの出力信号を中電位の電源で駆動する CMOS トランジスタまたは TTL トランジスタに入力し、該 CMOS トランジスタまたは該 TTL トランジスタからの第 3 の出力の出力端と、該第 3 の出力と逆位相である第 4 の出力の出力端を複数の抵抗を直列に介して接続し、該第 3 の出力の出力端の電位、該第 4 の出力の出力端の電位および該第 3 の出力と該第 4 の出力の間の電位を前記データ用 IC に入力することを特徴とする液晶表示装置。

【請求項 4】 複数の電源の電位とロジック電源の電位を発生する電源回路と、該ロジック電源で駆動するロジック回路と、データ用 IC と、走査用 IC を備え、薄膜トランジスタを形成した素子基板と、コモン電極を形成した対向基板からなる液晶表示装置において、前記ロジック回路からの出力信号を中電位の電源で駆動する複数の個の CMOS トランジスタまたは TTL トランジスタを 1 個の IC に備え、該 CMOS トランジスタまたは該 TTL トランジスタからの第 1 の出力を、ロジック電源電位にクランプして前記コモン電極に接続し、該 CMOS トランジスタまたは該 TTL トランジスタからの第 2 の

出力を高電圧にレベルシフトし、ロジック電源の電位、中電位またはグラウンドにクランプして整流して低電位の電源とし、該 CMOS トランジスタまたは該 TTL トランジスタからの第 3 の出力の出力端と、該第 3 の出力と逆位相である第 4 の出力の出力端を複数の抵抗を直列に介して接続し、該第 3 の出力の出力端の電位、該第 4 の出力の出力端の電位および該第 3 の出力と該第 4 の出力の間の電位を前記データ用 IC に入力することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は時分割駆動回路を備えた薄膜トランジスタ (TFT) 型液晶表示装置に関する。

【0002】

【従来の技術】TFT 型液晶表示装置はコントラストや応答性の良さにより、携帯型 PC の等に採用されており現在の液晶表示装置の主流である。図 4 は従来の TFT 液晶表示装置の駆動回路ブロック図を示す。図中、電源回路ブロック 84 は駆動に必要な電源を発生し、電池などの電源、駆動に必要な電位の電源にするためのコイルを用いた昇圧回路および各電源を平滑化するためのオペアンプを用いたレギュレータ回路から構成され、電源回路ブロック 100 は第 1 の電源 6、第 2 の電源 7 および第 3 の電源 8 を安定して発生する。ここで、第 1 の電源 6 は高電圧電源 (約 15 ボルト)、第 4 の電源 81 は低電圧電源 (約 -10 ~ -15 ボルト)、第 3 の電源 8 はロジック電源 (約 3.3 ボルト) あり、第 2 の電源 7 はデータ側 IC 出力用の中電圧電源 (約 5 ボルト) である。

【0003】さらに、電源回路ブロック 84 はコモン信号 10 を基に、オペアンプで構成される回路を介してコモン電源 83 および階調電位群 82 を液晶表示装置 5 に出力する。ここで、コモン電源 83 は矩形波であり、階調電位群はグラウンド (GND) 14 と第 2 の電源 7 およびその間の 2 種の電位からなる。ロジック回路 33 は液晶表示装置 5 を駆動するための同期信号およびデータ信号であるデータロジック信号群 84 および走査ロジック信号群 1 を発生し、さらにコモン信号 10 を発生する。

【0004】液晶表示装置 5 は薄膜トランジスタ (TFT) を形成した素子基板 63 と全面電極を形成した対向基板 64 から構成され、前記素子基板にデータ用 IC 65 と走査用 IC 66 を搭載している。データ用 IC 65 は、GND 14、第 2 の電源 7、第 3 の電源 8、データロジック信号群 84 および階調電位群 82 を入力し、データを出力する。走査用 IC 66 は、GND 14、第 1 の電源 6、第 3 の電源 8、第 4 の電源 81 および走査ロジック信号群 1 を入力して走査する。ここで、データ用 IC 65 の出力はデータロジック用信号群 84 中の出力反転信号 (図示せず。) に応じて反転する。

【0005】

【発明が解決しようとする課題】上述の通り T F T 型液晶表示装置を駆動するためには、種々の電位を持つ電源が必要となる。今までの大型液晶表示装置においては、その面積に起因する電流を必要とするため、上記すべての電位の電源を電源回路から発生していた。この回路をそのまま小型液晶表示装置に適用すれば確実に駆動することが可能であるが、実装容積や価格の面で大型液晶表示装置と同じとなる。本発明によれば、電源回路から発生する電源の数を減らす回路を備えた T F T 型小型液晶表示装置が可能となる。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明の液晶表示装置は、下記記載の手段を採用する。すなわち、本発明の液晶表示装置は、複数の電源の電位とロジック電源の電位を発生する電源回路と、該ロジック電源で駆動するロジック回路と、データ用 I C と、走査用 I C を備え、薄膜トランジスタを形成した素子基板と、コモン電極を形成した対向基板からなる液晶表示装置において、前記ロジック回路からの出力信号を中電位の電源で駆動する C M O S トランジスタまたは T T L トランジスタに入力し、該 C M O S トランジスタまたは該 T T L トランジスタからの第 1 の出力を、ロジック電源電位とグランドの間の電位または前記複数の電源電位とグランドの間の電位にクランプして、前記コモン電極に接続することを特徴とする。また、本発明の液晶表示装置は、複数の電源の電位とロジック電源の電位を発生する電源回路と、該ロジック電源で駆動するロジック回路と、データ用 I C と、走査用 I C を備え、薄膜トランジスタを形成した素子基板と、コモン電極を形成した対向基板からなる液晶表示装置において、前記ロジック回路からの出力信号を中電位の電源で駆動する C M O S トランジスタまたは T T L トランジスタに入力し、該 C M O S トランジスタまたは該 T T L トランジスタからの第 2 の出力を、高電圧にレベルシフトし、ロジック電源の電位、中電位またはグランドにクランプして整流し、低電位の電源とすることを特徴とする。さらに、本発明の液晶表示装置は、複数の電源の電位とロジック電源の電位を発生する電源回路と、該ロジック電源で駆動するロジック回路と、データ用 I C と、走査用 I C を備え、薄膜トランジスタを形成した素子基板と、コモン電極を形成した対向基板からなる液晶表示装置において、前記ロジック回路からの出力信号を中電位の電源で駆動する C M O S トランジスタまたは T T L トランジスタに入力し、該 C M O S トランジスタまたは該 T T L トランジスタからの第 3 の出力の出力端と、該第 3 の出力と逆位相である第 4 の出力の出力端を複数の抵抗を直列に介して接続し、該第 3 の出力の出力端の電位、該第 4 の出力の出力端の電位および該第 3 の出力と該第 4 の出力の間の電位を前記データ用 I C に入力することを特徴とす

る。

【0007】[作用]電源の一部を発生するため、ロジック回路を積極的に採用する。要点は現在のロジック回路は 3 . 3 ボルト電源であるのに対して、液晶駆動は 5 ボルトで行わなければならないところである。ロジック汎用 I C である 7 4 H C シリーズは 5 ボルト電源駆動であることを利用すれば、小型の T F T 型液晶表示装置を簡素に駆動することは可能である。すなわち、その出力能力をうまく使えばそのままコモン電源に採用でき、高電位電源から低電位に電源を発生する際のレベルシフトにおいて、振幅が 5 ボルトであるので多大な電流を摂取することが可能となる。また、データ出力はロジック的に反転するよりも、階調基準のための電位自体を反転させた方が安定した画像が得られることが知られている。本発明に置いては、反転位相の出力間に複数の抵抗を介して異なる電位の信号を簡単に発生することによって階調基準のための電位自体を反転することが可能である。

【0008】

【発明の実施の形態】以下図面を用いて本発明の液晶表示装置における最適な実施形態を説明する。

【0009】(実施の形態 1) 図 1 は本発明の実施の形態における液晶表示装置の回路ブロック示す図面である。図中、電源回路ブロック 101 は第 1 の電源 6 , 第 2 の電源 7 および第 3 の電源 8 を安定して発生する回路である。ロジック回路 3 は液晶表示装置 5 を駆動するための同期信号およびデータ信号であるデータロジック信号群 2 および走査ロジック信号群 1 を発生し、さらにコモン信号 10 を発生する。電位発生回路ブロック 4 は本発明の中心となる回路を含んでおり、コモン信号 10、第 1 の電源 6 および第 2 の電源 7 を入力し、第 4 の電源 11、階調電位群 12 およびコモン電源 13 を液晶表示装置 5 に出力する。

【0010】液晶表示装置 5 は薄膜トランジスタ (T F T) を形成した素子基板 63 と全面電極を形成した対向基板 64 から構成され、前記素子基板にデータ用 I C 65 と走査用 I C 66 を搭載している。データ用 I C 65 は、GND 14 , 第 2 の電源 7、第 3 の電源 8、データロジック信号群 2 および階調電位 12 を入力し、データを出力する。走査用 I C 66 は、GND 14、第 1 の電源 6、第 3 の電源 8、走査ロジック信号群 1 および第 4 の電源 11 およびを入力して走査する。ここで、データ用 I C 65 の出力は階調電位 12 の電位変動に応じて反転する。

【0011】第 1 の電源 6 は 1.5 ボルト電位であり、走査 I C 66 に入力する。第 2 の電源 7 は 5 ボルト電位であり、データ用 I C 65 の出力電源である。第 3 の電源 7 は 3 . 3 ボルト電位であり、ロジック回路の駆動電源である。コモン電源 13 は対向基板 64 に形成された全面電極に接続されている。

【0012】図 2 は電位発生回路ブロックの中身を示

す。図中コンデンサ 32、第 1 の抵抗 15 および第 2 の抵抗 16 は、中央値 1.65 ボルトで振幅 3.3 ボルトのコモン信号 10 を中央値 2.5 ボルトで振幅 3.3 ボルトの信号にする目的で設けられている。第 1 のインバータ 46、第 2 のインバータ 27、第 3 のインバータ 28、第 4 のインバータ 29、第 5 のインバータ 30 および第 6 のインバータ 31 はロジック回路 CMOS インバータ 17 (74HC04) に内蔵され第 2 の電源 7 で駆動される。第 1 のインバータ 46 の出力信号は第 2 のインバータ 27 および第 6 のインバータ 31 に入力される。第 2 のインバータの出力信号は第 3 のインバータ 28 および第 4 のインバータ 29 に入力される。第 4 のインバータの出力信号は第 5 のインバータ 30 に入力される。

【0013】次に図 1 で示した対向基板 64 に必要なコモン電源 13 の発生回路について説明する。図 2 中、第 2 のコンデンサ 37 は第 6 のインバータ 31 の出力の直流成分をカットする役目を果たし、第 5 のコンデンサ 34 はコモン電源 13 の電位安定化の役目を果たし、可変抵抗 38 は第 3 の電源 8 にクランプする役目を果たす。すなわち、コモン信号 10 と同位相の信号である 5 ボルト振幅の第 6 のインバータ 31 の第 1 の出力 91 の電位を、可変抵抗 38 によって調節する事ができるコモン電源 13 を発生する。ここで、クランプする電位を第 3 の電源 8 の電位とグランドの間の電位としたが、第 3 の電源の電位の代わりに第 1 の電源 6 の電位でも第 2 の電源 7 の電位でも良い。

【0014】次に図 1 で示した走査用 IC 66 に必要な第 4 の電源 11 の発生について説明する。図 2 中、第 6 のコンデンサ 39 は第 6 のインバータ 31 の出力の直流成分をカットする役目を果たし、第 3 の抵抗 40 および第 1 のショットキーダイオード 41 はコンデンサ 39 を第 1 の電源 6 の電位にクランプする役目を果たす。p 型モストランジスタ 35 および n 型モストランジスタは、それぞれ第 4 のインバータ 29 からの第 2 の出力 92 を 1.5 ボルトにクランプした信号と第 4 のインバータ 29 からの第 2 の出力をゲートに入力し、第 1 の電源電位 (1.5 ボルト) とグランド 14 間のレベルシフトされた出力をする。

【0015】第 7 のコンデンサ 42 は p 型モストランジスタ 35 と n 型モストランジスタ 36 のドレイン出力の直流成分をカットする役目を果たす。第 2 のショットキーダイオード 43、第 3 のショットキーダイオード 44 および第 8 のコンデンサ 45 は、第 7 のコンデンサ 42 の直流成分をカットされた側の電位を第 3 の電源 8 の電位にクランプし整流する役目を果たす。結果、第 4 の電源として -1.1.1 ボルト = -1.5 ボルト (直流カットされた側の電位) + 3.3 ボルト (クランプ電位) + 0.6 ボルト (ショットキーダイオード 2 個分) が発生する。ここで、グランド 14 の (0 ボルト電位) にクラ

ンプすれば -1.4.4 ボルトが得られ、第 2 の電源 7 の電位 (+5 ボルト) にクランプすれば -9.4 ボルトが得られる。このことにより、消費電力対策と駆動安定性のバランスに応じて電圧を選ぶことができる。

【0016】次に図 1 で示したデータ用 IC 65 に必要な階調規定電位群 12 の発生について説明する。図 2 中、第 0 ビット電位 20 はコモン信号 10 と同位相の 5 ボルト振幅である第 5 のインバータ 30 からの第 4 の出力 94 であり、第 3 ビット電位 21 はコモン信号 10 と逆位相の 5 ボルト振幅である第 3 のインバータ 28 からの第 3 の出力 93 である。第 1 ビット電位 19 および第 2 ビット電位 18 は第 4 の抵抗 22、第 5 の抵抗 23 および第 6 の抵抗 24 の割合によって規定される電位で出力される。

【0017】図 3 はコモン電源 13 と階調規定電位群 12 の出力信号の電位関係を説明するための詳細タイミングチャートを示す。図中、第 1 のタイミング 57、第 2 のタイミング 58 および第 3 のタイミング 59 は走査走査線の選択切り替え時期を示す。コモン電源 13 は可変抵抗 38 によりオフセット調整された -0.5 ボルトと +4.5 ボルトの電位間の矩形波であり、第 1 のタイミング 57 で -0.5 ボルトとなり、第 2 のタイミング 58 で +4.5 ボルトとなり、第 3 のタイミングで -0.5 ボルトとなる。

【0018】0 ビット電位 20 のタイミングチャートである 0 ビット電位波形 72 は、0 ボルトと +5.0 ボルトの電位間の矩形波であり、第 1 のタイミング 57 で 0 ボルトとなり、第 2 のタイミング 58 で +5.0 ボルトとなり、第 3 のタイミングで 0 ボルトとなる。1 ビット電位 19 のタイミングチャートである 1 ビット電位波形 73 は、第 4 の抵抗 22、第 5 の抵抗 23 および第 6 の抵抗 24 の割合で定まる +0.5 ボルトと +4.5 ボルト電位間の矩形波であり、第 1 のタイミング 57 で +0.5 ボルトとなり、第 2 のタイミング 58 で +4.5 ボルトとなり、第 3 のタイミングで 0.5 ボルトとなる。

【0019】2 ビット電位 18 のタイミングチャートである 2 ビット電位波形 74 は、第 4 の抵抗 22、第 5 の抵抗 23 および第 6 の抵抗 24 の割合で定まる +1.5 ボルトと +3.5 ボルト電位間の矩形波であり、第 1 のタイミング 57 で +3.5 ボルトとなり、第 2 のタイミング 58 で +1.5 ボルトとなり、第 3 のタイミングで 3.5 ボルトとなる。3 ビット電位 21 の出力 0 ビット電位波形 71 は、0 ボルトと +5.0 ボルトの電位間の矩形波であり、第 1 のタイミング 57 で +5.0 ボルトとなり、第 2 のタイミング 58 で 0 ボルトとなり、第 3 のタイミングで +5.0 ボルトとなる。

【0020】本発明はロジック回路をインバータとしたが、NAND でも NOR 等他のロジック回路でも同様である。また、本実施例では CMOS トランジスタのロジ

ック回路としたが、TTLトランジスタでも同様である。階調規定電位群12の各ビット電位は本発明の電位に規定するものではない。また、本発明では第1の電源6から第4の電源11を発生したが、逆に第4の電源から第1の電源を発生することも可能である。

【0021】

【発明の効果】以上の発明から明らかなように、本発明によれば、小型TFT型液晶表示装置に対して、ロジック回路用ICを用いてコモン電源、負電源、階調規定電位を発生することができるので、電源回路からの電源出力数を減らすことができ、小配線数で実装容積が少なく安価な液晶表示装置とすることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態における液晶表示装置の回路構成を説明するためのブロック図面である。

【図2】本発明の実施の形態における液晶表示装置の詳

*細回路を説明するための図面である。

【図3】本発明の実施の形態における液晶表示装置のタイミングチャートを説明するための図面である。

【図4】従来の液晶表示装置の回路構成を説明するためのブロック図面である。

【符号の説明】

4：電位発生回路ブロック

11：第4の電源

12：階調電位群

13：コモン電源

17：インバータ回路

38：可変抵抗

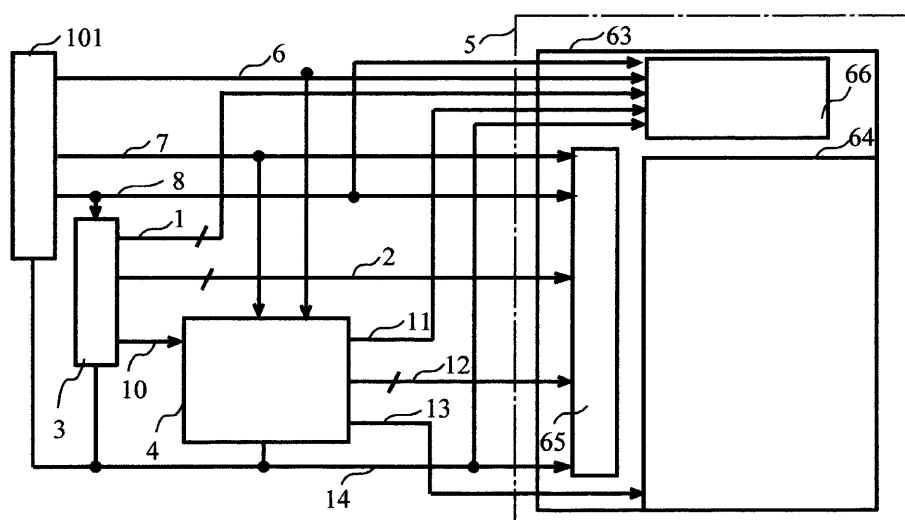
72：0ビット電位チャート

73：1ビット電位チャート

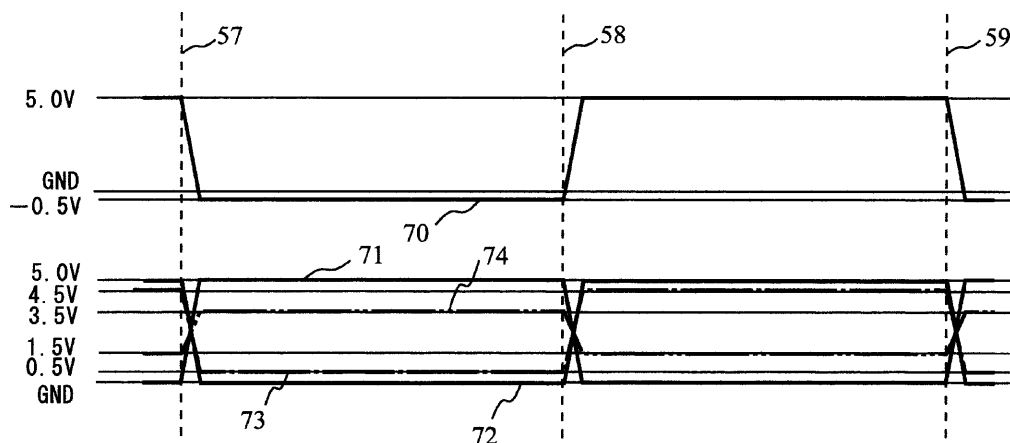
74：2ビット電位チャート

75：3ビット電位チャート

【図1】



【図3】



This schematic diagram illustrates a multi-channel system architecture. On the left, a vertical rectangular block labeled 100 represents a central processing unit or control system. It is connected to a series of horizontal lines representing channels. These channels are labeled 1, 6, 7, 8, 10, 14, 33, 81, 82, 83, and 84. Channel 10 is a feedback loop that returns from the output side to the input side. Channel 14 is a long horizontal line at the bottom. On the right, there are two main output blocks: a top block labeled 66 and a larger bottom block labeled 64. A vertical block labeled 63 is positioned between the channels and the output blocks. Arrows indicate the direction of signal flow from the central unit 100 through the channels to the output blocks 64 and 66. Some channels (1, 6, 7, 8, 10, 33, 81, 82, 83) terminate at block 63, while others (14, 84) terminate at block 64. Block 66 receives signals from channels 6, 7, 8, and 10.

F ターム(参考) 2H093 NA16 NA51 NC03 NC05 NC09
NC11 NC34 ND42 NG20
5C006 AC26 BC03 BC06 BC11 BF43
BF46 FA41 FA45
5C080 AA10 BB05 DD22 DD27 DD28
FF03 FF11 JJ02 JJ03 JJ04

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 液晶表示装置 | | |
| 公开(公告)号 | JP2003280608A | 公开(公告)日 | 2003-10-02 |
| 申请号 | JP2002084643 | 申请日 | 2002-03-26 |
| [标]申请(专利权)人(译) | 西铁城控股株式会社 | | |
| 申请(专利权)人(译) | 西铁城钟表有限公司 | | |
| [标]发明人 | 矢野敬和 高橋和壽 宮部光正 関口金孝 | | |
| 发明人 | 矢野 敬和 ▲高▼橋 和壽 宮部 光正 関口 金孝 | | |
| IPC分类号 | G02F1/133 G09G3/20 G09G3/36 | | |
| FI分类号 | G09G3/36 G02F1/133.520 G02F1/133.550 G09G3/20.612.D G09G3/20.612.E G09G3/20.612.F G09G3/20.624.C | | |
| F-TERM分类号 | 2H093/NA16 2H093/NA51 2H093/NC03 2H093/NC05 2H093/NC09 2H093/NC11 2H093/NC34 2H093/ND42 2H093/NG20 5C006/AC26 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BF43 5C006/BF46 5C006/FA41 5C006/FA45 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD27 5C080/DD28 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZD21 2H193/ZF03 | | |
| 外部链接 | Espacenet | | |

摘要(译)

需要具有各种电位的电源来驱动TFT型液晶显示装置。迄今为止，在大型的液晶显示装置中，由于需要面积引起的电流，因此从电源电路产生上述电位的电源。如果将该电路原样应用于小型液晶显示装置，则可以容易且可靠地进行驱动，但是在安装数量和价格上与大型液晶显示装置相同。为了解决上述问题，采用可以由5伏特驱动的逻辑通用IC作为公共电源，当从高电位电源向低电源产生电源时，该IC用于电平转换。该电势通过反相的输出之间的多个电阻器容易产生不同电势的信号。

