

(51) Int.Cl ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	621	G 0 9 G 3/20	5 C 0 8 0
	623	623 F	
		623 G	

審査請求 未請求 請求項の数 11 O L (全 11数) 最終頁に続く

(21)出願番号	特願2002 - 178008(P2002 - 178008)	(71)出願人	599127667 エルジー フィリップス エルシーディー カンパニー リミテッド 大韓民国 ソウル, ヨンドンポーク, ヨ イドードン 20
(22)出願日	平成14年6月19日(2002.6.19)	(72)発明者	リー, ソク ウー 大韓民国 ソウル, グロ - ク, オリュー 1 - ドン 338号
(31)優先権主張番号	2002 - 2090	(74)代理人	100109726 弁理士 園田 吉隆 (外 1 名)
(32)優先日	平成14年1月14日(2002.1.14)		
(33)優先権主張国	韓国(KR)		

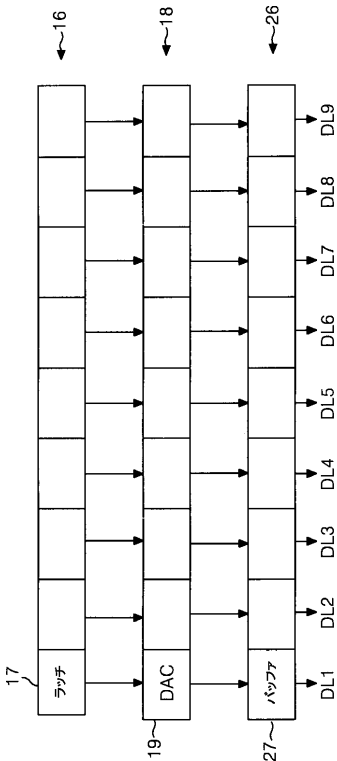
最終頁に続く

(54)【発明の名称】 液晶表示装置のデータ駆動装置及び方法

(57)【要約】

【目的】本発明はD A C部を時分割駆動して既存のチップ面積と比較して大きくチップ面積を増加させないか、むしろチップ面積を減少させながらデータ駆動 I C の出力チャンネル数を増加させることでデータ駆動 I C 及び T C P の数を減らすことができる液晶表示装置のデータ駆動装置及び方法を提供する。

【解決手段】本発明は、入力された画素データを時分割して供給するためのマルチプレクサ部と；マルチプレクサ部からの画素データを画素電圧信号に変換するためのデジタル・アナログ変換部と；デジタル・アナログ変換部からの画素電圧信号を複数の出力ラインに選択的に供給するためのディマルチプレクサ部と；ディマルチプレクサ部からの画素電圧信号をサンプリング及びホールディングして複数のデータラインに出力するためのサンプリング及びホールディング部とを具備することを特徴とする。



【特許請求の範囲】

【請求項 1】 入力された画素データを時分割して供給するためのマルチプレクサ部と、

前記マルチプレクサ部からの画素データを画素電圧信号に変換するためのデジタル・アナログ変換部と、

前記デジタル・アナログ変換部からの画素電圧信号を複数の出力ラインに選択的に供給するためのディマルチプレクサ部と、

前記ディマルチプレクサ部からの画素電圧信号をサンプリング及びホールディングして複数のデータラインに出力するためのサンプリング及びホールディング部とを具備することを特徴とする液晶表示装置のデータ駆動装置。

【請求項 2】 前記マルチプレクサ部は、少なくとも $2n/3$ 個のマルチプレクサを具備して少なくとも $2n$ 個の画素データを少なくとも $2n/3$ 個ずつ時分割して供給するマルチプレクサ・アレイであり、

前記デジタル・アナログ変換部は、前記少なくとも $2n/3$ 個のデジタル・アナログ変換器を具備して前記少なくとも $2n/3$ 個の画素データを画素電圧信号に変換するデジタル・アナログ変換アレイであり、

前記ディマルチプレクサは、少なくとも $2n/3$ 個のディマルチプレクサを具備して前記少なくとも $2n/3$ 個ずつの画素電圧信号を少なくとも $2n$ 個の出力ラインに選択的に供給するディマルチプレクサ・アレイであることを特徴とする請求項 1 に記載の液晶表示装置のデータ駆動装置。

【請求項 3】 サンプリング信号を順次発生するためのシフトレジスタ部と、

前記サンプリング信号に応じて前記少なくとも $2n$ 個の画素データを所定の単位ずつ順次ラッチして前記マルチプレクサ部に同時に出力するためのラッチ部と、

前記サンプリング及びホールディング部からの画素電圧信号をバッファして前記複数のデータラインに出力するためのバッファ部とを更に具備することを特徴とする請求項 2 に記載の液晶表示装置のデータ駆動装置。

【請求項 4】 前記デジタル・アナログ変換器はそれぞれ、

前記画素データを正極性の画素電圧信号に変換するための正極性部と、

負極性の画素電圧信号に変換するための負極性部と、正極性部及び負極性部の出力を選択するマルチプレクサとを具備することを特徴とする請求項 2 に記載の液晶表示装置のデータ駆動装置。

【請求項 5】 前記マルチプレクサはそれぞれ、第 1 乃至第 3 スイッチング制御素子のそれぞれに応じて少なくとも 3 個の画素データを 1 つのデジタル・アナログ変換器に時分割して供給するための第 1 乃至第 3 スイッチング素子を具備し、

前記ディマルチプレクサはそれぞれ、前記第 1 乃至第 3

スイッチング制御信号のそれぞれに応じて前記デジタル・アナログ変換器からの画素電圧信号を少なくとも 3 個の出力ラインに選択的に供給するための第 4 乃至第 6 スイッチング素子を具備することを特徴とする請求項 2 に記載の液晶表示装置のデータ駆動装置。

【請求項 6】 前記サンプリング及びホールディング部は、前記ディマルチプレクサ部の少なくとも $2n$ 個の出力ラインのそれぞれに接続された少なくとも $2n$ 個のサンプリング及びホルダを具備し、前記サンプリング及びホルダのそれぞれは、

前記ディマルチプレクサ部の出力ラインのそれぞれに並列に接続される第 1 及び第 2 サンプリング・スイッチング素子と、

前記サンプリング・スイッチング素子を經由した画素電圧信号を充電するための第 1 及び第 2 キャパシタと、

前記第 1 及び第 2 キャパシタに充電された画素電圧信号をホールディングした後、前記データラインに放電する第 1 及び第 2 ホールディング・スイッチング素子とを具備することを特徴とする請求項 2 に記載の液晶表示装置のデータ駆動装置。

【請求項 7】 前記第 1 キャパシタに充電される画素電圧信号をサンプリングする第 1 サンプリング・スイッチング素子と、前記第 2 キャパシタに充電された画素電圧信号をホールディング及び放電する第 2 ホールディング・スイッチング素子は、同一の第 1 スイッチング制御信号によって駆動され、

前記第 2 キャパシタに充電される画素電圧信号をサンプリングする第 2 サンプリング・スイッチング素子と、前記第 1 キャパシタに充電された画素電圧信号をホールディング及び放電する第 1 ホールディング・スイッチング素子は、前記第 1 スイッチング制御信号と論理状態が反転した同一の第 2 スイッチング制御信号によって駆動されることを特徴とする、請求項 6 に記載の液晶表示装置のデータ駆動装置。

【請求項 8】 マルチプレクサ部で入力された画素データを時分割して供給する段階と、

デジタル・アナログ変換部で前記マルチプレクサ部からの画素データを画素電圧信号に変換する段階と、

ディマルチプレクサ部で前記デジタル・アナログ変換部からの画素電圧信号を複数の出力ラインに選択的に供給する段階と、

サンプリング及びホールディング部で前記ディマルチプレクサ部からの画素電圧信号をサンプリング及びホールディングして複数のデータラインに出力する段階を含むことを特徴とする液晶表示装置のデータ駆動方法。

【請求項 9】 シフトレジスタ部でサンプリング信号を順次発生する段階と、

ラッチ部で前記サンプリング信号に応じて前記少なくとも $2n$ 個の画素データを所定の単位ずつ順次ラッチし、前記マルチプレクサ部に同時に供給する段階と、

前記サンプリング及びホールディング部で出力される前記画素電圧信号をバッファし、前記少なくとも 2n 個のデータラインに供給する段階を更に含むことを特徴とする請求項 8 に記載の液晶表示装置のデータ駆動方法。

【請求項 10】 前記マルチプレクサ部で前記画素データを時分割する段階は、第 1 乃至第 3 スイッチング制御信号に応じて少なくとも 2n 個の画素データを少なくとも 3 区間に時分割して供給する段階であり、前記ディマルチプレクサ部で前記画素電圧信号を複数の出力ラインに選択的に供給する段階は、前記第 1 乃至第 3 スイッチング制御信号に応じて前記画素電圧信号のそれぞれを少なくとも 3 個の出力ラインに選択的に供給する段階であることを特徴とする、請求項 8 に記載の液晶表示装置のデータ駆動方法。

【請求項 11】 前記サンプリング及びホールディング部に含まれるサンプリング及びホルダのそれぞれが、第 1 及び第 2 サンプリング・スイッチング素子と、第 1 及び第 2 キャパシタと、第 1 及び第 2 ホールディング・スイッチング素子とを具備し、前記サンプリング及びホールディング部で画素電圧信号をサンプリング及びホールディングする段階は、任意の水平期間で前記第 1 サンプリング・スイッチング素子が前記マルチプレクサ部からの画素電圧信号をサンプリングして前記第 1 キャパシタに充電にすると共に、同時に前記第 2 ホールディング・スイッチング素子が前記第 2 キャパシタに充電される前の水平期間の画素電圧信号を対応するデータラインに放電する段階と、次の水平期間で前記第 2 サンプリング・スイッチング素子が前記ディマルチプレクサ部からの画素電圧信号をサンプリングして前記第 2 キャパシタに充電すると共に、同時に前記第 1 ホールディング・スイッチング素子が前記第 1 キャパシタに充電される前の水平期間の画素電圧信号を対応するデータラインに放電する段階とを含むことを特徴とする、請求項 8 に記載の液晶表示装置のデータ駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に関するもので、特にデジタル・アナログ変換部を時分割駆動してデータ駆動集積回路とテープ・キャリア・パッケージの数を減らすことができる液晶表示装置のデータ駆動装置及び方法に関するものである。

【0002】

【従来の技術】通常の液晶表示装置は電界を利用して液晶の光透過率を調節することで画像を表示する。このために、液晶表示装置は液晶セルがマトリックス状に配列された液晶パネルと、この液晶パネルを駆動するための駆動回路とを具備する。液晶パネルにはそれぞれ複数のゲートラインとデータラインが交差して配列されて、その交差部に設けられる領域に液晶セルが配設される。こ

の液晶パネルには液晶セルのそれぞれに電界を印加するための複数の画素電極と共通電極が設けられる。画素電極のそれぞれはスイッチング素子である薄膜トランジスタのソース及びドレイン端子を経由してデータラインのいずれか 1 つに接続される。薄膜トランジスタのゲート端子は、画素電圧信号を 1 ライン分ずつの画素電極に印加するゲートラインの中のいずれか 1 つに接続される。駆動回路はゲートラインを駆動するためのゲートドライバと、データラインを駆動するためのデータドライバと、共通電極を駆動するための共通電圧発生部とを具備する。ゲートドライバはスキャン信号をゲートラインに順次供給し、液晶パネルの上の液晶セルを 1 ライン分ずつ順次駆動する。データドライバはゲートラインのいずれか 1 つにゲート信号が供給される毎にデータラインのそれぞれに画素電圧信号を供給する。共通電圧発生部は共通電極に共通電圧信号を供給する。これにより、液晶表示装置は、液晶セル別に画素電圧信号が画素電極と共通電極の間に印加した電界により、光透過率を調節することで画像を表示する。データドライバとゲートドライバは多数個の集積回路（以下、IC という）に集積化される。集積化されたデータドライバ IC とゲートドライバ IC のそれぞれはテープ・キャリア・パッケージ（以下、TCP という）に実装されて、タブ（TAB: Tape Automated Bonding）方式で液晶パネルに接続されるか、COG（Chip On Glass）方式で液晶パネル上に実装される。

【0003】図 1 は従来の液晶表示パネル装置を概念的に図示しており、データ TCP（6）を通して液晶パネル（2）に接続された複数のデータ駆動 IC（4）と、TCP（6）を通してデータ駆動 IC（4）に接続されたデータ印刷回路基板（以下、PCB という）（8）とを具備する。

【0004】データ PCB（8）は、タイミング制御部（図示しない）から供給される各種の制御信号及びデータ信号とパワー部（図示しない）からの駆動電圧信号を入力してデータ駆動 IC（4）に中継する役割を有する。TCP（6）は液晶パネル（2）の上段部に設けられたデータパッドに電氣的に接続されると共に、データ PCB（8）に設けられた出力パッドに電氣的に接続される。データ駆動 IC（4）はデジタル信号である画素データ信号を、アナログ信号である画素電圧信号に変換して液晶パネル（2）上のデータラインに供給する。

【0005】このために、データ駆動 IC（4）のそれぞれは、図 2 に図示されるように、サンプリング信号が順次供給されるシフトレジスタ部（14）と、サンプリング信号に応じて画素データ（VD）を順次ラッチし、同時に出力するラッチ部（16）と、ラッチ部（16）からの画素データ（VD）を画素電圧信号に変換するデジタル・アナログ変換部（以下、DAC 部という）（18）と、DAC（18）からの画素電圧信号を緩衝して

出力する出力バッファ部(26)とを具備する。また、データ駆動IC(4)は、タイミング制御部(図示しない)から供給される各種の制御信号と画素データ(VD)を中継する信号制御部(10)と、DAC部(18)で必要とする正極性及び負極性ガンマ電圧を供給するガンマ電圧部(12)とを更に具備する。このような構成を有するデータ駆動IC(4)のそれぞれは、n個ずつのデータライン(DL1乃至DLn)を駆動する。

【0006】信号制御部(10)は、タイミング制御部(図示しない)からの各種の制御信号(SSC、SSP、SOE、POLなど)と画素データ(VD)が各構成要素に出力されるように制御する。

【0007】ガンマ電圧部(12)は、ガンマ基準電圧発生部(図示しない)から入力される複数のガンマ基準電圧をグレイ別に細分化して出力する。

【0008】シフトレジスタ部(14)に含まれるn/6個のシフトレジスタは、信号制御部(10)からのソース・スタート・パルス(SSP)をソース・サンプリング・クロック信号(SSC)により順次シフトさせ、サンプリング信号として出力する。

【0009】ラッチ部(16)は、シフトレジスタ部(14)からのサンプリング信号に応じて信号制御部(10)からの画素データ(VD)を一定の単位ずつ順次サンプリングしてラッチする。このために、ラッチ部はn個の画素データ(VD)をラッチするためのn個のラッチで構成されており、該ラッチのそれぞれは画素データ(VD)のビット数(3ビットまたは6ビット)に対応する大きさを有する。特にタイミング制御部(図示しない)は、伝送周波数を減らすため、画素データ(VD)を偶数画素データと奇数画素データに分けて伝送ラインを通して同時に出力する。ここで、偶数画素データと奇数画素データのそれぞれは、赤(R)、緑(G)、青(B)の画素データを含む。これによりラッチ部(16)は、サンプリング信号毎に信号制御部(10)を経由して供給される偶数画素データと奇数画素データ、即ち6個の画素データを同時にラッチする。続いて、ラッチ部(16)は信号制御部(10)からのソース出力イネーブル信号(SOE)に応じてラッチされたn個の画素データ(VD)を同時に出力する。この場合、ラッチ部(16)はデータ反転選択信号(REV)に応じてトランジション・ビット数を減らすように修正された画素データ(VD)を復元させ出力する。これは、タイミング制御部におけるデータ伝送の際の電氣的な干渉(EMI)を最小化するために、トランジションされるビット数が基準値を超えないようトランジション・ビット数を減らすように画素データ(VD)を修正して供給するためである。

【0010】DAC部(18)はラッチ部(16)からの画素データ(VD)を同時に正極性及び負極性の画素電圧信号に変換して出力する。このために、DAC部

(18)はラッチ部(16)に共通接続されたP(Positive)デコーディング部(20)及びN(Negative)デコーディング部(22)と、Pデコーディング部(20)及びNデコーディング部(22)の出力信号を選択するためのマルチプレクサ(MUX; 24)とを具備する。

【0011】Pデコーディング部(20)に含まれるn個のPデコーダは、ラッチ部(16)から同時に入力されるn個の画素データを、ガンマ電圧部(12)からの正極性のガンマ電圧を利用して、正極性の画素電圧信号に変換する。Nデコーディング部(22)に含まれるn個のNデコーダは、ラッチ部(16)から同時に入力されるn個の画素データを、ガンマ電圧部(12)からの負極性のガンマ電圧を利用して、負極性の画素電圧信号に変換する。マルチプレクサ(24)は信号制御部(10)からの極性の制御信号(POL)に応じてPデコーダ(20)からの正極性の画素電圧信号またはNデコーダ(22)からの負極性の画素電圧信号を選択して出力する。

【0012】出力バッファ部(26)に含まれるn個の出力バッファは、n個のデータライン(DL1乃至DLn)にそれぞれ直列に接続されて電圧追従機を構成する。このような出力バッファはDAC部(18)からの画素電圧信号を信号緩衝し、データライン(DL1乃至DLn)に供給する。

【0013】図3は、図2に図示されたデータ駆動IC(4)内の一部の画素データの伝送経路を具体的に図示している。

【0014】図3でラッチ部(16)のラッチ(17)は9個の画素データをDAC部(18)を構成する9個のDAC(デジタル・アナログ変換器)(19)のそれぞれに出力して画素電圧信号に変換する。画素電圧信号は出力バッファ部(26)のバッファ(27)を通して第1乃至第9データライン(DL1乃至DL9)のそれぞれに供給される。

【0015】このように、従来のデータ駆動ICのそれぞれは、n個のデータライン(DL1乃至DLn)を駆動するためにPデコーダ及びNデコーダとマルチプレクサのそれぞれを含むn個のDACとを具備しなければならない。このために、データ駆動ICの構成が複雑になり、製造単価が相対的に高くなる。したがって、液晶表示装置の製造費用を節減するためにデータ駆動ICの数を減らすことが要求される。

【0016】データ駆動ICの数を減らす方法にデータ駆動ICが駆動することができるデータラインの数、即ち出力チャネル数を増加させる方法が検討されている。しかし、データ駆動ICの駆動チャネル数を増加させる場合、複雑な構成のDAC数が増加するので、チップ面積が増大することにより面積に比例してTCPの費用が上昇するだけでなく、集積化が難しく、製造費用及び不

良率の上昇などの問題点を生じる。

【0017】

【発明が解決しようとする課題】従って、本発明の目的は、DAC部を時分割駆動し、既存のチップ面積と比較して大きくチップ面積を増加させないか、むしろチップ面積を減少させながらデータ駆動ICの出力チャネル数を増加させることで、データ駆動IC及びTCPの数を減らすことができる液晶表示装置のデータ駆動装置及び方法を提供することである。

【0018】

【課題を解決するための手段】前記目的を達成するために、本発明による液晶表示装置のデータ駆動装置は、入力された画素データを時分割して供給するためのマルチプレクサ部と、マルチプレクサ部からの画素データを画素電圧信号に変換するためのデジタル・アナログ変換部と、デジタル・アナログ変換部からの画素電圧信号を多数の出力ラインに選択的に供給するためのディマルチプレクサ部と、ディマルチプレクサ部からの画素電圧信号をサンプリング及びホールディングして複数のデータラインに出力するためのサンプリング及びホールディング部とを具備することを特徴とする。

【0019】ここで、第1マルチプレクサ・アレイは、少なくとも $2n/3$ 個のマルチプレクサを具備し、少なくとも $2n$ 個の画素データを少なくとも $2n/3$ 個ずつ時分割して供給し、デジタル・アナログ変換のアレイは、少なくとも $2n/3$ 個のデジタル・アナログ変換器と、少なくとも $2n/3$ 個の画素データを画素電圧信号に変換するための前記少なくとも $2n/3$ 個のデジタル・アナログ変換器を具備し、ディマルチプレクサ・アレイは少なくとも $2n/3$ 個のディマルチプレクサを具備して少なくとも $2n/3$ 個ずつの画素電圧信号を少なくとも $2n$ 個以上の出力ラインに選択的に供給することを特徴とする。

【0020】また、本発明の液晶表示装置のデータ駆動装置は、サンプリング信号を順次発生するためのシフト・レジスタ部と、サンプリング信号に応じて少なくとも $2n$ 個以上の画素データを所定の単位ずつ順次ラッチしてマルチプレクサ部に同時に出力するためのラッチ部と、サンプリング及びホールディング部からの画素電圧信号をバッファして複数のデータラインに出力するためのバッファ部とを更に具備することを特徴とする。

【0021】また、デジタル・アナログ変換器のそれぞれは、画素データを正極性の画素電圧信号に変換するための正極性部と、負極性の画素電圧信号に変換するための負極性部と、正極性部及び負極性部の出力を選択するマルチプレクサとを具備することを特徴とする。

【0022】特に、マルチプレクサのそれぞれは、第1乃至第3スイッチング制御素子のそれぞれに応じて少なくとも3個の画素データを1つのデジタル・アナログ変換器に時分割して供給するための第1乃至第3スイッチ

ング素子を具備し、ディマルチプレクサのそれぞれは、前記第1乃至第3スイッチング制御信号のそれぞれに応じてデジタル・アナログ変換器からの画素電圧信号を、少なくとも3個の出力ラインに選択的に供給するための第4乃至第6スイッチング素子を具備することを特徴とする。

【0023】サンプリング及びホールディング部はディマルチプレクサ部の少なくとも $2n$ 個の出力ラインのそれぞれに接続される少なくとも $2n$ 個のサンプリング及びホルダとを具備し、サンプリング及びホルダのそれぞれは前記ディマルチプレクサ部の出力ラインのそれぞれに並列に接続される第1及び第2サンプリング・スイッチング素子と、サンプリング・スイッチング素子を経由した画素電圧信号を充電するための第1及び第2キャパシタと、第1及び第2キャパシタに充電された画素電圧信号がホールディングされるようにした後、データラインに放電されるようにする第1及び第2ホールディング・スイッチング素子とを具備することを特徴とする。

【0024】ここで、第1キャパシタに充電される画素電圧信号をサンプリングする第1サンプリング・スイッチング素子と、第2キャパシタに充電された画素電圧信号をホールディング及び放電させる第2ホールディング・スイッチング素子は、同一の第1スイッチング制御信号に応じて駆動され、第2キャパシタに充電される画素電圧信号をサンプリングする第2サンプリング・スイッチング素子と、第1キャパシタに充電された画素電圧信号をホールディング及び放電させる第1ホールディング・スイッチング素子は、第1スイッチング制御信号と論理状態を反転する同一の第2スイッチング制御信号に応じて駆動されることを特徴とする。

【0025】本発明による液晶表示装置のデータ駆動方法は、マルチプレクサ部で入力された画素データを時分割して供給する段階と、デジタル・アナログ変換部でマルチプレクサ部からの画素データを画素電圧信号に変換する段階と、ディマルチプレクサ部でデジタル・アナログ変換部からの画素電圧信号を多数の出力ラインに選択的に供給する段階と、サンプリング及びホールディング部でディマルチプレクサ部からの画素電圧信号をサンプリング及びホールディングして複数のデータラインに出力する段階を含むことを特徴とする。

【0026】また、本発明の液晶表示装置のデータ駆動方法は、シフトレジスタ部でサンプリング信号を順次発生する段階と、ラッチ部でサンプリング信号に応じて少なくとも $2n$ 個の画素データを所定の単位ずつ順次ラッチし、マルチプレクサ部に同時に供給する段階と、サンプリング及びホールディング部で出力される画素電圧信号をバッファして少なくとも $2n$ 個のデータラインに供給する段階を更に含むことを特徴とする。

【0027】そして、マルチプレクサ部で画素データを時分割する段階は、第1乃至第3スイッチング制御信号

に応じて少なくとも $2n$ 個の画素データを少なくとも 3 区間に時分割して供給する段階であり、ディマルチプレクサ部で画素電圧信号を複数の出力ラインに選択的に供給する段階は、第 1 乃至第 3 スイッチング制御信号に応じて画素電圧信号のそれぞれを少なくとも 3 個の出力ラインに選択的に供給する段階であることを特徴とする。

【0028】また、サンプリング及びホールディング部に含まれるサンプリング及びホルダのそれぞれが、第 1 及び第 2 サンプリング・スイッチング素子と、第 1 及び第 2 キャパシタと、第 1 及び第 2 ホールディング・スイッチング素子とを具備し、サンプリング及びホールディング部で画素電圧信号をサンプリング及びホールディングされるようにする段階は、任意の水平期間で第 1 サンプリング・スイッチング素子がマルチプレクサ部からの画素電圧信号をサンプリングし、第 1 キャパシタに充電されるようにすると共に、同時に第 2 ホールディング・スイッチング素子が前記第 2 キャパシタに充電される前の水平期間の画素電圧信号に対応するデータラインに放電されるようにする段階と、次の水平期間で第 2 サンプリング・スイッチング素子が前記ディマルチプレクサ部からの画素電圧信号をサンプリングし、第 2 キャパシタに充電されるようにすると共に、同時に第 1 ホールディング・スイッチング素子が前記第 1 キャパシタに充電される前の水平期間の画素電圧信号に対応するデータラインに放電されるようにする段階を含むことを特徴とする。

【0029】

【作用】本発明による液晶表示装置のデータ駆動装置及び方法は、DAC 部を時分割駆動することで、既存のチップ面積に比較して大きくチップ面積を増加させないか、むしろチップ面積を減少させながらデータ駆動 IC の出力のチャネル数を従来対比 2 倍に増加させることができる。これにより、本発明による液晶表示装置のデータ駆動装置及び方法によると、データ駆動 IC のチャネル数を増加させ、データ駆動 IC 及び T C P の数を従来比 $1/2$ に減らすことができるので、液晶表示装置の製造費用を低くすることができる。

【0030】

【発明の実施態様】以下、図 4 乃至図 8 を参照して本発明の好ましい実施例に対して説明する。

【0031】図 4 は本発明の実施例による LCD のデータ駆動装置を図示したブロック図である。

【0032】図 4 に図示された LCD のデータ駆動装置は、順次サンプリング信号を供給するシフト・レジスタ部 (34) と、サンプリング信号に応答して画素データ (VD) を順次ラッチして同時に出力するラッチ部 (36) と、ラッチ部 (36) からの画素データ (VD) を時分割して供給するマルチプレクサ部 (38) と、マルチプレクサ部 (38) からの画素データ信号 (VD) を画素電圧信号に変換する DAC 部 (40) と、出力ライ

ンを時分割駆動して DAC (40) からの画素電圧信号を供給するディマルチプレクサ部 (42) と、ディマルチプレクサ部 (42) から入力される画素電圧信号をサンプリング及びホールディングしてデータライン (DL1 乃至 DL2n) に同時に供給するサンプリング及びホールディング部 (44) とを具備する。また、データ駆動装置はタイミング制御部 (図示しない) から供給される制御信号と画素データ (VD) を中継する信号制御部 (30) と、DAC 部 (40) で必要とする正極性及び負極性のガンマ電圧を供給するガンマ電圧部 (32) とを更に具備する。このような構成を有するデータ駆動装置は、1 つのデータ駆動 IC に集積化されて従来のデータ駆動 IC と比較して 2 倍に増加された $2n$ 個のデータライン (DL1 乃至 DL2n) を駆動する。

【0033】信号制御部 (30) は、タイミング制御部 (図示しない) からの各種の制御信号 (SSC、SSP、SOE、POL など) と、画素データ (VD) が対応する構成要素などに出力されるように制御する。

【0034】ガンマ電圧部 (32) は、ガンマ基準電圧発生部 (図示しない) から入力される複数個のガンマ基準電圧をグレイ別に細分化して出力する。

【0035】シフトレジスタ部 (34) に含まれるシフトレジスタは、信号制御部 (30) からのソース・スタート・パルス (SSP) をソース・サンプリング・クロック信号 (SSC) により順次シフトさせ、サンプリング信号に出力する。

【0036】ラッチ部 (36) は、シフトレジスタ部 (34) からのサンプリング信号に応じて信号制御部 (30) からの画素データ (VD) を一定の単位ずつ順次サンプリングしてラッチする。このためにラッチ部 (36) は、図 5 に図示したように、 $2n$ 個の画素データ (VD) をラッチするために $2n$ 個のラッチ (46) に構成され、該ラッチ (46) のそれぞれは画素データ (VD) のビット数 (3 ビットまたは 6 ビット) に対応する大きさを有する。このようなラッチ部 (36) はサンプリング信号毎に信号制御部 (30) を経由して供給される偶数画素データと奇数画素データ、即ち 6 個の画素データを同時にラッチする。続いてラッチ部 (36) は、信号制御部 (30) からのソース出力イネーブル信号 (SOE) に応じてラッチされた $2n$ 個の画素データ (VD) を同時に出力する。この場合、ラッチ部 (36) はデータ反転選択信号 (REV) に応じてトランジション・ビット数が減少するように修正された画素データ (VD) を復元させ出力する。

【0037】マルチプレクサ部 (36) はラッチ部 (36) から入力される $2n$ 個の画素データを時分割して出力する。この $2n$ 個の画素データを 3 区間に時分割する場合、マルチプレクサ部 (36) は図 5 に図示したように 3 個ずつのラッチ (46) に接続された $2n/3$ 個のマルチプレクサ (46) を具備する。マルチプレクサ

(46)のそれぞれは、3個ずつのラッチ(46)から入力された画素データを時分割し、1つの出力ラインに順次供給する。さらに詳細には、マルチプレクサ部(36)はラッチ部(36)から入力される2n個の画素データを2n/3個ずつ時分割してDAC部(40)に出力する。

【0038】DAC部(40)はマルチプレクサ部(38)から入力される画素データを正極性及び負極性の画素電圧信号に変換し、極性制御信号(POL)に応じて正極性及び負極性の画素電圧信号を選択的に出力する。このために、DAC部(40)は、図5に図示したように、マルチプレクサ(48)のような2n/3個のDAC(50)を具備する。DAC(50)のそれぞれは、マルチプレクサ(48)に共通接続されたPデコーダ及びNデコーダと、Pデコーダ及びNデコーダの出力信号を選択するためのマルチプレクサとを具備する。Pデコーダは画素データをガンマ電圧部(34)からの正極性のガンマ電圧を利用して正極性の画素電圧信号に変換する。Nデコーダは画素データをガンマ電圧部(34)からの負極性のガンマ電圧を利用して負極性の画素電圧信号に変換する。マルチプレクサは信号制御部(32)からの極性制御信号(POL)に応じて正極性の画素電圧信号又は負極性の画素電圧信号を選択して出力する。

【0039】ディマルチプレクサ部(42)は出力ラインを時分割駆動してDAC部(40)からの画素電圧信号を選択的に供給する。このために、ディマルチプレクサ部(42)は、図5に図示したように、DAC(50)と同様に2n/3個のディマルチプレクサ(52)を具備する。ディマルチプレクサ(52)のそれぞれは、3個の出力ラインを時分割駆動してDAC(50)から供給される画素電圧信号を選択的に供給する。さらに詳細には、ディマルチプレクサ部(42)はDAC(40)から入力される2n/3個ずつの画素電圧信号を異なる出力ラインに順次サンプリング及びホールディング部(44)に出力する。

【0040】サンプリング及びホールディング部(44)は、ディマルチプレクサ部(42)から入力される画素電圧信号をサンプリングしてホールディングした後、データライン(DL1乃至DL2n)に同時に出力する。このために、サンプリング及びホールディング部(44)は、図5に図示されたように、データライン(DL1乃至DL2n)と同一の2n個のサンプリング及びホルダ(54)を具備する。サンプリング及びホルダ(54)のそれぞれは、ディマルチプレクサ(52)から時間差を置いて入力される画素電圧信号をサンプリングしてホールディングした後、データライン(DL1乃至DL2n)のそれぞれに同時に出力する。さらに詳細には、サンプリング及びホールディング部(44)はディマルチプレクサ部(42)から2n/3個ずつ入力される画素電圧信号をサンプリングしてホールディング

した後、2n個の画素電圧信号がすべてサンプリングされると画素電圧信号などを第1乃至第2nデータライン(DL1乃至DL2n)に同時に出力する。

【0041】図6は、図5に図示されたデータ駆動IC内における3個のR、G、B画素データに対する伝送経路を具体的に図示しており、図7は図6に図示された構成要素の駆動を制御する制御信号を図示している。

【0042】図6で3個のラッチ(46)のそれぞれは、タイミング制御部(図示しない)から図4に図示された信号制御部(30)を経由して、出力イネーブル信号(SOE)に応じたR、G、B画素データをマルチプレクサ(48)に出力する。出力イネーブル信号(SOE)には、通常、図7に図示されたように、1水平期間(1H)毎にラッチ(46)に共通的に供給される。

【0043】マルチプレクサ(48)は3個のラッチ(46)から入力されるR、G、B画素データを時分割し、1つのDAC(50)に順次供給する。このために、マルチプレクサ(48)は入力ラインが3個のラッチ(46)のそれぞれに接続されて、出力ラインが1つのDAC(50)に共通接続された第1乃至第3スイッチ(56、58、60)とを具備する。第1乃至第3スイッチ(56、58、60)は、タイミング制御部から信号制御部(30)を経由して入力される第1乃至第3スイッチ制御信号(SW1、SW2、SW3)のそれぞれに応じてラッチ(46)からの画素データを出力する。例えば、第1乃至第3スイッチ(56、58、60)は、図7に図示されたように、順次イネーブルされる第1乃至第3スイッチ制御信号(SW1、SW2、SW3)に応じてラッチ(46)から入力されたR、G、B画素データを、順次1つのDAC(50)に出力する。

【0044】DAC(50)はマルチプレクサ(48)から入力されるR、G、B画素データをR、G、B画素電圧信号に変換し、ディマルチプレクサ(52)に出力する。

【0045】ディマルチプレクサ(52)は、DAC(50)から順次入力されるR、G、B画素電圧信号を、相互に異なる出力ラインを通して3個のサンプリング及びホルダ(54)のそれぞれに出力する。このために、ディマルチプレクサ(52)は入力ラインが1つのDAC(50)の出力ラインに共通に接続され、出力ラインが3個のサンプリング及びホルダ(54)のそれぞれに接続された、第4乃至第6スイッチ(62、64、66)とを具備する。第4乃至第6スイッチ(62、64、66)は、タイミング制御部から信号制御部(30)を経由して入力される第1乃至第3スイッチ制御信号(SW1、SW2、SW3)のそれぞれに応じてDAC(50)からの画素データを相互に異なる出力ラインを通して出力する。この場合、ディマルチプレクサ(52)は、マルチプレクサ(48)と同一の第1乃至第3

スイッチ制御信号(SW1、SW2、SW3)を利用する。例えば、第4乃至第6スイッチ(62、64、66)は、図7に示したように、順次イネーブルされる第1乃至第3スイッチ制御信号(SW1、SW2、SW3)に応じてDAC(50)から順次入力されるR、G、B画素電圧信号を、3個のサンプリング及びホルダ(54)に分離して供給する。

【0046】3個のサンプリング及びホルダ(54)は、ディマルチプレクサ(52)から順次入力されるR、G、B画素電圧信号をサンプリングしてホールディングした後、同時に第1乃至第3データライン(DL1乃至DL3)のそれぞれに出力する。このためにサンプリング及びホルダ(54)は、入力ラインがディマルチプレクサ(52)の1つの出力ラインに共通接続された第7及び第8スイッチ(68、70)と、第7及び第8スイッチ(68、70)のそれぞれの出力ラインに接続された第1及び第2キャパシタ(Ca、Cb)と、入力ラインが1つのデータライン(DL)に共通接続された第9及び第10スイッチ(72、74)とを具備する。また、サンプリング及びホルダ(54)は、第9及び第10スイッチ(72、74)の出力ラインとデータラインの間に接続されたバッファ(76)とを更に具備する。

【0047】対角線方向に位置する第7及び第10スイッチ(68、74)は、同一の第4スイッチ制御信号(SW4)にตอบสนองし、第8及び第9スイッチ(70、72)は第4スイッチ制御信号(SW4)と相反した論理状態を有する第5スイッチ制御信号(SW5)にตอบสนองする。第4及び第5スイッチ制御信号(SW4、SW5)は、異なる制御信号とタイミング制御部から信号制御部(30)を通して供給される。第1及び第2キャパシタ(Ca、Cb)は互いに異なる、即ち時間的に隣接した水平ラインのデータを充電する。

【0048】例えば、1水平期間を示す図7に図示されるように、ハイ状態に供給される第4スイッチ制御信号(SW4)に応じて第7及び第10スイッチ(68、74)がターン・オンされる。これにより、ターン・オンされた第7スイッチ(68)により、ディマルチプレクサ(52)から供給される画素電圧信号がサンプリングされ、第1キャパシタ(Ca)に充電されてホールディングされる。これと同時に、直前の水平期間に第2キャパシタ(Cb)に充電されていた画素電圧信号がターン・オンされた第10スイッチ(74)とバッファ(76)を経由してデータライン(DL)に供給される。

【0049】次に、1水平期間を示す図7に図示されるように、ハイ状態に供給される第5スイッチ制御信号(SW5)にตอบสนองして第8及び第9スイッチ(70、72)がターン・オンされる。これにより、ターン・オンされた第8スイッチ(70)によりディマルチプレクサ(52)から供給される画素電圧信号がサンプリングさ

れ、第2キャパシタ(Cb)に充電されてホールディングされる。これと同時に、直前の水平期間で第1キャパシタ(Ca)に充電されていた画素電圧信号が、ターン・オンされた第9スイッチ(72)とバッファ(76)を経由して対応するデータライン(DL)に供給される。

【0050】このように、サンプリング及びホルダ(54)が、画素電圧信号のサンプリングのための一対の第7及び第8スイッチ(68、70)と、画素電圧信号の充電のための一対の第1及び第2キャパシタ(Ca、Cb)と、画素電圧信号のホールディングのための一対の第9及び第10スイッチ(72、74)とを具備し、それぞれ相互交替的に駆動されるようにすることで、サンプリング及びホールディングの動作による信号遅延を防止することができる。

【0051】以上説明したように、本発明の実施例によるデータ駆動ICは、DAC部の時分割駆動でDAC数を少なくとも1/3に減らすことにより、IC内でDAC部が占める空間を減らす。これにより、既存のチップ面積と比較して大きくチップ面積を増加させないか、むしろチップ面積を減少させながら、データ駆動ICが駆動するデータラインの数、即ち出力チャネル数を従来対比2倍に増加させることが可能になり、よってデータ駆動ICとそれに実装されるTCPの数を1/2に減らすことができる。

【0052】さらに詳細には、図8に図示されたように、2倍の出力チャネルを有するデータ駆動IC(82)がTCP(84)上に実装されて液晶パネル(80)に接続される。

【0053】例えば、SXGAモード(1280*1024)の液晶パネル(80)を駆動するために、従来では384チャネルデータ駆動IC10個を必要とした反面、前述した本発明のデータ駆動IC(82)を使用する場合、チップ面積の増大させることなく768チャネルを確保することができるので、1/2である5個のデータ駆動IC(82)だけが必要となる。これにより、データ駆動IC(82)及びTCP(84)の数を従来より少なくとも1/2に減らすことができるので、液晶表示装置の製造費用を低くすることができる。

【0054】

【発明の効果】上述したように、本発明による液晶表示装置のデータ駆動装置及び方法では、DAC部を時分割駆動して、既存のチップ面積と比較して大きくチップ面積を増加させないか、むしろチップ面積を減少させながら、データ駆動ICの出力チャネル数を増加させることができる。これにより、本発明による液晶表示装置のデータ駆動装置及び方法によると、データ駆動ICのチャネル数を増加させることにより、データ駆動IC及びTCPの数を従来対比1/2に減らすことができるので、液晶表示装置の製造費用を低くすることができるように

なる。

【0055】以上説明した内容を通し、当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることが分かる。従って、本発明の技術的な範囲は、明細書の詳細な説明に記載された内容に限定されず、特許請求の範囲によって定められなければならない。

【図面の簡単な説明】

【図1】 図1は従来の液晶表示装置のデータ駆動装置を概略的に図示した図面である。

【図2】 図2は図1に図示されたデータ駆動集積回路の詳細な構成を図示したブロック図である。

【図3】 図3は図2に図示されたデータ駆動集積回路内で一部のデータ伝送経路を具体的に図示した図面である。

【図4】 図4は本発明の実施例による液晶表示装置のデータ駆動集積回路の構成を図示したブロック図である。

【図5】 図5は図4に図示されたデータ駆動集積回路内で一部のデータ伝送経路を図示した図面である。

【図6】 図6は図5に図示されたサンプリング及びホルダの構成を具体化し、データ伝送経路を図示した図面である。

【図7】 図7は図6に図示されたスイッチを制御するスイッチ制御信号の波形図である。

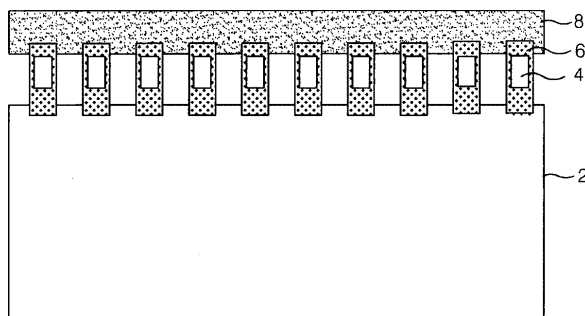
【図8】 図8は本発明によるデータ駆動集積回路を含*

*む液晶表示装置のデータ駆動装置を概略的に図示した図面である。

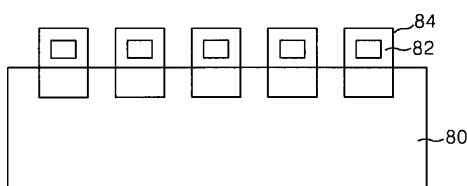
【符号の説明】

- 2、80：液晶パネル
- 4、82：データ駆動集積回路（IC）
- 6、84：テープ・キャリア・パッケージ（TCP）
- 8：データ印刷回路基板（PCB）
- 10、30：信号制御部
- 12、32：ガンマ電圧部
- 14、34：シフト・レジスタ部
- 16、36：ラッチ部
- 17、46：ラッチ
- 18、40：デジタル・アナログ変換（DAC）部
- 19、50：デジタル・アナログ変換器（DAC）
- 20：Pデコーディング部
- 22：Nデコーディング部
- 24、38：マルチプレクサ（MUX）部
- 26：出力バッファ部
- 27、76：バッファ
- 42：ディマルチプレクサ（DEMUX）部
- 44：サンプリング及びホールディング部
- 48：マルチプレクサ（MUX）
- 52：ディマルチプレクサ（DEMUX）
- 54：サンプリング及びホルダ
- 56、58、60、62、64、66、68、70、72、74：スイッチ

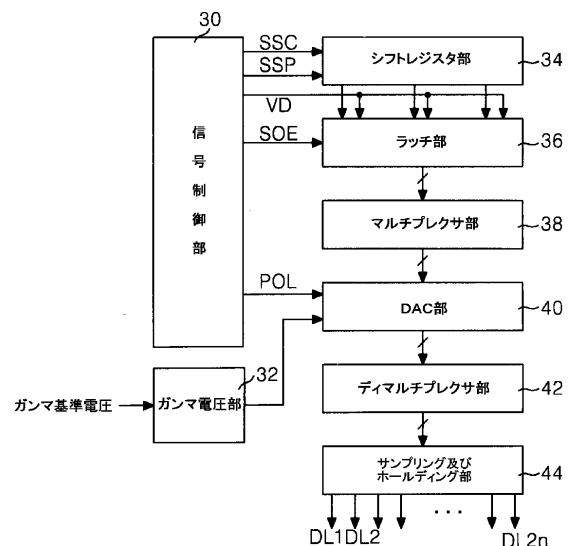
【図1】



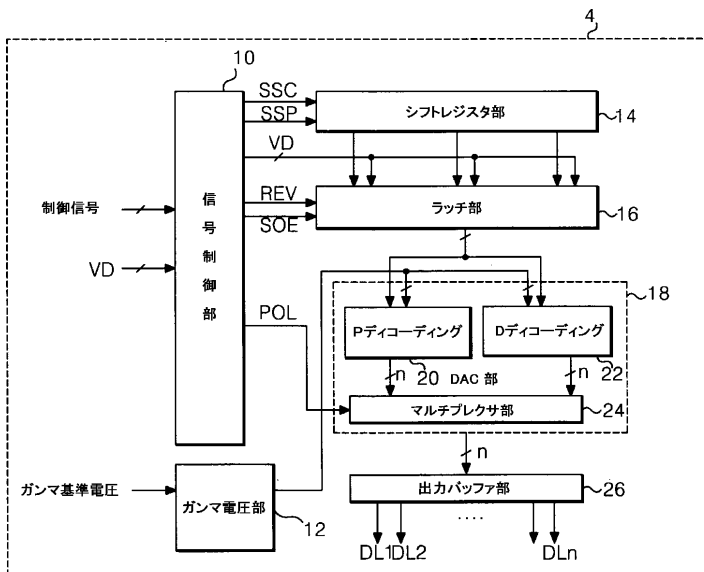
【図8】



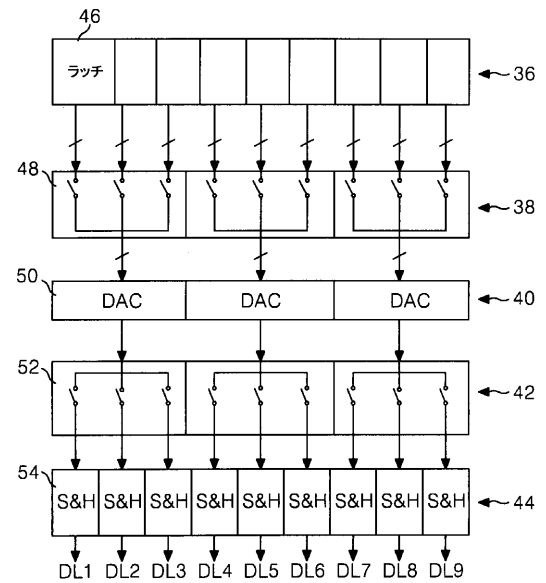
【図4】



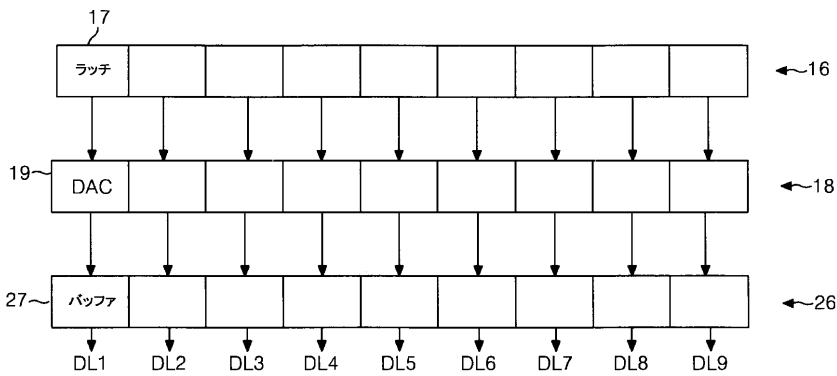
【図2】



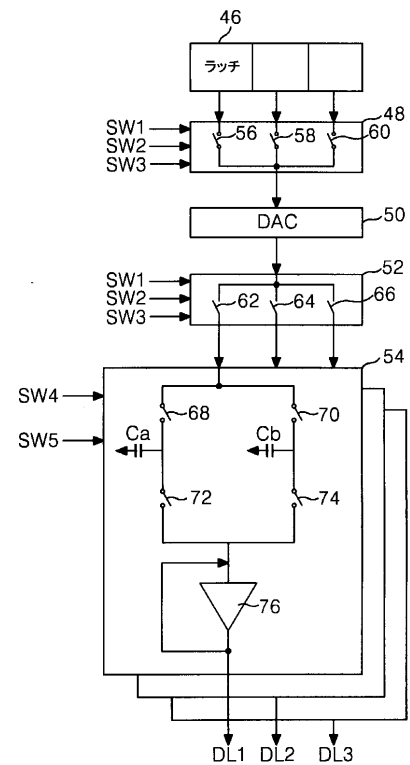
【図5】



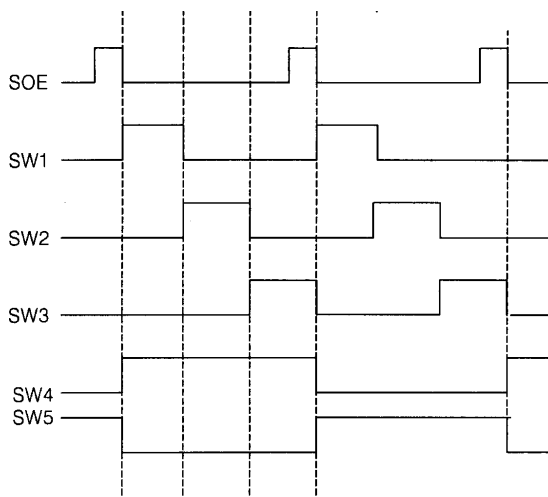
【図3】



【図6】



【図7】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ド ⁸ (参考)
G 0 9 G	3/20	G 0 9 G	3/20
			6 2 3 H
			6 2 3 L
	6 4 1		6 4 1 C
	6 8 0		6 8 0 G
(72)発明者	ソン , ジン キョン 大韓民国 キョンサンブク - ドー , クミ - シ , ジンピュン - ドン , イニユイジ グ 82ビー 2 エル , シンスン ヴィラ 303号	F タ-ム(参考)	2H093 NA16 NC13 NC22 NC23 NC24 NC25 NC26 NC27 NC28 NC34 ND03 ND39 ND42 ND50 NE07 5C006 AA16 AA22 AF25 AF43 AF46 AF71 AF82 BB16 BC02 BC12 BC13 BF03 BF04 BF11 BF24 BF25 BF37 EB05 FA16 FA42 FA43 FA51 5C080 AA10 BB05 CC03 DD12 DD23 DD25 DD26 DD28 EE29 FF11 GG11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	液晶显示装置的数据驱动装置和方法		
公开(公告)号	JP2003208135A	公开(公告)日	2003-07-25
申请号	JP2002178008	申请日	2002-06-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	リーソクウー ソンジンキョン		
发明人	リー, ソク ウー ソン, ジン キョン		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3685 G09G3/3688 G09G2310/027 G09G2310/0297 G09G2352/00		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.M G09G3/20.623.F G09G3/20.623.G G09G3/20.623.H G09G3/20.623.L G09G3/20.641.C G09G3/20.680.G		
F-TERM分类号	2H093/NA16 2H093/NC13 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC25 2H093/NC26 2H093/NC27 2H093/NC28 2H093/NC34 2H093/ND03 2H093/ND39 2H093/ND42 2H093/ND50 2H093/NE07 5C006/AA16 5C006/AA22 5C006/AF25 5C006/AF43 5C006/AF46 5C006/AF71 5C006/AF82 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BC13 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF24 5C006/BF25 5C006/BF37 5C006/EB05 5C006/FA16 5C006/FA42 5C006/FA43 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD12 5C080/DD23 5C080/DD25 5C080/DD26 5C080/DD28 5C080/EE29 5C080/FF11 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04		
优先权	1020020002090 2002-01-14 KR		
外部链接	Espacenet		

摘要(译)

[目的]与现有芯片面积相比，本发明不通过时分驱动DAC单元来增加芯片面积，或者更确切地说减小芯片面积并增加数据驱动IC的输出通道数量。提供了一种能够减少驱动IC和TCP的数量的液晶显示器的数据驱动装置和方法。根据本发明，提供了一种用于对输入像素数据进行时分和提供的多路复用器单元；一种用于将来自多路复用器单元的像素数据转换为像素电压信号的数模转换器；解复用器单元，用于选择性地将像素电压信号从模拟转换单元提供给多个输出线；以及采样，用于将来自多路分解器单元的像素电压信号保持和输出到多个数据线还有一个控股单位。

