

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4146669号
(P4146669)

(45) 発行日 平成20年9月10日(2008.9.10)

(24) 登録日 平成20年6月27日(2008.6.27)

(51) Int.Cl.	F I	
G09G 3/36 (2006.01)	G09G 3/36	
G02F 1/133 (2006.01)	G02F 1/133	550
G09G 3/20 (2006.01)	G09G 3/20	623D
H03M 1/66 (2006.01)	G09G 3/20	623F
	G09G 3/20	623G

請求項の数 16 (全 18 頁) 最終頁に続く

(21) 出願番号	特願2002-164513 (P2002-164513)	(73) 特許権者	501426046
(22) 出願日	平成14年6月5日(2002.6.5)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2003-122333 (P2003-122333A)		ミテッド
(43) 公開日	平成15年4月25日(2003.4.25)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成16年6月10日(2004.6.10)		イドードン 20
(31) 優先権主張番号	2001-063208	(74) 代理人	100064447
(32) 優先日	平成13年10月13日(2001.10.13)		弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100106703
			弁理士 産形 和央
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100091889
			弁理士 藤野 育男

最終頁に続く

(54) 【発明の名称】 液晶表示装置のデータ駆動装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

入力された n 個 (n は 2 以上の整数) ずつの画素データをアナログ信号に変換して、変換された n 個の画素信号を k 個 (k は整数、 $k < n$) ずつ時分割して出力するデジタル - アナログ変換集積回路と、

前記デジタル - アナログ変換集積回路の 1 つに共通に接続された少なくとも 2 個の出力バッファ集積回路であって、前記デジタル - アナログ変換集積回路からの前記 k 個ずつの画素信号を 選択的に受信し、順次的に 入力してホールディングした後、同時にバッファリングして n 個ずつのデータラインに出力する 少なくとも 2 個の出力バッファ集積回路と、

前記デジタル - アナログ変換集積回路及び出力バッファ集積回路のそれぞれを制御すると共に前記デジタル - アナログ変換集積回路のそれぞれに供給する画素データを前記 n 個ずつの画素データで構成される少なくとも 2 個の区分に時分割して供給するタイミング制御部と

を具備することを特徴とする液晶表示装置のデータ駆動装置。

【請求項 2】

前記デジタル - アナログ変換集積回路は前記タイミング制御部に接続される印刷回路基板上に実装されており、前記出力バッファ集積回路は前記印刷回路基板と前記データラインが配置された液晶パネルの間に電気的に接続されたテープ・キャリア・パッケージ上に実装されていることを特徴とする請求項 1 記載の液晶表示装置のデータ駆動装置。

【請求項 3】

10

20

前記デジタル - アナログ変換集積回路のそれぞれは、
前記タイミング制御部の制御にตอบสนองしてサンプリング信号を順次的に出力するシフト・レジスタ部と、

前記タイミング制御部の制御と前記サンプリング信号にตอบสนองして前記タイミング制御部から入力される n 個の画素データを順次的にラッチして同時に出力するラッチ部と、

入力ガンマ電圧を利用して n 個の画素データを正極性及び負極性の画素信号に変換して前記タイミング制御部の極性の制御信号にตอบสนองする n 個の画素電圧信号を選択すると同時に、前記タイミング制御部の第 1 選択制御信号にตอบสนองしてその n 個の画素信号を時分割して k 個ずつ出力するデジタル - アナログ変換部と、

前記タイミング制御部の第 2 選択制御信号にตอบสนองして前記 k 個ずつの順次的に出力される画素信号を前記少なくとも 2 個の出力バッファ集積回路に選択的に出力するデマルチプレクサと

を具備することを特徴とする請求項 1 記載の液晶表示装置のデータ駆動装置。

【請求項 4】

前記デジタル - アナログ変換集積回路のそれぞれは、

前記デジタル - アナログ変換の集積回路の構成要素のそれぞれに前記タイミング制御部からの制御信号と画素データを中継して供給する信号制御部と、

入力ガンマ基準電圧を細分化して前記入力ガンマ電圧を発生するガンマ電圧部とを更に具備することを特徴とする請求項 3 記載の液晶表示装置のデータ駆動装置。

【請求項 5】

前記デジタル - アナログ変換部は、

前記ガンマ電圧を利用して前記 n 個の画素データを正極性の画素信号に変換する正極性のデコーディング部と、

前記ガンマ電圧を利用して前記 n 個の画素データを負極性の画素信号に変換する負極性のデコーディング部と、

前記正極性及び負極性のデコーディング部に共通接続されて前記極性の制御信号及び第 1 選択制御信号にตอบสนองする前記 k 個ずつの画素信号を前記デマルチプレクサに順次的に出力するマルチプレクサと

を具備することを特徴とする請求項 3 記載の液晶表示装置のデータ駆動装置。

【請求項 6】

前記選択制御信号は前記 n 個の画素信号を前記 k 個ずつの画素信号に時分割する回数に相当するビット数を有することを特徴とする請求項 3 記載の液晶表示装置のデータ駆動装置。

【請求項 7】

前記デジタル - アナログ変換集積回路のそれぞれは、

前記タイミング制御部の制御にตอบสนองしてサンプリング信号を順次的に出力するシフト・レジスタ部と、

前記タイミング制御部の制御と前記サンプリング信号にตอบสนองして前記タイミング制御部から入力される n 個の画素データを順次的にラッチして同時に出力するラッチ部と、

入力ガンマ電圧を利用して前記 n 個の画素データを正極性及び負極性の画素信号に変換して前記タイミング制御部の極性の制御信号にตอบสนองする n 個の画素電圧信号を選択して出力するデジタル - アナログ変換部と、

前記 n 個の画素信号を前記タイミング制御部の第 1 選択制御信号にตอบสนองして少なくとも 2 個の出力段に選択的に出力するデマルチプレクサと、

前記少なくとも 2 個の出力段のそれぞれに接続されて前記 n 個の画素信号を前記タイミング制御部の第 2 選択制御信号にตอบสนองして k 個ずつ時分割して出力する少なくとも 2 個のマルチプレクサと

を具備することを特徴とする請求項 1 記載の液晶表示装置のデータ駆動装置。

【請求項 8】

前記デジタル - アナログ変換集積回路のそれぞれは、

10

20

30

40

50

前記デジタル - アナログ変換集積回路の構成要素のそれぞれに前記タイミング制御部からの制御信号と画素データを中継して供給する信号制御部と、

入力ガンマ基準電圧を細分化して前記ガンマ電圧を発生するガンマ電圧部とを更に具備することを特徴とする請求項 7 記載の液晶表示装置のデータ駆動装置。

【請求項 9】

前記第 1 選択制御信号は、前記ラッチ部の出力を制御する出力イネーブル信号の周期毎に前記選択制御信号の論理状態が反転されて、前記第 2 選択制御信号は前記 n 個の画素信号を前記 k 個ずつの画素信号に時分割する回数に相当するビット数を有することを特徴とする請求項 3 記載の液晶表示装置のデータ駆動装置。

【請求項 10】

前記デジタル - アナログ変換集積回路のそれぞれは、
前記 n 個のデータラインの中の k 個ずつのデータラインに接続されて前記画素信号のホールディング及びバッファリングの機能をする多数個の出力バッファ部と、
前記デジタル - アナログ集積回路から k 個ずつ供給される画素信号を前記タイミング制御部の選択制御信号に应答して前記多数個の出力バッファ部に順次的に供給するデマルチプレクサと
を具備することを特徴とする請求項 1 記載の液晶表示装置のデータ駆動装置。

【請求項 11】

前記多数個の出力バッファ部のそれぞれは、前記 k 個のデータラインにそれぞれ接続される k 個の出力バッファで構成されており、
前記出力バッファのそれぞれは、
前記画素信号を入力してホールディングするホールディング手段と、
前記タイミング制御部からの制御信号に应答して前記ホールディングされた画素信号を出力するスイッチング手段と、
前記スイッチング手段に接続されて前記バッファリングの機能をする電圧追従機と
を具備することを特徴とする請求項 10 記載の液晶表示装置のデータ駆動装置。

【請求項 12】

前記選択制御信号は、前記 n 個の画素信号を前記 k 個ずつの画素信号に時分割する回数に相当するビット数を有することを特徴とする請求項 10 記載の液晶表示装置のデータ駆動装置。

【請求項 13】

前記出力バッファ集積回路を実装したテープ・キャリア・パッケージは、前記 k 個の入力ピンと前記 n 個の出力ピンの数を有することを特徴とする請求項 2 記載の液晶表示装置のデータ駆動装置。

【請求項 14】

液晶パネルに配置されたデータラインを駆動するためのデータ駆動装置の駆動方法において、前記データ駆動装置は、 n 個 (n は正数) ずつのデータラインに接続された複数の出力バッファ集積回路と、少なくとも 2 個の出力バッファ集積回路の入力段に共通接続された 1 個のデジタル - アナログ変換集積回路で構成されており、

前記デジタル - アナログ変換集積回路に供給される画素データを、前記 n 個ずつの画素データに構成される少なくとも 2 個の区分に時分割して供給する段階と、

前記デジタル - アナログ変換集積回路が各画素データをアナログ画素信号に変換して、変換された画素信号を k 個 (k は正数、 $k < n$) ずつ時分割して供給する段階と、

前記時分割された画素信号をデマルチプレクス処理する段階と、

前記デマルチプレクス処理された時分割画素信号を前記少なくとも 2 個の出力バッファ集積回路の選択された一方に出力する段階と、

前記選択された出力バッファ集積回路が前記 k 個ずつのデマルチプレクス処理された時分割画素信号を順次的に入力してホールディングし、同時にバッファリングする段階と、

前記バッファリングされた画素信号を前記少なくとも 2 個の出力バッファ集積回路から前記データラインに供給する段階と

10

20

30

40

50

を含むことを特徴とする液晶表示装置のデータ駆動方法。

【請求項 15】

前記画素信号に変換する段階は、

前記 n 個の画素データをガンマ電圧を利用して正極性及び負極性の画素信号に変換して、外部から入力される極性の制御信号と第 1 選択制御信号に応答する k 個ずつの画素信号を順次的に供給する段階と、

前記 k 個の画素信号を外部からの第 2 選択制御信号に応答して前記少なくとも 2 個の出力バッファ集積回路のそれぞれに選択的に供給する段階と

を含むことを特徴とする請求項 14 記載の液晶表示装置のデータ駆動方法。

【請求項 16】

前記画素信号に変換する段階は、

前記 n 個の画素データをガンマ電圧を利用して正極性及び負極性の画素信号に変換して、外部から入力される極性の制御信号に応答する n 個の画素信号を供給する段階と、

前記 n 個の画素信号を選択制御信号に応答して前記 k 個ずつの画素データに時分割して供給する段階と

を含むことを特徴とする請求項 14 記載の液晶表示装置のデータ駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に関するもので、特にデジタル - アナログ変換部と出力バッファ部を分離して集積化することにより、テープ・キャリア・パッケージの不良による損失を著しく減らすことができるようにする液晶表示装置のデータ駆動装置及び方法に関するものである。また、本発明のデジタル - アナログ変換部を時分割駆動することにより、デジタル - アナログ変換機能をする集積回路の数を減らすことができるようにした液晶表示装置のデータ駆動装置及び方法に関するものである。

【0002】

【従来の技術】

通常、液晶表示装置は、電界を利用して液晶の光透過率を調節することで画像を表示する。このために液晶表示装置は、液晶セルがマトリックス形態で配列された液晶パネルとこの液晶パネルを駆動するための駆動回路とを具備する。液晶パネルには複数のゲートラインとデータラインが交差して配列されて、そのゲートラインとデータラインが交差して設けられる領域に液晶セルが位置する。この液晶パネルには、液晶セルのそれぞれに電界を印加するための複数の画素電極と共通電極が設けられる。画素電極のそれぞれは、スイッチング素子である薄膜トランジスタ (TFT) のソース及びドレイン端子を經由してデータラインのうちのいずれか一つに接続される。薄膜トランジスタのゲート端子は画素電圧信号が 1 ライン分ずつの画素電極に印加されるようにするゲートラインのうちのいずれか一つに接続される。駆動回路はゲートラインを駆動するためのゲート・ドライバと、データラインを駆動するためのデータ・ドライバと、共通電極を駆動するための共通電圧発生部とを具備する。ゲート・ドライバは走査信号をゲートラインに順次的に供給して液晶パネル上の液晶セルを 1 ライン分ずつ順次的に駆動する。データ・ドライバはゲートラインのうちのいずれか一つにゲート信号が供給される毎にデータラインのそれぞれに画素電圧信号を供給する。共通電圧発生部は共通電極に共通電圧信号を供給する。これにより、液晶表示装置は液晶セル別に画素電圧信号により画素電極と共通電極の間に印加される電界により光透過率を調節することで画像を表示する。データ・ドライバとゲート・ドライバは集積回路 (以下、「IC」という) チップに製作されてテープ・キャリア・パッケージ (以下、「TCP」という) 上に実装されて TAB (テープ・オートメテッド・ボンディング) 方式で液晶パネルに接続される。

【0003】

図 1 は従来の液晶表示装置のデータ駆動ブロックを概略的に図示したもので、データ駆動ブロックは、TCP (6) を通して液晶パネル (2) と接続された複数のデータ駆動 IC

10

20

30

40

50

(4)と、TCP(6)を通してデータ駆動IC(4)と接続されたデータ印刷回路基板(以下印刷回路基板を「PCB」という)(8)とを具備する。

【0004】

データPCB(8)は、タイミング制御部(図示しない)から供給される各種の制御信号及びデータ信号とパワー部(図示しない)からの駆動電圧信号を入力してデータ駆動IC(4)に中継する役割をする。TCP(6)は、液晶パネル(2)の上段部に設けられたデータパッドと電氣的に接続されると共に、データPCB(8)に設けられた出力パッドと電氣的に接続される。データ駆動IC(4)は、デジタル信号である画素データ信号をアナログ信号である画素電圧信号に変換して液晶パネル(2)上のデータラインに供給する。

10

【0005】

このために、データ駆動IC(4)のそれぞれは、図2に示されたように順次的にサンプリング信号を供給するシフト・レジスタ部(14)と、サンプリング信号に 응답して画素データ(VD)を順次的にラッチして同時に出力するラッチ部(16)と、ラッチ部(16)からの画素データ(VD)を画素電圧信号に変換するデジタル-アナログ変換部(以下、DAC部という)(18)と、DAC部(18)からの画素電圧信号を緩衝して出力する出力バッファ部(26)とを具備する。また、データ駆動IC(4)はタイミング制御部(図示しない)から供給される各種の制御信号と画素データ(VD)とを中継する信号制御部(10)と、DAC部(18)で必要とする正極性及び負極性のガンマ電圧を供給するガンマ電圧部(12)とを更に具備する。このような構成を有するデータ駆動IC(4)のそれぞれは、n個ずつのデータライン(DL1乃至DLn)を駆動する。

20

【0006】

信号制御部(10)は、タイミング制御部(図示しない)からの各種の制御信号(SSP、SSC、SOE、REV、POLなど)と画素データ(VD)が該当する構成要素に出力されるように制御する。

【0007】

ガンマ電圧部(12)は、ガンマの基準電圧の発生部(図示しない)から入力される多数個のガンマの基準電圧をグレイ別に細分化して出力する。

【0008】

シフト・レジスタ部(14)に含まれたシフト・レジスタは、信号制御部(10)からのソース・スタート・パルス(SSP)をソース・サンプリング・クロック信号(SSC)により順次的にシフトさせサンプリング信号として出力する。

30

【0009】

ラッチ部(16)に含まれたn個のラッチは、シフト・レジスタ部(14)のサンプリング信号に 응답して信号の制御部(10)からの画素データ(VD)を順次的にサンプリングしてラッチする。続いて、n個のラッチは、信号制御部(10)からのソース出力イネーブル信号(SOE)に 응답してラッチされた画素データ(VD)を同時に出力する。この場合、ラッチ部(16)はデータ反転の選択信号(REV)に 응답してトランジションのビット数を減らすように変造された画素データ(VD)を復元させて出力する。これはタイミング制御部でデータ電送の際に電磁氣的干渉(EMI)を最小化するために、トランジションされるビット数が基準値を超える画素データ(VD)はトランジションのビット数が減るように変造して供給するためである。ラッチ部(16)に含まれたn個のラッチは、シフト・レジスタ部(14)のサンプリング信号に 응답して信号の制御部(10)からの画素データ(VD)を順次的にサンプリングしてラッチする。続いて、n個のラッチは信号制御部(10)からのソース出力イネーブル信号(SOE)に 응답してラッチされた画素データ(VD)を同時に出力する。この場合、ラッチ部(16)はデータ反転の選択信号(REV)に 응답してトランジションのビット数が減るように変造された画素データ(VD)を復元させ出力する。これは、タイミング制御部でデータ電送の際に電磁氣的干渉(EMI)を最小化するために、トランジションされるビット数が基準値を超える画素データ(VD)はトランジションのビット数が減るように変造して供給するためであ

40

50

る。

【0010】

DAC部(18)は、ラッチ部(16)からの画素データ(VD)を同時に正極及び負極性の画素電圧信号に変換して出力する。このために、DAC部(18)はラッチ部(16)に共通接続されたPデコーディング部(20)及びNデコーディング部(22)と、Pデコーディング部(20)及びNデコーディング部(22)の出力信号を選択するためのマルチプレクサ(24)とを具備する。

【0011】

Pデコーディング部(20)に含まれるn個のPデコーダは、ラッチ部(16)から同時に入力されるn個の画素データをガンマ電圧部(12)からの正極性のガンマ電圧を利用して正極性の画素電圧信号に変換する。Nデコーディング部(22)に含まれるn個のNデコーダは、ラッチ部(16)から同時に入力されるn個の画素データをガンマ電圧部(12)からの負極性のガンマ電圧を利用して負極性の画素電圧信号に変換する。マルチプレクサ(24)は、信号制御部(10)からの極性制御信号(POL)にตอบสนองしてPデコーディング部(20)からの正極性の画素電圧信号またはNデコーディング部(22)からの負極性の画素電圧信号を選択して出力する。

10

【0012】

出力バッファ部(26)に含まれるn個の出力バッファは、n個のデータライン(D1乃至Dn)に直列にそれぞれ接続された電圧追従機で構成される。このような出力バッファはDAC部(18)からの画素電圧信号を信号緩衝してデータライン(DL1乃至DLn)に供給する。

20

【0013】

このように、従来のデータ駆動IC(4)のそれぞれは、n個のデータライン(DL1乃至DLn)を駆動するためにn個ずつのラッチと2n個のデコーダとを具備しなければならない。この結果、従来のデータ駆動IC(4)は、その構成が複雑で製造単価が相対的に高い短所を有する。

【0014】

また、従来のデータ駆動IC(4)のそれぞれは、図1に図示されたように一つのチップの形態でTCP(6)に取り付けられており、液晶パネル(2)はデータPCB(8)と接着される。ここで、TCP(6)は断線、短絡のような不良率が相対的に高い。これにより、TCP(6)に不良が発生する場合に、そのTCP(6)上に実装された高価なデータ駆動IC(4)も同じく使用することができないので、経済的な損失が大きい問題点がある。

30

【0015】

【発明が解決しようとする課題】

従って、本発明の目的は、DAC部と出力バッファ部を分離して集積化することでTCP不良による損失を最小化することができる液晶表示装置のデータ駆動装置及び方法を提供することである。本発明のまた異なる目的は、DAC部を時分割駆動することによりDAC・IC数を減らして製造単価を低くすることができる液晶表示装置のデータ駆動装置及び方法を提供することである。

40

【0016】

本発明のまた異なる目的は出力バッファICの入力ピンの数を減らして印刷回路基板の上で出力バッファのピッチを十分に確保することができるようにする液晶表示装置のデータ駆動装置及び方法を提供することである。

【0017】

【課題を解決するための手段】

前記目的を達成するために、本発明の一つ特徴による液晶表示装置のデータ駆動装置は、入力されたn個(nは正数)ずつの画素データをアナログ信号に変換して、変換されたn個の画素信号をk個(kは正数、 $k < n$)ずつ時分割して出力するデジタル-アナログ変換集積回路と、デジタル-アナログ変換集積回路からk個ずつ供給される画素信号を順次

50

的に入力してホールディングした後、同時に信号緩衝させて n 個ずつのデータラインに出力する、デジタル - アナログ変換集積回路のそれぞれに少なくとも 2 個が共通に接続された出力バッファの集積回路と、デジタル - アナログ変換集積回路及び出力バッファ集積回路のそれぞれを制御すると共に、デジタル - アナログ変換集積回路のそれぞれに供給する画素データを前記 n 個ずつの画素データに構成される少なくとも 2 個の区間に時分割して供給するタイミング制御部とを具備する。

【 0 0 1 8 】

ここで、前記デジタル - アナログ変換集積回路は、タイミング制御部に接続される印刷回路基板上に実装されており、出力バッファ集積回路は、前記印刷回路基板と前記データラインが配置された液晶パネルの間に電氣的に接続されたテープ・キャリア・パッケージ上に実装されていることを特徴とする。

10

【 0 0 1 9 】

特に、前記デジタル - アナログ変換集積回路のそれぞれは、前記タイミング制御部の制御にตอบสนองしてサンプリング信号を順次的に出力するシフト・レジスタ部と、タイミング制御部の制御とサンプリング信号にตอบสนองして前記タイミング制御部から入力される n 個の画素データを順次的にラッチして同時に出力するラッチ部と、入力ガンマ電圧を利用して n 個の画素データを正極性及び負極性の画素信号に変換して、タイミング制御部の極性の制御信号にตอบสนองする n 個の画素電圧信号を選択すると同時に、タイミング制御部の第 1 選択制御信号にตอบสนองしてその n 個の画素信号を時分割して k 個ずつ出力するデジタル - アナログ変換部と、タイミング制御部の第 2 選択制御信号にตอบสนองして k 個ずつの順次的に出力される画素信号を少なくとも 2 個の出力バッファ集積回路に選択的に出力するデマルチプレクサとを具備することを特徴とする。

20

【 0 0 2 0 】

ここで、前記デジタル - アナログ変換部は、ガンマ電圧を利用して前記 n 個の画素データを正極性の画素信号に変換する正極性のデコーディング部と、ガンマ電圧を利用して前記 n 個の画素データを負極性の画素信号に変換する負極性のデコーディング部と、正極性及び負極性のデコーディング部に共通接続されて、前記極性の制御信号及び第 1 選択制御信号にตอบสนองする k 個ずつの画素信号をデマルチプレクサに順次的に出力するマルチプレクサとを具備することを特徴とする。

【 0 0 2 1 】

これとは異なり、異なる特徴による前記デジタル - アナログ変換集積回路のそれぞれは、タイミング制御部の制御にตอบสนองしてサンプリング信号を順次的に出力するシフト・レジスタ部と、タイミング制御部の制御とサンプリング信号にตอบสนองしてタイミング制御部から入力される n 個の画素データを順次的にラッチして同時に出力するラッチ部と、入力ガンマ電圧を利用して前記 n 個の画素データを正極性及び負極性の画素信号に変換して、タイミング制御部の極性の制御信号にตอบสนองする n 個の画素電圧信号を選択して出力するデジタル - アナログ変換部と、 n 個の画素信号を前記タイミング制御部の第 1 選択制御信号にตอบสนองして少なくとも 2 個の出力段に選択的に出力するデマルチプレクサと、少なくとも 2 個の出力段のそれぞれに接続されて n 個の画素信号をタイミング制御部の第 2 選択制御信号にตอบสนองして k 個ずつ時分割して出力する少なくとも 2 個のマルチプレクサとを具備することを特徴とする。

30

40

【 0 0 2 2 】

そして、前記デジタル - アナログ変換集積回路のそれぞれは、デジタル - アナログ変換集積回路の構成要素のそれぞれにタイミング制御部からの制御信号と画素データを中継して供給する信号制御部と、入力ガンマ基準電圧を細分化して前記ガンマ電圧を発生するガンマ電圧部とを更に具備することを特徴とする。

【 0 0 2 3 】

前記出力バッファ変換集積回路のそれぞれは、前記 n 個のデータラインのうちの k 個ずつのデータラインに接続されて画素信号のホールディング及び信号緩衝の機能をする多数個の出力バッファ部と、デジタル - アナログ集積回路から k 個ずつ供給される画素信号を、

50

前記タイミング制御部の選択制御信号にตอบสนองして多数個の出力バッファ部に順次的に供給するデマルチプレクサとを具備することを特徴とする。

【0024】

ここで、前記多数個の出力バッファ部のそれぞれは、前記k個のデータラインにそれぞれ接続されるk個の出力バッファで構成されており、出力バッファのそれぞれは、前記画素信号を入力してホールディングするホールディング手段と、タイミング制御部からの制御信号にตอบสนองしてホールディングされた画素信号を出力するスイッチング手段と、スイッチング手段に接続されて前記信号緩衝の機能をする電圧追従機とを具備することを特徴とする。

【0025】

前記出力バッファ集積回路を実装したテープ・キャリア・パッケージは、前記k個の入力ピン前記n個の出力ピンの数を有することを特徴とする。

【0026】

本発明の一つの特徴による液晶表示装置のデータ駆動方法は、液晶パネルに配置されたデータラインを駆動するためのデータ駆動装置の駆動方法において、データ駆動装置は、n個（nは正数）ずつのデータラインに接続された出力バッファ集積回路と、少なくとも2個の出力バッファ集積回路の入力段に共通接続されたデジタル・アナログ変換集積回路とで構成されており、デジタル・アナログ変換集積回路のそれぞれに供給される画素データを、n個ずつの画素データに構成される少なくとも2個の区間に時分割して供給する段階と、デジタル・アナログ変換集積回路がn個ずつの画素データをアナログの画素信号に変換して、変換された画素信号をk個（kは正数、 $k < n$ ）ずつ時分割して供給する段階と、少なくとも2個の出力バッファ集積回路が前記k個ずつの画素信号を順次的に入力してホールディングした後に同時に信号緩衝させてデータラインに供給する段階とを含む。

【0027】

ここで、前記画素信号に変換する段階は、前記n個の画素データをガンマ電圧を利用して正極性及び負極性の画素信号に変換して、外部から入力される極性の制御信号と第1選択制御信号にตอบสนองするk個ずつの画素信号を順次的に供給する段階と、k個の画素信号を外部からの第2選択制御信号にตอบสนองして前記少なくとも2個の出力バッファ集積回路のそれぞれに選択的に供給する段階とを含むことを特徴とする。

【0028】

これとは異なり、前記画素信号に変換する段階は、前記n個の画素データをガンマ電圧を利用して正極性及び負極性の画素信号に変換して、外部から入力される極性の制御信号にตอบสนองするn個の画素信号を供給する段階と、n個の画素信号を選択制御信号にตอบสนองしてk個ずつの画素データに時分割して供給する段階とを含むことを特徴とする。

【0029】

【作用】

本発明による液晶表示装置のデータ駆動装置及び方法では、DACの機能をするDAC手段と出力バッファリングの機能をする出力バッファリング手段を分離して別途のチップに集積化することで、不良率の高いTCP上には単純構成の出力バッファICだけを実装することができるようになる。これにより従来のTCP不良により高価なデータ駆動ICを使用できなくなる損失を大きく減らすことができる。

【0030】

また、本発明による液晶表示装置のデータ駆動装置及び方法では、DAC・ICを、より高い周波数を有する駆動信号を利用して時分割駆動して一つのDAC・ICに少なくとも2個の出力バッファICが共通に接続されるようにすることで、DAC・ICの数を減らすことができるようになるので製造単価を低くすることができる。

【0031】

更に、本発明による液晶表示装置のデータ駆動装置及び方法では、DAC・ICでアナログ信号に変換された画素信号も多数個に時分割して供給することにより、出力バッファICのそれぞれの入力ピンの数を減らすことができる。これにより、出力バッファICが実

10

20

30

40

50

装されるTCPの入力ピンの数を減らすことができるようになるので、TCPの入力ピンと接続されるデータPCBの出力パッドのピッチの確保が容易になる。

【0032】

【発明の実施態様】

以下、図3乃至図8を参照して本発明の好ましい実施例について説明する。

【0033】

図3は本発明の実施例による液晶表示装置のデータ駆動装置の構成を図示したブロック図である。図3に図示されたデータ駆動装置は、大きくDAC機能をするDAC手段と出力バッファリング機能をするバッファリング手段とに分離されて別途のチップに集積化される。換言すると、データ駆動装置は、DAC・IC(30)と出力バッファIC(50)とに分離されて構成される。特に一つのDAC・IC(30)には少なくとも2個の出力バッファIC(50)が共通に接続される。そしてDAC・IC(30)は少なくとも2個の区間に時分割されてDAC機能を遂行する。ここでは一つのDAC・IC(30)に2個の出力バッファIC(50)が共通に接続された場合を例として説明する。

10

【0034】

DAC・IC(30)には、2n個のデータライン(DL11乃至DL1n、DL21乃至DL2n)に供給される2n個の画素データが時分割されて入力される。DAC・IC(30)は、入力されたn個の画素データをアナログ信号である画素信号に変換する。そしてDAC・IC(30)は、アナログ信号に変換されたn個の画素信号をまたk個(k<n)ずつ分割して第1及び第2出力バッファ(50)に選択的に供給する。このように、DAC・IC(30)が2個の画素データをn個ずつ分割してDAC機能を遂行すべきなので、それに必要な駆動信号は従来に比べて2倍の周波数を有する。

20

【0035】

このために、DAC・IC(30)は、順次的なサンプリング信号を供給するシフト・レジスタ部(36)と、サンプリング信号に応答して画素データ(VD)を順次的にラッチして同時に出力するラッチ部(38)と、ラッチ部(38)からの画素データ(VD)を画素信号に変換するDAC部(40)と、DAC部(40)からの画素データ(VD)を画素信号に変換するDAC部(40)と、DAC(40)からの画素信号を2個の出力バッファIC(50)に選択的に供給する第1デマルチプレクサ(48)とを具備する。また、DAC・IC(30)は、タイミング制御部(図示しない)から供給される各種の制御信号と画素データ(VD)とを中継する信号制御部(32)と、DAC部(40)で必要とする正極性及び負極性のガンマ電圧を供給するガンマ電圧部(34)とを更に具備する。

30

【0036】

信号制御部(32)は、タイミング制御部(28)からの各種制御信号(SSP、SSC、SOE、REV、POLなど)と画素データ(VD)を該当する構成要素に出力するように制御する。この場合、タイミング制御部は、信号制御部(32)を通して供給される各種制御信号(SSP、SSC、SOE、REV、POLなど)画素データ(VD)とが従来に対して二倍の周波数を有するようにする。特に、タイミング制御部は、2n個のデータライン(DL11乃至DL1n、DL21乃至DL2n)に該当する2n個の画素データ(VD)を2個の区間に時分割してn個ずつ順次的に供給する。

40

【0037】

ガンマ電圧部(34)は、ガンマ基準電圧の発生部(図示しない)から入力される多数個のガンマ基準電圧をグレイ別に細分化して出力する。

【0038】

シフト・レジスタ部(36)に含まれるシフト・レジスタは、信号制御部(32)からのソース・スタート・パルス(SSP)をソース・サンプリング・クロック信号(SSC)により順次的にシフトさせてサンプリング信号として出力する。この場合、シフト・レジスタ部(36)は、周波数が二倍に増加されたソース・スタート・パルス(SSP)をソース・サンプリング・クロック信号(SSC)に응答して従来の二倍速度でサンプリング

50

信号を出力する。

【0039】

DAC部(40)は、ラッチ部(38)からのn個の画素データを同時に正極及び負極性の画素電圧信号に変換して極性制御信号(POL)及び第1選択制御信号(SEL1)に応答してk個ずつ分離して出力する。このために、DAC部(40)はラッチ部(38)に共通接続されたPデコーディング部(42)及びNデコーディング部(44)と、Pデコーディング部(42)及びNデコーディング部(44)の出力信号を選択するためのマルチプレクサ(46)とを具備する。

【0040】

Pデコーディング部(42)に含まれるn個のPデコーダは、ラッチ部(38)から同時に入力されるn個の画素データを、ガンマ電圧部(34)からの正極性のガンマ電圧を利用して正極性の画素電圧信号に変換する。Nデコーディング部(44)に含まれるn個のNデコーダは、ラッチ部(38)から同時に入力されるn個の画素データを、ガンマ電圧部(34)からの負極性のガンマ電圧を利用して負極性の画素電圧信号に変換する。マルチプレクサ(46)は、信号制御部(32)からの極性制御信号(POL)に応答してPデコーディング部(42)からの正極性の画素電圧信号またはNデコーディング部(44)からの負極性の画素電圧信号を選択すると同時に、第1選択制御信号(SEL1)に応答してn個の画素電圧信号をk個ずつ分けて出力する。この場合、第1選択制御信号(SEL1)のビット数はn個の画素信号を分割する回数(j)により定められる。例えば、n個の画素信号を8(j=8)分割して出力する場合、第1選択制御信号(SEL1)は3ビットに構成されると十分である。このように、DAC部(40)は、2n個の画素データを処理するために従来のDAC部(18)と対比して2倍の速度でn個ずつの画素データを画素信号に変換してn個の画素信号をそれより小さいk個ずつ分離して出力する。

【0041】

第1デマルチプレクサ(48)は、マルチプレクサ(40)から入力されるk個ずつの画素信号を、信号制御部(32)から入力される第2選択制御信号(SEL2)に応答して第1出力バッファIC(50)または第2出力バッファIC(50)に出力する。この場合、第2選択制御信号(SEL2)もn個の画素信号が分割された回数(j)により定められるので、前記第1選択制御信号(SEL1)と同一のビット数を有する。

【0042】

第1及び第2出力バッファIC(50)のそれぞれは、DAC・IC(30)からk個ずつ入力される画素電圧信号をサンプリングした後、ホールディングしてn個のデータライン(DL11乃至DL1k、...、DLj1乃至DLjk)に同時に出力する。このために、第1及び第2出力バッファIC(50)のそれぞれは、第2デマルチプレクサ(52)と第1乃至第j出力バッファ部(54)で構成される。

【0043】

第2デマルチプレクサ(52)は、第1デマルチプレクサ(48)からk個ずつ入力される画素信号を、タイミング制御部(図示しない)から供給される第3選択制御信号(SEL3)に応答して第1及び第2出力バッファ部(54)に順次的に供給する。この場合、第3選択制御信号(SEL3)もまた、前記第1及び第2選択制御信号(SEL1、SEL2)と同じにn個の画素信号が分割された回数(j)に相当するビット数を有する。

【0044】

第1及び第j出力バッファ部(54)は、第2デマルチプレクサ(52)から供給されるk個ずつの画素信号を順次的に入力してホールディングさせる。続いて、第1及び第j出力バッファ部(54)は、タイミング制御部からのスイッチング制御信号(SWS)に応答してホールディングされたk個ずつの画素信号を同時に該当のデータライン(DL11乃至DL1k、...、DLj1乃至DLjk)に供給する。このような第1乃至第j出力バッファ部(54)のそれぞれは、該当のデータライン(DL11乃至DL1k、...、DLj1乃至DLjk)に一对一に接続されるk個の出力バッファで構成される。k個の出力バッファのそれぞれは、図5に示されたように入力の画素信号(INPUT)を充電して

ホールディングするためのキャパシティ (C) と、タイミング制御部からのスイッチ制御信号 (S W S) に応答してキャパシティ (C) にホールディングされた画素信号が出力されるようにするスイッチング素子 (5 6) と、スイッチング素子 (5 6) に接続されて画素信号を信号緩衝して出力画素信号 (O U T P U T) として出力するための電圧追従機 (5 8) で構成される。

【 0 0 4 5 】

このような構成を有する本発明の実施例による D A C ・ I C (3 0) は図 6 に示されたようにデータ P C B (6 8) 上に、出力バッファ I C (5 0) は T C P (6 6) 上に分離されて実装されている。データ P C B (6 8) は、タイミング制御部 (図示しない) から供給される各種の制御信号とデータ信号を D A C ・ I C (3 0) に伝送すると共に、 D A C ・ I C (3 0) からの画素信号を T C P (6 6) を経由して出力バッファ I C (5 0) に伝送する役割をする。 T C P (6 6) は液晶パネル (6 2) の上段部に設けられたデータ・パッドと電氣的に接続されると共に、データ P C B (6 8) に設けられた出力パッドと電氣的に接続される。

10

【 0 0 4 6 】

このように、 T C P (6 6) 上にはバッファリング機能だけをする単純構成の出力バッファ I C (5 0) だけが実装されることで、 T C P (6 6) 不良が発生した場合、出力バッファ I C (5 0) だけが損失を受ける。この結果、従来の T C P (6 6) の不良で高価なデータ駆動 I C を使用できなくなることがもたらした経済的な損失を著しく減らすことができる。また、 D A C ・ I C (3 0) は、時分割駆動されて少なくとも 2 個の出力バッファ I C (5 0) に画素信号を供給する。これにより、 D A C ・ I C (3 0) の数を従来より少なくとも 1 / 2 に減らすことができるようになるので、製造単価を低くすることができる。

20

【 0 0 4 7 】

特に、 D A C ・ I C (3 0) の D A C 部 (4 0) で n 個の画素信号を j 個に時分割して k 個ずつ供給することにより、出力バッファ I C (5 0) のそれぞれの入力ピンの数を n 個のデータライン (D L 1 1 乃至 D L 1 k 、 ... 、 D L j 1 乃至 D L j n) に接続される出力ピンの数 (n) より小さい k 個に減らすことができる。これにより、出力バッファ I C (5 0) が実装される T C P (6 6) の入力ピンの数も減らすことができるので、 T C P (6 6) の入力ピンと接続されるデータ P C B (6 8) の出力パッドのピッチを確保することが容易になる。すなわち、本発明では、 D A C ・ I C (3 0) で出力された画素信号をデータ P C B (6 8) 及び T C P (6 6) を経由して出力バッファ I C (5 0) に伝送するため、データ P C B (6 8) にはデジタル形態の画素データを伝送することでデータ P C B より相対的に多い信号伝送ラインと出力パッドが必要となる。この結果、一般的にデータ P C B (6 8) 上に出力パッドのピッチを確保することが難しかったが、本発明では画素信号を時分割駆動して出力パッドを減らすことで出力パッドのピッチの確保が容易になる。

30

【 0 0 4 8 】

図 7 は本発明の異なる実施例による液晶表示装置のデータ駆動装置の構成を示したブロック図である。図 7 に図示されたデータ駆動装置は、図 3 に示されたデータ駆動装置と対比して図 3 のマルチプレクサ (4 6) が有する n 個の画素信号の分割機能を遂行するための 2 個の第 2 マルチプレクサ (9 0) が追加されたことを除いては同一の構成要素を具備する。一つの D A C ・ I C (7 0) には少なくとも 2 個の出力バッファ I C (9 2) が共通に接続される。

40

【 0 0 4 9 】

D A C ・ I C (7 0) には、 2 n 個のデータライン (D L 1 1 乃至 D L 1 n 、 D L 2 1 乃至 D L 2 n) に供給される 2 n 個の画素データが n 個ずつ時分割されて入力される。 D A C ・ I C (7 0) は、入力された n 個の画素データをアナログ信号である画素信号に変換する。そして D A C ・ I C (7 0) は、アナログ信号に変換された n 個の画素信号をまた k 個 (< n) ずつ分割して第 1 及び第 2 出力バッファ I C (9 2) に選択的に供給する。

50

このように、DAC・IC(70)が2個の画素データをn個ずつ分割してDAC機能を遂行すべきなので、それに必要な駆動信号は従来に対比して2倍の周波数を有する。

【0050】

このために、DAC・IC(70)は、順次的なサンプリング信号を供給するシフト・レジスタ部(76)と、サンプリング信号に应答して画素データ(VD)を順次的にラッチして同時に出力するラッチ部(78)と、ラッチ部(78)からの画素データ(VD)を画素信号に変換するDAC部(80)と、DAC部(80)からの画素信号を2個のマルチプレクサ(90)に選択的に供給する第1デマルチプレクサ(88)と、第1デマルチプレクサ(88)からの画素信号を時分割して第1及び第2出力バッファIC(92)のそれぞれに供給する2個の第2マルチプレクサ(90)とを具備する。また、DAC・IC(70)は、タイミング制御部(図示しない)から供給される各種の制御信号と画素データ(VD)とを中継する信号制御部(72)と、DAC部(80)で必要とする正極性及び負極性のガンマ電圧を供給するガンマ電圧部(74)とを更に具備する。

10

【0051】

信号制御部(72)は、タイミング制御部からの各種制御信号(SSP、SSC、SOE、REV、POLなど)と画素データ(VD)とを該当の構成要素に出力するように制御する。この場合、タイミング制御部は、信号制御部(72)を通して供給される各種制御信号(SSP、SSC、SOE、REV、POLなど)と画素データ(VD)とが従来との対比で二倍の周波数を有するようにする。特に、タイミング制御部は、2n個のデータライン(DL11乃至DL1n、DL21乃至DL2n)に相当する2n個の画素データ(VD)を2個の区間に時分割してn個ずつ順次的に供給する。

20

【0052】

ガンマ電圧部(74)は、ガンマ基準電圧の発生部(図示しない)から入力される多数個のガンマ基準電圧をグレイ別に細分化して出力する。

【0053】

シフト・レジスタ部(76)に含まれるシフト・レジスタは、信号制御部(72)からのソース・スタート・パルス(SSP)をソース・サンプリング・クロック信号(SSC)により順次的にシフトさせてサンプリング信号として出力する。この場合、シフト・レジスタ部(76)は、周波数が二倍に増加されたソース・スタート・パルス(SSP)をソース・サンプリング・クロック信号(SSC)に应答して従来二倍の速度でサンプリング信号を出力する。

30

【0054】

ラッチ部(78)に含まれるn個のラッチは、シフト・レジスタ部(76)のサンプリング信号に应答して、信号の制御部(72)からの画素データ(VD)を順次的にサンプリングしてラッチする。続いて、ラッチは、信号制御部(72)から供給されるソース出力イネーブル信号(SOE)に应答してラッチされた画素データ(VD)を同時に出力する。この場合、ラッチは、データ反転の選択信号(REV)に应答してトランジションのビット数を減らすように変造された画素データ(VD)を復元させて出力する。これはタイミング制御部でデータ電送の際に電磁氣的干渉(EMI)を最小化するために、トランジションされるビット数が基準値を超える画素データ(VD)はトランジションのビット数が減るように変造して供給するためである。

40

【0055】

このようなシフト・レジスタ部(76)及びラッチ部(78)に供給されるソース・サンプリング・クロック信号(SSC)とソース出力イネーブル信号(SOE)は図4a及び図4bにNSSCとNSOEとして図示したように、図2に示された従来シフト・レジスタ部(76)及びラッチ部(78)に供給されるSSC及びSOEと対比して二倍の周波数を有して供給される。

【0056】

DAC部(80)は、ラッチ部(78)からのn個の画素データを同時に正極及び負極性の画素電圧信号に変換して出力する。このために、DAC部(80)はラッチ部(78)

50

に共通接続されたPデコーディング部(82)及びNデコーディング部(84)と、Pデコーディング部(82)及びNデコーディング部(84)の出力信号を選択するための第1マルチプレクサ(86)とを具備する。

【0057】

Pデコーディング部(82)に含まれるn個のPデコーダは、ラッチ部(78)から同時に入力されるn個の画素データをガンマ電圧部(74)からの正極性のガンマ電圧を利用して正極性の画素電圧信号に変換する。Nデコーディング部(84)に含まれるn個のNデコーダは、ラッチ部(78)から同時に入力されるn個の画素データをガンマ電圧部(74)からの負極性のガンマ電圧を利用して負極性の画素電圧信号に変換する。第1マルチプレクサ(86)は、信号制御部(72)からの極性制御信号(POL)にตอบสนองしてPデコーディング部(82)からの正極性の画素電圧信号またはNデコーディング部(84)からの負極性の画素電圧信号を選択してn個ずつ出力する。このように、DAC部(80)は2n個の画素データを処理するために従来のDAC部(18)と対比して二倍の速度でn個ずつの画素データを画素信号に変換して出力する。

10

【0058】

第1デマルチプレクサ(88)は、第1マルチプレクサ(86)から入力されるn個の画素信号を図8に示されたように信号制御部(72)から入力される第1選択制御信号(SEL1)にตอบสนองして、第2及び第3マルチプレクサ(90)に選択的に出力する。第1選択制御信号(SEL1)は、ラッチ部(78)に供給されるソース出力イネーブル信号(SOE)の一周期毎に論理値が反転されることで、n個ずつの画素信号が2個の第2マルチプレクサ(90)に選択的に出力されるようにする。

20

【0059】

第2及び第3マルチプレクサ(90)のそれぞれは、デマルチプレクサ(88)からn個ずつ供給される画素信号を、信号制御部(92)からの第2選択制御信号(SEL2)にตอบสนองしてk個ずつ分けて出力する。この場合、第2選択制御信号(SEL2)のビット数は、n個の画素信号を分割する回数(j)により定められる。例えば、n個の画素信号を8(j=8)分割して出力する場合、第2選択制御信号(SEL2)は3ビットに構成されると十分である。

【0060】

第1及び第2出力バッファIC(92)のそれぞれは、DAC・IC(70)のそれぞれからk個ずつ入力される画素信号をサンプリングした後、ホールディングしてn個のデータライン(DL11乃至DL1k、...、DLj1乃至DLjk)に同時に出力する。このために、第1及び第2出力バッファIC(92)のそれぞれは、第2デマルチプレクサ(94)と第1乃至第j出力バッファ部(98)に構成される。

30

【0061】

第2デマルチプレクサ(94)は、第2及び第3マルチプレクサ(90)のそれぞれからk個ずつ入力される画素信号を、タイミング制御部(図示しない)から供給される第3選択制御信号(SEL3)にตอบสนองして、第1及び第2出力バッファ部(96)に順次的に供給する。この場合、第3選択制御信号(SEL3)もまた、前記第1選択制御信号(SEL1)と同じにn個の画素信号が分割された回数(j)に相当するビット数を有する。

40

【0062】

第1及び第j出力バッファ部(96)は、第2デマルチプレクサ(94)から供給されるk個ずつの画素信号を順次的に入力してホールディングさせる。続いて、第1及び第j出力バッファ部(96)は、タイミング制御部からのスイッチング制御信号(SWS)にตอบสนองしてホールディングされたk個ずつ画素信号を、同時に該当のデータライン(DL11乃至DL1k、...、DLj1乃至DLjn)に供給する。このような第1乃至第j出力バッファ部(96)のそれぞれは、該当するデータライン(DL11乃至DL1k、...、DLj1乃至DLjn)に一对一に接続されるk個の出力バッファで構成される。k個の出力バッファのそれぞれは、図5に示されたように入力の画素信号(INPUT)を充電してホールディングするためのキャパシティ(C)と、タイミング制御部からのスイッチ制

50

御信号 (S W S) に応答してキャパシティ (C) にホールディングされた画素信号が出力されるようにするスイッチング素子 (5 6) と、スイッチング素子 (5 6) に接続されて画素信号を信号緩衝して出力の画素信号 (O U T P U T) に出力するための電圧追従機 (5 8) とで構成される。

【 0 0 6 3 】

このような構成を有する本発明の実施例による D A C ・ I C (7 0) は図 6 に示されたようにデータ P C B (6 8) 上に、出力バッファ I C (9 2) は T C P (6 6) 上に分離されて実装されている。データ P C B (6 8) は、タイミング制御部 (図示しない) から供給される各種の制御信号とデータ信号を D A C ・ I C (7 0) に伝送すると共に、 D A C ・ I C (7 0) からの画素信号を T C P (6 6) を経由して出力バッファ I C (9 2) に伝送する役割をする。 T C P (6 6) は、液晶パネル (6 2) の上段部に設けられたデータ・パッドと電氣的に接続されると共に、データ P C B (6 8) に設けられた出力パッドと電氣的に接続される。

10

【 0 0 6 4 】

このように T C P (6 6) 上にはバッファリング機能だけをする単純構成の出力バッファ I C (9 2) だけが実装されることで、 T C P (6 6) 不良が発生した場合、出力バッファ I C (9 2) だけが損失を受ける。この結果、従来の T C P (6 6) の不良により高価なデータ駆動 I C を使用できなくなることがもたらした経済的な損失を著しく減らすことができる。また、 D A C ・ I C (7 0) は、時分割駆動されて少なくとも 2 個の出力バッファ I C (9 2) に画素信号を供給する。これにより D A C ・ I C (7 0) の数を従来より少なくとも 1 / 2 に減らすことができるようになるので、製造単価を低くすることができる。

20

【 0 0 6 5 】

特に、 D A C ・ I C (7 0) で n 個の画素信号を j 個に時分割して k 個ずつ供給することにより、出力バッファ I C (9 2) のそれぞれの入力ピンの数を n 個のデータライン (D L 1 1 乃至 D L 1 k 、 ... 、 D L j 1 乃至 D L j n) に接続される出力ピンの数 (n) より小さい k 個に減らすことができる。これにより、出力バッファ I C (9 2) が実装される T C P (6 6) の入力ピンの数も減らすことができるので、 T C P (6 6) の入力ピンと接続されるデータ P C B (6 8) の出力パッドのピッチを確保することが容易になる。すなわち、本発明では、 D A C ・ I C (7 0) で出力された画素信号をデータ P C B (6 8) 及び T C P (6 6) を経由して出力バッファ I C (9 2) に伝送するため、データ P C B (6 8) にはデジタル形態の画素データを伝送する従来のデータ P C B より相対的に多い信号伝送ラインと出力パッドが必要となる。この結果、一般的にデータ P C B (6 8) 上に出力パッド上のピッチを確保することが難しかったが、本発明では画素信号を時分割駆動して出力パッドを減らすことで出力パッドのピッチの確保が容易になる。

30

【 0 0 6 6 】

【 発明の効果 】

上述したように、本発明による液晶表示装置のデータ駆動装置及び方法では、 D A C の機能をする D A C 手段と出力バッファリングの機能をする出力バッファリング手段を分離して別途のチップに集積化することで、不良率の高い T C P 上には単純構成の出力バッファ I C だけを実装することができる。これにより、従来の T C P 不良により高価なデータ駆動 I C も使用できなくなることがもたらした損失を大きく減らすことができる。

40

【 0 0 6 7 】

また、本発明による液晶表示装置のデータ駆動装置及び方法では、 D A C ・ I C を、より高い周波数を有する駆動信号を利用して時分割駆動して一つの D A C ・ I C に少なくとも 2 個の出力バッファ I C が共通に接続されるようにすることで D A C ・ I C の数を減らすことができるので、製造単価を低くすることができる。

【 0 0 6 8 】

更に、本発明による液晶表示装置のデータ駆動装置及び方法では、 D A C ・ I C でアナログ信号に変換された画素信号も多数個に時分割して供給することにより、出力バッファ I

50

Cのそれぞれの入力ピンの数を減らすことができる。これにより、出力バッファICが実装されるTCPの入力ピンの数を減らすことができるので、TCPの入力ピンと接続されるデータPCBの出力パッドのピッチの確保が容易になる。

【0069】

以上説明した内容を通して、当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正の可能であることが分かる。従って、本発明の技術的な範囲は明細書の詳細な説明に記載された内容に限らず特許請求の範囲によって定めなければならない。

【図面の簡単な説明】

【図1】従来の液晶表示装置のデータ駆動ブロックを概略的に示した画面である。

【図2】図1に図示されたデータ駆動集積回路の詳細な構成を示したブロック図である

10

。【図3】本発明の実施例による液晶表示装置のデータ・ドライバの駆動を示したブロック図である。

【図4a】図2に示されたラッチ部と図3に示されたラッチ部の駆動波形を比較して示した図面である。

【図4b】図2に示されたラッチ部と図3に示されたラッチ部の駆動波形を比較して示した図面である。

【図5】図3に示された出力バッファ部に含まれる出力バッファの構成を示した図面である。

【図6】図3に図示されたデータ・ドライバを含む液晶表示装置のデータ駆動ブロックを概略的に示した画面である。

20

【図7】本発明の異なる実施例による液晶表示装置のデータ駆動装置を示したブロック図である。

【図8】図7に図示された第1デマルチプレクサの駆動波形を示した図面である。

【符号の説明】

2、62：液晶パネル

4：データ駆動集積回路(IC)

6、66：テープ・キャリア・パッケージ(TCP)

8、68：データ印刷回路基板(PCB)

10、32、72：信号制御部

30

12、34、74：ガンマ電圧部

14、36、76：シフト・レジスタ部

16、38、78：ラッチ部

18、40、80：デジタル-アナログ変換(DAC)部

20、42、82：Pデコーディング部

22、44、84：Nデコーディング部

24、46、86、90：マルチプレクサ(MUX)

26、54、96：出力バッファ部

28、58、150：タイミング制御部

30、70：デジタル-アナログ変換集積回路

40

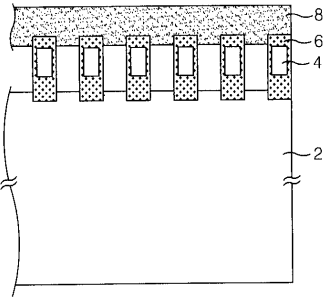
48、52、88、94：デマルチプレクサ(DEMUX)

50、92：出力バッファ集積回路

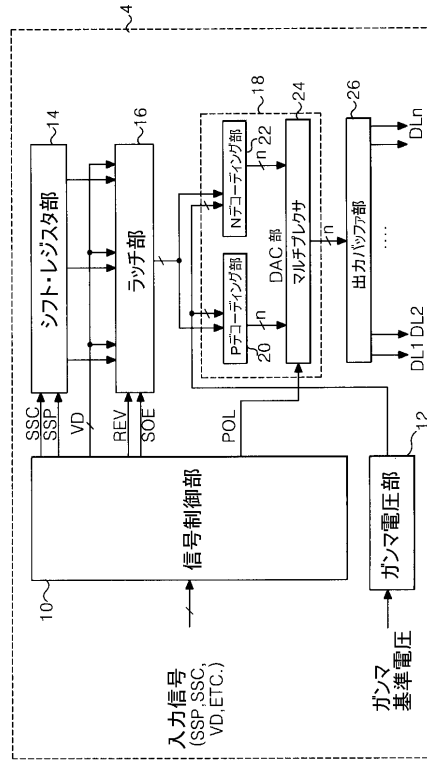
56：スイッチ

58：電圧追従機

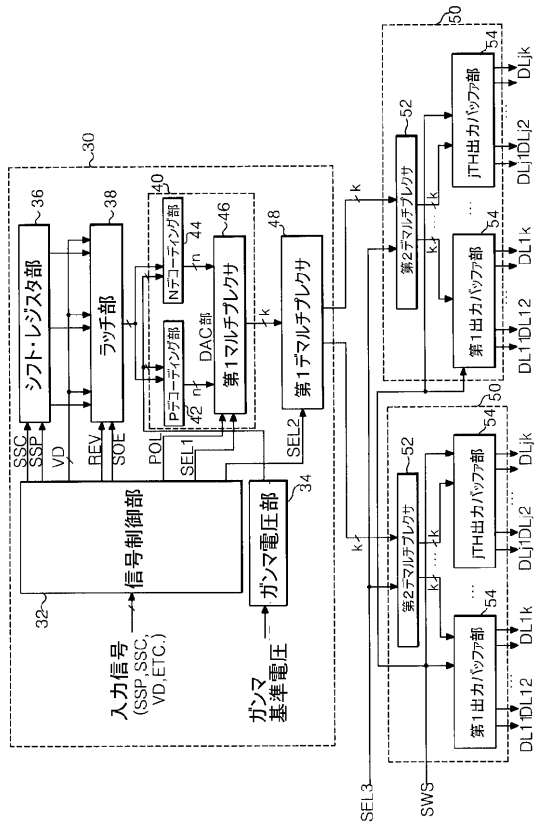
【図1】



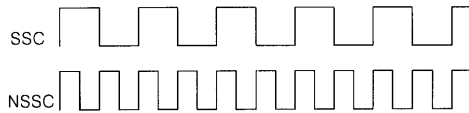
【図2】



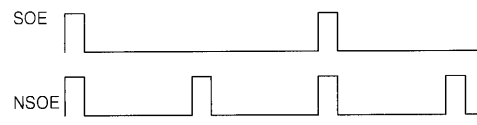
【図3】



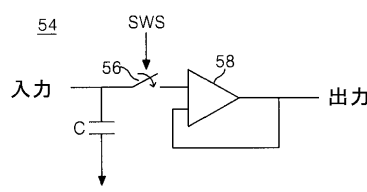
【図4 a】



【図4 b】



【図5】



フロントページの続き

(51)Int.Cl. F I
 G 0 9 G 3/20 6 2 3 H
 G 0 9 G 3/20 6 2 3 K
 G 0 9 G 3/20 6 2 3 V
 H 0 3 M 1/66 B

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100102808

弁理士 高梨 憲通

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100107401

弁理士 高橋 誠一郎

(74)代理人 100106183

弁理士 吉澤 弘司

(72)発明者 リー ソク ウー

大韓民国 キョンサンブック - ド, クミ - シ, ジンピュン - ドン, ナンバー 6 4 2 - 3

(72)発明者 チョイ ス キュン

大韓民国 キョンサンブック - ド, クミ - シ, ジンピュン - ドン, ナンバー 6 4 2 - 3

審査官 後藤 亮治

(56)参考文献 特開平 0 5 - 0 8 0 7 2 2 (J P , A)

特開平 0 3 - 1 2 1 4 1 5 (J P , A)

特開平 0 5 - 1 7 3 5 0 6 (J P , A)

特開平 1 1 - 1 7 5 0 4 2 (J P , A)

特開平 1 1 - 2 5 9 0 3 6 (J P , A)

特開平 0 9 - 0 3 3 9 5 4 (J P , A)

米国特許出願公開第 2 0 0 1 / 0 0 1 7 6 0 7 (U S , A 1)

特開平 1 1 - 1 9 4 7 5 0 (J P , A)

特開平 0 5 - 3 0 3 3 5 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00 - 3/38

G02F 1/133

专利名称(译)	液晶显示装置的数据驱动装置和方法		
公开(公告)号	JP4146669B2	公开(公告)日	2008-09-10
申请号	JP2002164513	申请日	2002-06-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	リーソクウー チヨイスキユン		
发明人	リー ソク ウー チヨイ ス キユン		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H03M1/66		
CPC分类号	G09G3/2011 G09G3/3688 G09G2310/027 G09G2310/0297		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.623.D G09G3/20.623.F G09G3/20.623.G G09G3/20.623.H G09G3/20.623.K G09G3/20.623.V H03M1/66.B		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA43 2H093/NC02 2H093/NC15 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC26 2H093/NC34 2H093/ND54 2H193/ZA04 2H193/ZC02 2H193/ZF02 5C006/AF43 5C006/AF46 5C006/AF82 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF24 5C006/BF25 5C006/BF42 5C006/EB04 5C006/EB05 5C006/FA43 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD25 5C080/DD27 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 5J022/AB01 5J022/BA06 5J022/CA10 5J022/CD03 5J022/CE09 5J022/CF08 5J022/CG01		
代理人(译)	白井伸一 藤野郁夫 朝日 伸光 高桥诚一郎 吉泽博		
优先权	1020010063208 2001-10-13 KR		
其他公开文献	JP2003122333A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于液晶显示器的数据驱动装置及其方法，其中减少了集成电路的数量，以减少由带/载体/封装的缺陷引起的损耗。解决方案：数据驱动装置具有数模转换集成电路30，其将输入的像素数据转换为每n个数据的模拟信号，时间分割每k个数据的信号并输出它们，输出缓冲集成电路50，其中至少两个输出缓冲器部分共同连接到电路30，用于依次接收从电路30为每k个信号提供的像素信号，保持它们，同时缓冲它们并将缓冲的信号输出到n条数据线和定时控制部分控制电路30和50的时间将要提供给电路30的像素数据时间分成至少两个区域，以顺序地将时分像素数据提供给数据线。

