

(19)日本国特許庁(J P)

(12) 公開特許公報(A) (11)特許出願公開番号

特開2003 - 108057

(P2003 - 108057A)

(43)公開日 平成15年4月11日(2003.4.11)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト* (参考)
G 0 9 G 3/20	641	G 0 9 G 3/20	641 G 2 H 0 9 3
	623		623 G 5 C 0 0 6
	624		624 B 5 C 0 8 0
G 0 2 F 1/133	550	G 0 2 F 1/133	550 5 C 0 9 4
	575		575

審査請求 未請求 請求項の数 5 O L (全 8 数) 最終頁に続く

(21)出願番号 特願2001 - 296196(P2001 - 296196)

(22)出願日 平成13年9月27日(2001.9.27)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 羽 成 淳

埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内

(74)代理人 100075812

弁理士 吉武 賢次 (外4名)

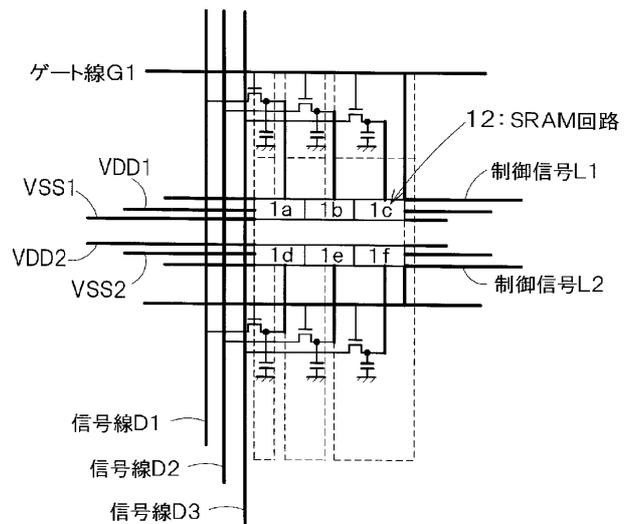
最終頁に続く

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 画素サイズを大きくせずに、表示品質に優れた面積階調表示を実現可能な液晶表示装置を提供する。

【解決手段】 本発明は、複数のメモリセルからなる画素アレイ部1と、信号線駆動回路2と、ゲート線駆動回路3とを備える。画素アレイ部1は、各画素ごとに、画素データの低位ビット側の副画素1 a, 1 b, 1 cに電源電圧を供給する電源ラインVDD1, VSS1と上位ビット側の副画素1 d, 1 e, 1 fに電源電圧を供給する電源ラインVDD2, VSS2とを別個に有する。このため、低位ビット側の副画素に供給する電源電圧レベルと上位ビット側の副画素に供給する電源電圧レベルとを個別に調整できる。したがって、低位ビット側の副画素1 a, 1 b, 1 cの画素サイズを上位ビット側の副画素1 d, 1 e, 1 fの画素サイズに比べてあまり小さくしなくても、表示品質の優れた階調表示が可能になる。



## 【特許請求の範囲】

【請求項1】マトリクス状に配置された複数の表示画素と、

この表示画素の行方向に沿って配置される複数本の走査線と、

この表示画素の列方向に沿って配置されるデータ線と、前記データ線に画素データを供給するデータ線駆動回路と、

前記走査線に走査信号を供給する走査線駆動回路と、

前記データ線駆動回路及び前記走査線駆動回路を制御する制御部と、を備えた表示装置において、

前記複数の表示画素のそれぞれに対応して設けられ、前記走査線又はデータ線に沿って配置される複数組の電源ラインを備え、

前記表示画素は、

前記走査信号にตอบสนองして対応する前記画素データをサンプリングするサンプリング部と、このサンプリング部によってサンプリングされた対応データを保持するメモリ部と、前記対応データに基づいて所定の表示を行なう表示部とからなる複数の副画素を含み、

前記メモリ部のそれぞれは、前記複数組の電源ラインのいずれか一組に接続され、

一組の前記電源ラインに沿って配置される前記メモリ部のそれぞれは、この組の電源ラインに接続されることを特徴とする表示装置。

【請求項2】前記複数組の電源ラインのうち第1組の電源ラインには、フレームごとに異なる電圧が供給され、前記複数組の電源ラインのうち第2組の電源ラインには、フレームによらず常に一定の電圧が供給されることを特徴とする請求項1に記載の表示装置。

【請求項3】前記第1組の電源ラインは、第1および第2の電源ラインを有し、

前記第2組の電源ラインは、第3および第4の電源ラインを有し、

前記第1および第2の電源ライン間の電位差は、前記第3および第4の電源ラインの電位差よりも小さいことを特徴とする請求項2に記載の表示装置。

【請求項4】前記表示部に対向配置される対向電極には、フレームごとに異なる電圧が供給されることを特徴とする請求項2または3に記載の表示装置。

【請求項5】前記表示画素内の前記複数の副画素のうち、画素データの低位ビット側の副画素に接続される前記電源ラインには、画素データの上位ビット側の副画素に接続される前記電源ラインよりも低い電圧が供給されることを特徴とする請求項1～4のいずれかに記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、表示装置に関わり、特に多階調のメモリを画素に配置した液晶や有機E

L等の表示装置に関する。

## 【0002】

【従来の技術】近年、表示装置の低消費電力化を達成するため、例えば各画素ごとにメモリを配置し、各メモリで画素データを保持し、これに基づいて表示を維持することにより周辺回路動作を停止させ、装置の低消費電力化を達成する表示装置が提案されている。例えば、特開平9-258168には、コンデンサにより画素電圧を保持する構成が開示されている。

## 【0003】

【発明が解決しようとする課題】しかしながら、多階調の表示を実現するには、微細な容量のコンデンサを精度良く製造する技術が必要になり、加えて、画素駆動用のトランジスタのばらつきによる画面内のムラがおきるおそれもある。

【0004】一方、特開平10-68931には、一画素を副画素に分割して多階調を表示する液晶表示装置が開示されている。この装置を用いて例えば6ビットのデータの画素を表示するためには、6個に分割した副画素を用いることとなるが、その最小画素は高精細化が進むにつれ一層微細化する必要がある、その加工精度が多階調表示における階調数を大きく制限していた。本発明は、このような点に鑑みてなされたものであり、その目的は、階調数の多い多階調のメモリ表示が可能な表示装置を提供することにある。

## 【0005】

【課題を解決するための手段】上述した課題を解決するために、本発明は、マトリクス状に配置された複数の表示画素と、この表示画素の行方向に沿って配置される複数本の走査線と、この表示画素の列方向に沿って配置されるデータ線と、前記データ線に画素データを供給するデータ線駆動回路と、前記走査線に走査信号を供給する走査線駆動回路と、前記データ線駆動回路及び前記走査線駆動回路を制御する制御部と、を備えた表示装置において、前記複数の表示画素のそれぞれに対応して設けられ、前記走査線又はデータ線に沿って配置される複数組の電源ラインを備え、前記表示画素は、前記走査信号にตอบสนองして対応する前記画素データをサンプリングするサンプリング部と、このサンプリング部によってサンプリングされた対応データを保持するメモリ部と、前記対応データに基づいて所定の表示を行なう表示部とからなる複数の副画素を含み、前記メモリ部のそれぞれは、前記複数組の電源ラインのいずれか一組に接続され、一組の前記電源ラインに沿って配置される前記メモリ部のそれぞれは、この組の電源ラインに接続される。本発明では、一画素内に複数組の電源ラインを設けるため、画素データの低位ビット側の副画素に供給する電源電圧レベルと上位ビット側の副画素に供給する電源電圧レベルとを変えることができ、表示品質に優れた階調表示が可能になる。

【0006】

【発明の実施の形態】以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。

【0007】図1は本発明に係る表示装置の一実施形態における画素アレイ部のレイアウト図である。図1の画素アレイ部は、面積階調表示が可能な画素構造になっている。

【0008】図2は図1の画素アレイ部を有する表示装置の一実施形態のブロック図である。本実施形態の表示装置は、図3に示すように、複数のメモリセルからなる画素アレイ部1と、信号線駆動回路2と、ゲート線駆動回路3とを備えており、信号線駆動回路2には不図示の10 ホストコンピュータからデータバスB1を介して画素データが供給される。

【0009】信号線駆動回路2は列ブロックセクタ4を有し、ゲート線駆動回路3は行ブロックセクタ5とシフトレジスタ6とを有する。

【0010】画素アレイ部1は、面積階調表示が可能な画素構造になっている。一画素は、例えば6つの副画素からなり、各副画素はSRAM構造の1ビットメモリを有する。20

【0011】図3は副画素の回路構成を示す図である。図示のように、副画素は、ゲート線の電位によりオン・オフする画素駆動用TFTQ1と、画素駆動用TFTQ1のドレイン端子に接続される信号線S(D1~3の一つ)と、画素駆動用TFTQ1のソース端子に接続される補助容量C1、画素電極11および1ビットのSRAM回路12とを有する。

【0012】画素電極11は、不図示の対向電極と対向配置され、両電極間には液晶材料が配置される。30

【0013】SRAM回路12は、縦続接続された2段のインバータIV1、IV2と、後段のインバータIV2の出力端子と前段のインバータIV1の入力端子との接続経路を遮断するか否かを切替制御するトランジスタQ2と、画素駆動用TFTQ1のソース端子とインバータIV1の入力端子との接続経路を遮断するか否かを切替制御する制御用TFTQ3と、画素駆動用TFTQ1のソース端子とインバータIV2の入力端子との接続経路を遮断するか否かを切替制御する制御用TFTQ4とを有する。40

【0014】一画素を構成する6つの副画素1a~1fのサイズは、例えば2:4:8:8:16:32に設定されており、そのうちの3つの副画素1a~1cはゲート線G1に接続され、他の3つの副画素1d~1fはゲート線G2に接続されている。また、副画素1a、1dは信号線D1に接続され、副画素1b、1eは信号線D2に接続され、副画素1c、1fは信号線D3に接続されている。

【0015】図4は一画素の詳細構成を示す図、図5は信号線に沿って隣接する2つの副画素の回路構成を示す図である。

【0016】図4に示すように、ゲート線G1に沿って3つの副画素1a、1b、1cが配置され、ゲート線G2に沿って3つの副画素1d、1e、1fが配置されている。本実施形態の画素アレイ部1は、図5に示すように、一画素ごとに2組の電源ライン(VDD1、VSS1)、(VDD2、VSS2)を有する。一組の電源ラインVDD1、VSS1は、画素データの下位側3ビットに対応する副画素1a、1b、1cに接続され、他の組の電源ラインVDD2、VSS2は、画素データの上位側3ビットに対応する副画素1d、1e、1fに接続されている。

【0017】また、ゲート線G1は副画素1a、1b、1cに接続され、ゲート線G2は副画素1d、1e、1fに接続されている。さらに、信号線D1は副画素1a、1dに接続され、信号線D2は副画素1b、1eに接続され、信号線D3は副画素1c、1fに接続されている。

【0018】このように、一画素ごとに2組の電源ライン(VDD1、VSS1)、(VDD2、VSS2)を設ける理由は、画素データの下位側3ビットの副画素に供給する電源電圧レベルを上位側3ビットの副画素に供給する電源電圧レベルよりも低くすることにより、下位側3ビットの副画素の画素サイズを上位側3ビットの副画素の画素サイズよりあまり小さくしなくても、階調表示が可能になるためである。これにより、副画素の微細加工精度が表示階調数を制限しない、また生産性、製造歩留を向上することができる。

【0019】図6は本実施形態の表示装置の動作タイミング図、図7はゲート線G1、G2と信号線D1~D3の駆動タイミングを示す図である。図示のように、1水平表示期間の前半でゲート線G1が駆動され、後半でゲート線G2が駆動される。ゲート線G1が駆動されている間に信号線D1~D3には画素データの下位側3ビットのデータが供給され、下位側3ビットに対応する副画素1a、1b、1cの表示が行われる。また、ゲート線G2が駆動されている間に信号線D1~D3には画素データの上位側3ビットのデータが供給され、上位側3ビットに対応する副画素1d、1e、1fの表示が行われる。

【0020】ゲート線G1、G2の駆動時間は、互いに同じでもよいし、異なってもよい。画素部分の負荷を考えると、上位ビットに対応する副画素1d、1e、1fの方が画素サイズが大きくて負荷も大きいので、ゲート線G2の駆動時間を長くするのが望ましい。

【0021】また、ゲート線G1、G2のどちらを先に駆動してもよい。上位ビットに対応する副画素を先に表示すると、上位ビットが強調して表示されるため、静止画表示の場合には画質がより向上する。一方、動画表示の場合には、下位ビットに対応する副画素を先に表示した方が画面の変化が滑らかになるため、画質がより向上する。50

【0022】本実施形態では、フレームごとに極性反転駆動を行う。ここでは、一例として、図5の2つの副画素にいずれもハイレベルを書き込む場合について説明する。図6に示すように、 $n$ フレーム目で $V_{DD1} = 2.5V$ 、 $V_{SS1} = 0V$ 、 $V_{DD2} = 5V$ 、 $V_{SS2} = 0V$ 、対向電極が $0V$ であったとする。このとき、制御信号L1がハイレベル、制御信号L2がローレベルであるため、図5のA点とC点が選択される。A点、C点はそれぞれ $2.5V$ 、 $5V$ であるため、対向電極の電位に対してA点、C点はそれぞれ $2.5V$ 、 $5V$ の電位差になる。

【0023】なお、ここでは、下位ビットの電位を上位ビットの $1/2$ としたが、液晶にかかる電位と透過率との関係から適切に設定する必要がある。透過率が $1/2$ になる電位が回路の都合上、設定しづらい場合は、画素サイズを調整してもよい。ここでは、説明を簡略化するため、 $2.5V$ 印加時に $5V$ 印加時の $1/2$ の透過率になるとしている。

【0024】一方、次の $(n+1)$ フレーム目では、 $V_{DD1} = 5V$ 、 $V_{SS1} = 2.5V$ 、対向電極は $5V$ になる。なお、 $V_{DD2}$ と $V_{SS2}$ は変化しない。このとき、制御信号L1がローレベル、制御信号L2がハイレベルであるため、図5のB点とD点が選択される。B点、D点はそれぞれ $2.5V$ 、 $0V$ であるため、対向電極の電位に対してB点、D点はそれぞれ $-2.5V$ 、 $-5V$ の電位差になる。

【0025】このように、フレームごとに、下位3ビットの副画素1a、1b、1cに印加する電源電位 $V_{DD1}$ 、 $V_{SS1}$ の電位レベルを切り替えることにより、下位3ビットの副画素1a、1b、1cに印加される電源電圧を上位3ビットの副画素1d、1e、1fに印加される電源電圧の略 $1/2$ に設定できる。また、対向電極に印加する電位レベルをフレームごとに切り替えることにより、フレーム単位で極性反転駆動を行うことができる。

【0026】図6では、1水平表示期間内にゲート線G1、G2をそれぞれ別々のタイミングで駆動する例を示したが、ゲート線G1、G2を同一のタイミングで駆動してもよい。信号線D1には画素データの0ビット目と3ビット目に対応する副画素1a、1dが接続され、信号線D2には1ビット目と4ビット目に対応する副画素1b、1eが接続され、信号線D3には2ビット目と5ビット目に対応する副画素1c、1fが接続されているため、画素面積が $9:18:36$ の $2^3 = 8$ 階調の表示が行われる。

【0027】ゲート線を図6および図7のように別個のタイミングで駆動するか、あるいは上述したように同一のタイミングで駆動するかを、任意に切り替えられるようにしてもよい。階調数が少ないほど消費電力を低減できるため、消費電力を低減したい場合には複数のゲート線を同タイミングで駆動すればよい。

【0028】このように、本実施形態では、一画素中の\*

\*下位ビット側の副画素1a、1b、1cに電源電圧を供給する電源ライン $V_{DD1}$ 、 $V_{SS1}$ と上位ビット側の副画素1d、1e、1fに電源電圧を供給する電源ライン $V_{DD2}$ 、 $V_{SS2}$ とを別個に設けるため、下位ビット側の副画素に供給する電源電圧レベルと上位ビット側の副画素に供給する電源電圧レベルとを個別に調整できる。したがって、下位ビット側の副画素1a、1b、1cの画素サイズを上位ビット側の副画素1d、1e、1fの画素サイズに比べてあまり小さくしなくても、表示品質の優れた階調表示が可能になる。

【0029】なお、図1では、一画素中に二組の電源ラインを設ける例を説明したが、三組以上の電源ラインを設けてもよい。また、一画素を構成する副画素の数や、信号線とゲート線の本数は上述した実施形態に限定されない。

【0030】上記では、1フレームの前半に画素データの下位3ビットに対応する副画素を駆動する例を説明したが、上位3ビットに対応する副画素を先に駆動してもよい。上位3ビット側の副画素を先に駆動すると、上位3ビットが強調表示されるが、上述した実施形態のようなSRAMを用いて静止画表示を行う場合には、画質がより向上する。

【0031】一方、動画を表示する場合には、下位3ビット側の副画素を先に駆動した方が画面の変化が滑らかになるため、画質がより向上する。

【0032】上述した実施形態では、本発明に係る表示装置を液晶表示装置に適用した例を説明したが、本発明はEL(ElectroLuminescence)表示装置にも同様に適用可能である。EL表示装置の場合、極性反転駆動を行う必要はないので、図3の制御用TFTQ3、Q4は省略することができる。

【0033】

【発明の効果】以上詳細に説明したように、本発明によれば、本発明によれば、副画素による多階調表示を用いて画面表示をすることができ、かつ、1ビットメモリを用いたメモリ表示を行うこともでき、これにより周辺の回路動作を停止させ、低消費電力化を達成することができる。また、面積階調に際し、最小画素面積が加工精度の制約を受けないため、高精細な表示装置であっても多階調表示が可能となる。

【図面の簡単な説明】

【図1】本発明に係る表示装置の一実施形態における画素アレイ部のレイアウト図。

【図2】図1の画素アレイ部を有する表示装置の一実施形態のブロック図。

【図3】副画素の回路構成を示す図。

【図4】一画素の詳細構成を示す図。

【図5】信号線に沿って隣接する2つの副画素の回路構成を示す図。

【図6】本実施形態の表示装置の動作タイミング図。

【図7】ゲート線と信号線との駆動タイミングを示す図。

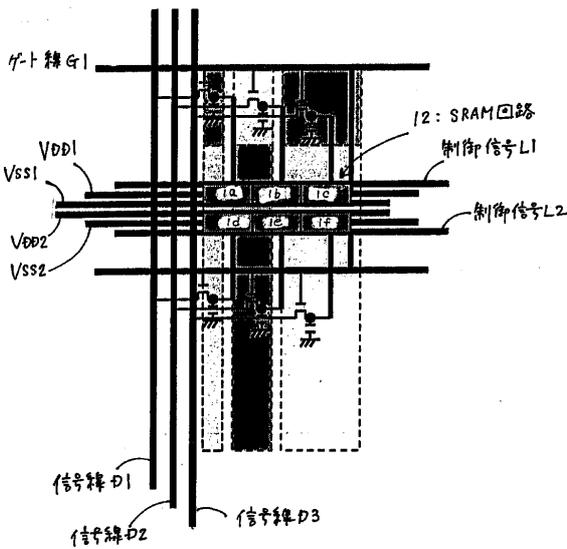
【符号の説明】

- 1 画素アレイ部
- 2, 3 アドレスデコーダ
- 4 表示メモリ (VRAM)
- 5 VRAMコントローラ
- 6 CPU

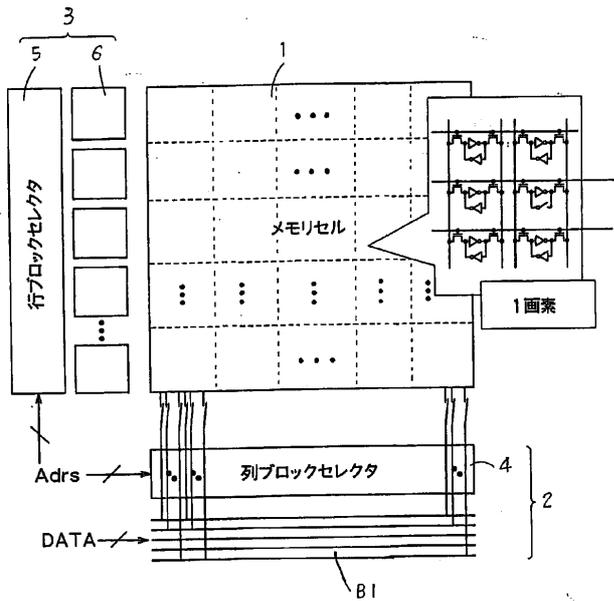
\* 7 周辺回路

- 11 メモリセル
- 12 データバス
- 13 ビット線駆動回路
- 14 ワード線駆動回路
- 15 列ブロックセクタ
- 16 行ブロックセクタ
- \* 17 シフトレジスタ

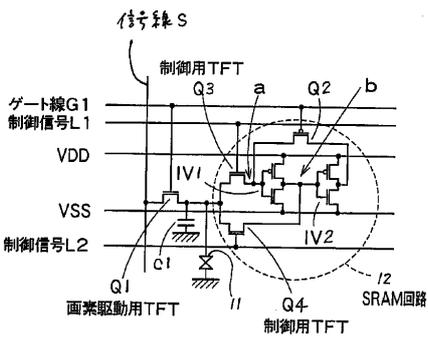
【図1】



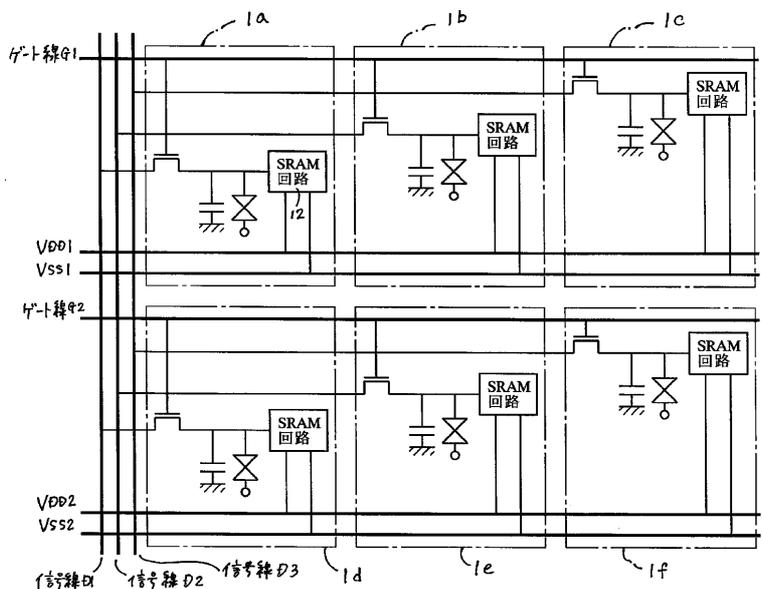
【図2】



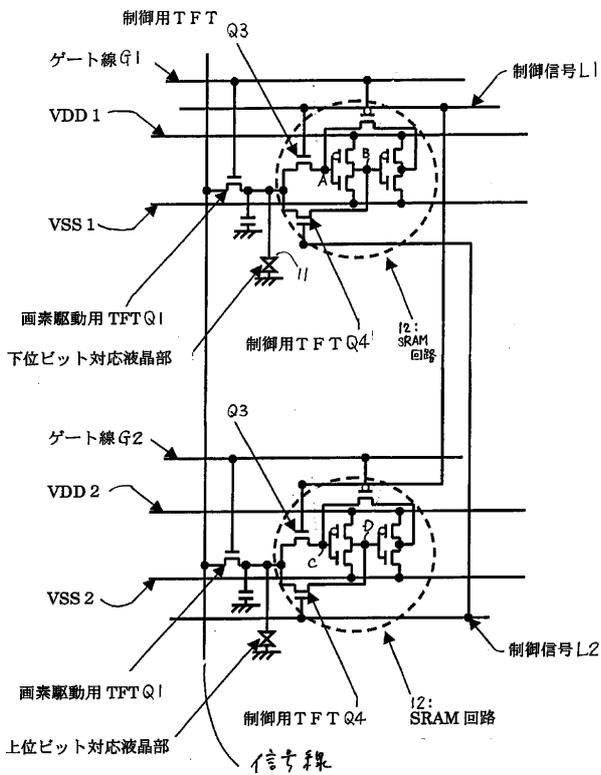
【図3】



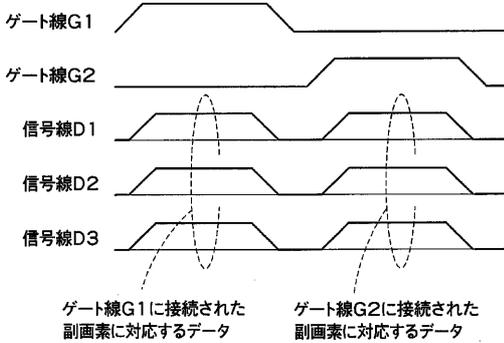
【図4】



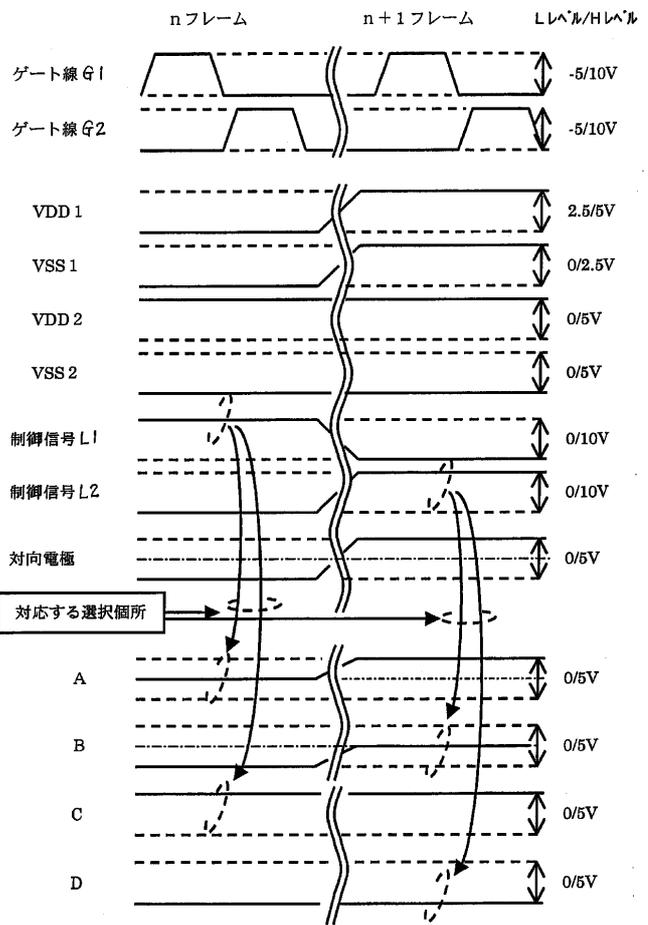
【図5】



【図7】



【図6】



【手続補正書】

【提出日】平成13年10月25日(2001.10.25)

【手続補正1】

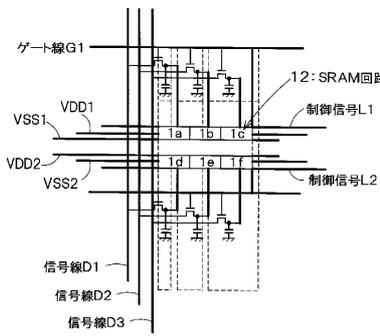
【補正対象書類名】図面

【補正対象項目名】全図

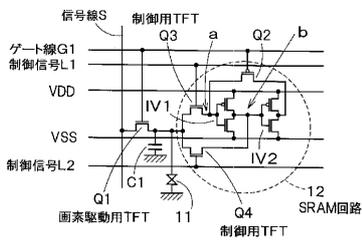
【補正方法】変更

【補正内容】

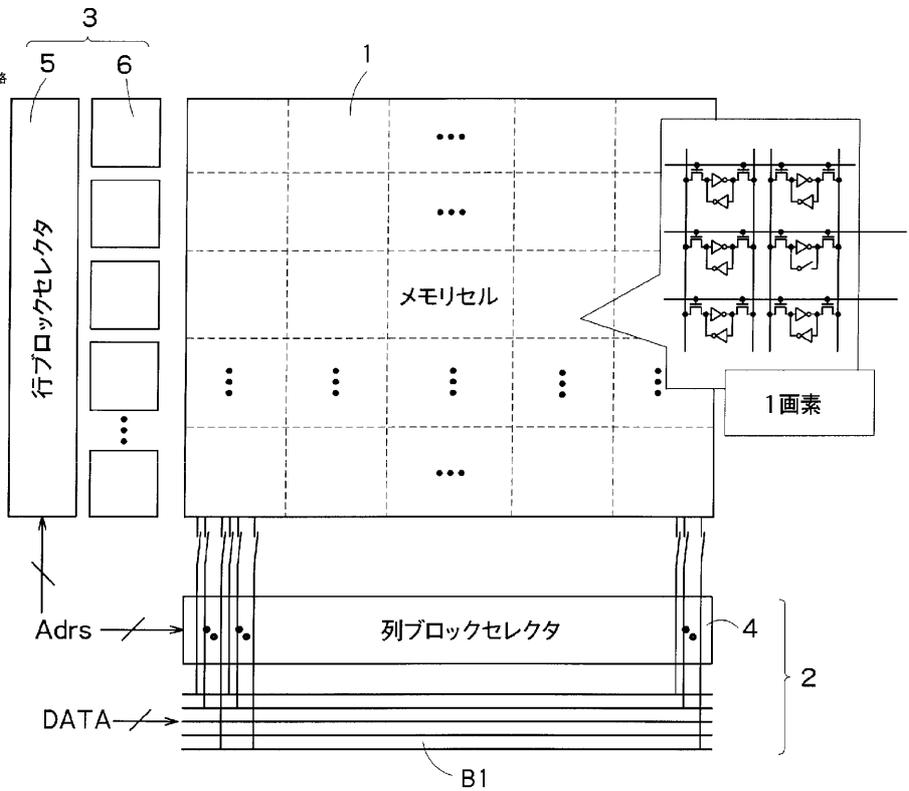
【図1】



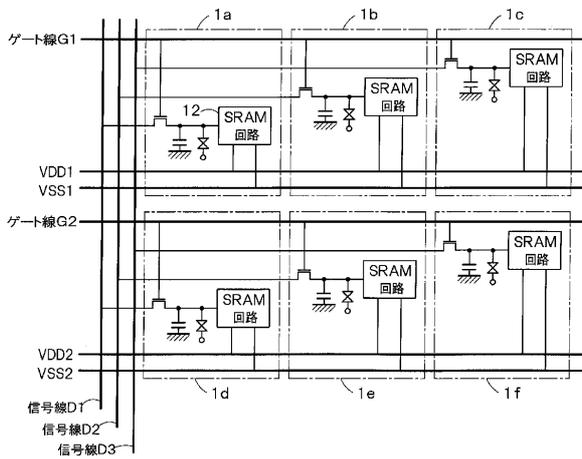
【図3】



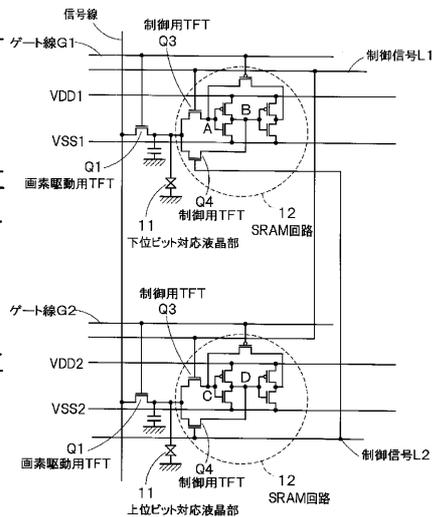
【図2】



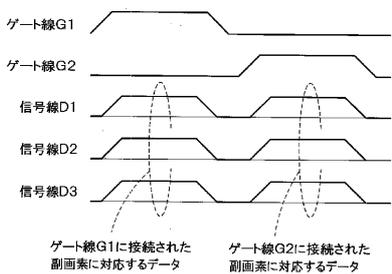
【図4】



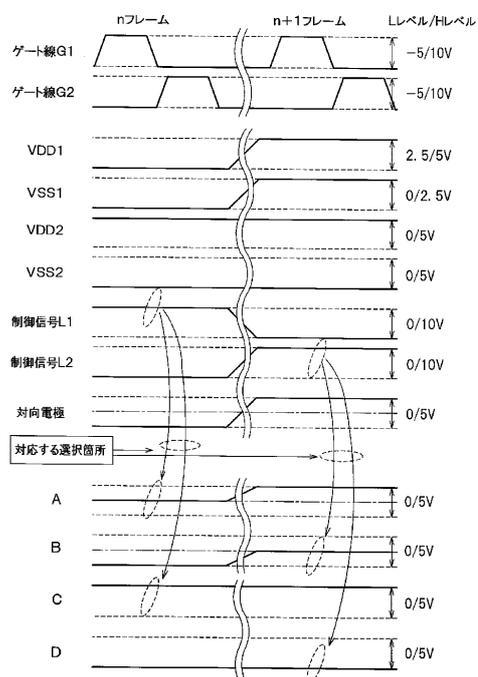
【図5】



【図7】



【図6】



フロントページの続き

(51) Int.Cl. <sup>7</sup>		識別記号	F I	テ-マコード <sup>*</sup> (参考)
G 0 9 F	9/30	3 3 0	G 0 9 F 9/30	3 3 0 Z
		3 3 8		3 3 8
G 0 9 G	3/30		G 0 9 G 3/30	K
	3/36		3/36	

F タ-ム(参考) 2H093 NC16 NC22 NC23 NC34 ND06  
 5C006 AA12 AA16 AA17 BB16 BC06  
 BC13 BF42 FA22 FA56  
 5C080 AA06 AA10 BB05 DD01 DD05  
 EE29 FF11 FF12 JJ02 JJ03  
 JJ04 JJ06  
 5C094 AA05 AA22 BA03 BA09 CA19  
 DB01 DB04 EA04 EA07

专利名称(译)	表示装置		
公开(公告)号	<a href="#">JP2003108057A</a>	公开(公告)日	2003-04-11
申请号	JP2001296196	申请日	2001-09-27
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	羽成淳		
发明人	羽成淳		
IPC分类号	G02F1/133 G09F9/30 G09G3/20 G09G3/30 G09G3/36		
CPC分类号	G09G2300/0857		
FI分类号	G09G3/20.641.G G09G3/20.623.G G09G3/20.624.B G02F1/133.550 G02F1/133.575 G09F9/30.330.Z G09F9/30.338 G09G3/30.K G09G3/36 G09F9/30.330 G09G3/3225 G09G3/3266 G09G3/3275		
F-TERM分类号	2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC34 2H093/ND06 5C006/AA12 5C006/AA16 5C006/AA17 5C006/BB16 5C006/BC06 5C006/BC13 5C006/BF42 5C006/FA22 5C006/FA56 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD05 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA05 5C094/AA22 5C094/BA03 5C094/BA09 5C094/CA19 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 2H093/NC40 2H193/ZA04 2H193/ZA20 2H193/ZD24 5C380/AA01 5C380/AB06 5C380/AB08 5C380/AB09 5C380/AB16 5C380/AB46 5C380/BA01 5C380/BA02 5C380/BA03 5C380/BA05 5C380/BA06 5C380/BA29 5C380/BA38 5C380/BB02 5C380/BB05 5C380/CA04 5C380/CA14 5C380/CB01 5C380/CB02 5C380/CB31 5C380/CC23 5C380/CC24 5C380/CC41 5C380/CE05 5C380/CE08 5C380/CE13 5C380/CF07 5C380/CF23 5C380/CF51 5C380/DA06 5C380/DA09 5C380/DA11 5C380/DA16 5C380/DA32 5C380/DA35 5C380/DA38 5C380/DA41 5C380/DA42 5C380/DA58		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种能够在不增大像素尺寸的情况下实现显示品质优异的区域灰度显示的液晶显示装置。本发明包括具有多个存储单元的像素阵列部分1，信号线驱动电路2和栅极线驱动电路3。像素阵列单元1向每个像素的像素数据的低位侧上的子像素1a, 1b, 1c供电，并且电源线VDD1, VSS1用于向低位侧上的子像素以及高位侧的子像素1d, 1e, 1f供电。它具有分开的电源线VDD2和VSS2，用于提供电压。因此，可以分别调节提供给低位侧子像素的电源电压电平和提供给高位侧子像素的电源电压电平。因此，即使低位侧的子像素1a, 1b, 1c的像素尺寸比高位侧的子像素1d, 1e, 1f的像素尺寸小很多，也可以实现显示品质优异的灰度显示。这将成为可能。

