

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2001 - 332732

(P2001 - 332732A)

(43)公開日 平成13年11月30日(2001.11.30)

(51) Int.Cl ⁷	識別記号	F I	テ-マコード (参考)
H 0 1 L 29/786		G 0 9 F 9/30	338 2 H 0 9 2
21/336		H 0 1 L 29/78	616 J 5 C 0 9 4
G 0 2 F 1/1368		G 0 2 F 1/136	500 5 F 0 0 4
G 0 9 F 9/30	338	H 0 1 L 21/302	G 5 F 1 1 0
H 0 1 L 21/3065			

審査請求 未請求 請求項の数 3 O L (全 5 数)

(21)出願番号 特願2000 - 148699(P2000 - 148699)

(22)出願日 平成12年5月19日(2000.5.19)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 小西 芳広

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 河西 正礼

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74)代理人 100095555

弁理士 池内 寛幸 (外 5 名)

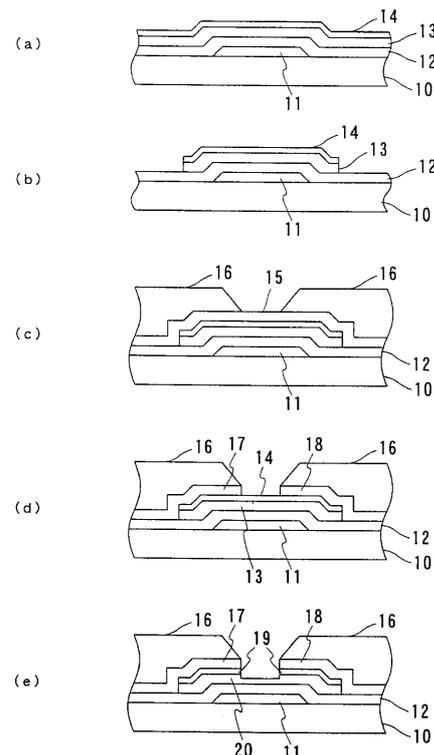
最終頁に続く

(54)【発明の名称】 薄膜トランジスタの製造方法およびこれを用いた液晶表示装置

(57)【要約】

【課題】 特性が高い薄膜トランジスタを生産性よく製造できる薄膜トランジスタの製造方法、およびこれを用いた液晶表示装置を提供する。

【解決手段】 金属導電膜 15 をエッチング速度の大きな低圧の条件でドライエッチングすることによって、ソース電極 17 およびドレイン電極 18 を形成する。その後、薄膜 14 と半導体薄膜 13 とを、高圧の条件でドライエッチングすることによって、コンタクト層 19 と、チャネル領域を形成する真性半導体層 20 とを形成する。



【特許請求の範囲】

【請求項1】 チャネル領域を形成する半導体層と、前記半導体層上に形成されたコンタクト層と、前記コンタクト層上に形成されたソース電極およびドレイン電極とを備える薄膜トランジスタの製造方法において、前記半導体層となる半導体薄膜と、前記コンタクト層となる薄膜と、前記ソース電極およびドレイン電極となる金属導電膜とをこの順序で積層する第1の工程と、前記金属導電膜の一部を、圧力が閾値以下の条件でドライエッチングすることによって前記ソース電極および前記ドレイン電極を形成する第2の工程と、前記薄膜および前記半導体薄膜の一部を前記第2の工程よりも高圧の条件でドライエッチングすることによって前記コンタクト層および前記半導体層を形成する第3の工程とを含むことを特徴とする薄膜トランジスタの製造方法。

【請求項2】 前記閾値が10Paである請求項1に記載の薄膜トランジスタの製造方法。

【請求項3】 スイッチング素子として機能する薄膜トランジスタを備える液晶表示装置であって、前記薄膜トランジスタが請求項1または2に記載の薄膜トランジスタの製造方法によって製造された液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタの製造方法および液晶表示装置に関し、特にたとえば、液晶表示装置に用いる薄膜トランジスタの製造方法、およびこれを用いた液晶表示装置に関する。

【0002】

【従来の技術】近年、液晶表示装置は、薄型軽量、低消費電力という大きな利点のため、OA機器の表示装置に多用されており、それとともに、液晶表示素子の製造歩留まりの向上が強く望まれている。一方、コンピュータ端末としてのTFT液晶表示装置には、高精細・高速応答・高視認性が求められており、特に大画面化および高精細化が強く要望されている。この要望に応えるためには、液晶表示装置の表示素子として用いられる薄膜トランジスタ（以下、TFTという場合がある）の特性の向上が重要である。たとえば、TFT特性にバラツキが生じると、液晶表示装置の表示ムラなどの欠陥となり、液晶表示装置の製造歩留まりが低下することとなる。

【0003】従来の薄膜トランジスタの製造方法について、図2を参照しながら一例を説明する。

【0004】まず、ガラス等の透光性絶縁性基板1上に所定のパターンのゲート電極2を形成したのち、図2(a)に示すように、ゲート電極2を覆うように、窒化珪素などからなる絶縁膜3、真性半導体層4となる薄膜4aおよびオーミックコンタクト層5となる薄膜5aを連続して成膜する。さらに、図2(b)に示すように、

薄膜4aおよび5aを所定のパターンにエッチングする。その後、図2(c)に示すように、薄膜5aを覆うように、ソース電極6およびドレイン電極7となる金属薄膜6aを形成し、さらに、金属薄膜6a上に所定のパターンのレジスト膜8を形成する。その後、図2(d)に示すように、レジスト膜8をマスクとして金属薄膜6a、薄膜5aおよび薄膜4aを順に同一条件でドライエッチングする。このようにして、チャネル領域として機能する真性半導体層4、オーミックコンタクト層5、ソース電極6およびドレイン電極7を備える薄膜トランジスタを形成する。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の薄膜トランジスタの製造方法では、金属薄膜6a、薄膜5aおよび薄膜4aを同一条件でドライエッチングするため、以下のような問題があった。

【0006】すなわち、金属薄膜6aのエッチング条件にあわせて低圧の条件でドライエッチングを行った場合には、エッチング時の物理的スパッタ効果が大きくなり、チャネル領域として機能する真性半導体層4に大きなダメージを与えることになる。この真性半導体層4へのダメージは、TFT特性のバラツキが生じさせ、これが液晶セルへの印加電圧のバラツキとなって液晶表示装置の表示ムラを引き起こし、液晶表示装置の製造歩留まりを低下させることになる。

【0007】一方、エッチング速度が小さい高圧の条件でドライエッチングを行った場合には、チャネル領域へのダメージは小さくなるが、この場合には、エッチング速度が小さいためにスループットが低下し、生産性が悪いという問題があった。

【0008】上記問題を解決するため、本発明は、特性が高い薄膜トランジスタを生産性よく製造できる薄膜トランジスタの製造方法、およびこれを用いた液晶表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記問題を解決するため、本発明の薄膜トランジスタの製造方法は、チャネル領域を形成する半導体層と、上記半導体層上に形成されたコンタクト層と、上記コンタクト層上に形成されたソース電極およびドレイン電極とを備える薄膜トランジスタの製造方法において、上記半導体層となる半導体薄膜と、上記コンタクト層となる薄膜と、上記ソース電極およびドレイン電極となる金属導電膜とをこの順序で積層する第1の工程と、上記金属導電膜の一部を、圧力が閾値以下の条件でドライエッチングすることによって上記ソース電極および上記ドレイン電極を形成する第2の工程と、上記薄膜および上記半導体薄膜の一部を上記第2の工程よりも高圧の条件でドライエッチングすることによって上記コンタクト層および上記半導体層を形成する第3の工程とを含むことを特徴とする。上記本発明の製

造方法によれば、特性が高い薄膜トランジスタを生産性よく製造することができる。

【0010】上記製造方法では、上記閾値が10Paであることが好ましい。上記構成によれば、特性が特に高い薄膜トランジスタを、特に生産性よく製造することができる。

【0011】また、本発明の液晶表示装置は、スイッチング素子として機能する薄膜トランジスタを備える液晶表示装置であって、上記薄膜トランジスタが上記本発明の薄膜トランジスタの製造方法によって製造されている。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0013】本発明の薄膜トランジスタの製造方法について、製造工程の一例を図1（ハッチングは省略する）に示す。本発明の製造方法では、まず、図1（a）に示すように、ガラスなどの透光性絶縁性基板10上に、ゲート電極11と、ゲート絶縁膜12と、半導体薄膜13と、薄膜14とをこの順序で積層する。ゲート電極11には、たとえば、アルミニウム、アルミニウム合金、クロムまたはタンタルなどの金属を用いることができる。ゲート電極11は、上記金属からなる膜をスパッタリング法などによって形成したのち、フォトリソ工程およびドライエッチング工程によって所定のパターンに形成できる。

【0014】ゲート絶縁膜12には、たとえば、窒化ケイ素（SiN）などの絶縁膜を用いることができる。半導体薄膜13は、チャネル領域を形成する真性半導体層20となる膜であり、たとえば、アンドープ非晶質シリコンなどを用いることができる。薄膜14は、コンタクト層19となる膜であり、たとえば、P（リン）などをドープした非晶質シリコンを用いることができる。ゲート絶縁膜12、半導体薄膜13、薄膜14は、それぞれ、たとえばCVD（Chemical Vapor Deposition）法などによって形成できる。

【0015】その後、図1（b）に示すように、半導体薄膜13および薄膜14を所定のパターンにパターンニングする。パターンニングは、たとえば、フォトレジストなどによってマスクを形成したのち、ドライエッチングすることによって行うことができる。

【0016】その後、図1（c）に示すように、薄膜14を覆うように、金属導電膜15を積層し、さらに金属導電膜15上に所定のパターンのマスク16を形成する。すなわち、透光性絶縁性基板10の上方には、半導体薄膜13と、薄膜14と、金属導電膜15とが、透光性絶縁性基板10側からこの順序で積層される（第1の工程）。金属導電膜15は、ソース電極17およびドレイン電極18となる膜である。金属導電膜15には、たとえば、アルミニウム、アルミニウム合金、チタン、ク

ロム、またはこれらの積層膜などを用いることができる。金属導電膜15は、たとえばスパッタリング法などによって形成できる。マスク16には、たとえばフォトレジストを用いることができ、露光および現像を行うことによって、所定のパターンに形成できる。

【0017】その後、図1（d）に示すように、マスク16をマスクとして、反応室（エッチング室）の圧力が閾値以下の条件で金属導電膜15をドライエッチングし、ソース電極17およびドレイン電極18を形成する（第2の工程）。ドライエッチング法としては、たとえば、反応性イオンエッチング法、プラズマエッチング法、励起ガスエッチング法、またはスパッタエッチング法などを用いることができる（以下の図1（e）の工程におけるドライエッチングも同様である）。ドライエッチング時の圧力は、10Pa以下であることが好ましい（すなわち、上記閾値が10Paである）。さらに、このときの圧力は、6.7Pa以下であることが特に好ましい。具体的なエッチング条件は、たとえば、反応室の圧力が6.7Pa、エッチングガスがBCl₃/Cl₂系ガス、出力2500Wである。

【0018】その後、図1（e）に示すように、マスク16をマスクとして、薄膜14と半導体薄膜13とをドライエッチングし、コンタクト層19と真性半導体層20とを形成する（第3の工程）。コンタクト層19は、ソース電極17またはドレイン電極18と真性半導体層20とをオーミックに接続するために形成される。また、真性半導体層20は、チャネル領域を形成する。ここで、図1（e）のドライエッチングは、図1（d）のドライエッチングの工程よりも反応室（エッチング室）が高圧の条件で行われる。すなわち、図1（e）のドライエッチングは、10Paよりも高い圧力で行われることが好ましく、特に、13.3Pa以上の圧力で行われることが好ましい。具体的なエッチング条件は、たとえば、反応室の圧力が13.3Pa、エッチングガスがBCl₃/Cl₂、出力2500Wである。

【0019】以上のようにして、薄膜トランジスタが形成される。

【0020】以下に、ドライエッチングの工程における反応室内の圧力の影響を説明する。ドライエッチング法によるエッチングでは、イオン衝撃による物理的スパッタリング効果によるエッチングと、ラジカルによる化学反応効果によるエッチングとが起きると考えられる。そして、圧力が低い条件でエッチングを行った場合には、イオン衝撃による物理的スパッタリング効果が支配的になる。この場合には、エッチング速度は大きくなるものの、スパッタリングされる膜にはイオン衝撃によるダメージが発生する。一方、圧力が高い条件でエッチングを行った場合には、ラジカルによる化学反応効果が支配的になるため、エッチング速度は小さくなるものの、イオン衝撃による膜のダメージは減少する。

【0021】本発明の製造方法では、ソース電極17およびドレイン電極18となる金属導電膜15をドライエッチングする際に、閾値（たとえば10Pa）以下の低圧力領域でドライエッチングするため、生産性よく金属導電膜15をエッチングすることができる。10Pa以下の低圧力領域でドライエッチングすることによって、エッチングレートを低下させることなくエッチングできる。特に、6.7Pa以下の低圧力領域でドライエッチングすることによって、特に生産性よく金属導電膜15をドライエッチングすることができる。

【0022】また、本発明の製造方法では、コンタクト層19となる薄膜14と、真性半導体層20となる半導体薄膜13をドライエッチングする際に、上記金属導電膜15のドライエッチングの条件よりも高圧の条件でドライエッチングを行うため、コンタクト層19および真性半導体層20に対するイオン衝撃のダメージが小さい。したがって、本発明の製造方法によれば、チャンネル領域へのダメージが小さいため、特性が高い薄膜トランジスタを製造することができる。なお、金属導電膜15と薄膜14との厳密な境界面で圧力を変更する必要はなく、金属導電膜15と薄膜14との境界付近で圧力を変更すればよい。

【0023】以上のように、本発明の薄膜トランジスタの製造方法によれば、生産性よく特性が高い薄膜トランジスタを製造できる。さらに本発明の製造方法を用いて液晶表示装置を製造することによって、TFTの特性バラツキによる液晶表示装置の表示ムラなどの問題を解消し、液晶表示装置の製造歩留まりの向上、ならびに生産性の向上を図ることができる。

【0024】次に、本発明の液晶表示装置について説明する。

【0025】本発明の液晶表示装置は、スイッチング素子として機能する薄膜トランジスタを備え、その薄膜トランジスタが、上記薄膜トランジスタの製造方法によって製造されたトランジスタであることを特徴とする。

【0026】その他の部分については、一般的な液晶表示装置と同様である。たとえば、本発明の液晶表示装置は、薄膜トランジスタが形成されたガラス基板と、対向電極が形成されたガラス基板と、上記2枚のガラス基板の間に封入された液晶とを備え、さらに必要に応じて配向膜やカラーフィルタなどを備える。これらは、常法に従って製造できる。

【0027】上記本発明の液晶表示装置では、薄膜トランジスタが本発明の薄膜トランジスタの製造方法によって製造されるため、製造歩留まりが高く、生産性がよい。さらに、薄膜トランジスタの特性バラツキが小さいため、表示特性の面内バラツキが小さい液晶表示装置が得られる。

【0028】以上、本発明の実施の形態について例を挙*

*げて説明したが、本発明は、上記実施の形態に限定されず本発明の技術的思想に基づき他の実施形態に適用することができる。

【0029】たとえば、上記実施の形態では、低圧力領域と高圧力領域の2つの圧力でドライエッチングする場合について説明したが、低圧力領域から高圧力領域への変化であれば、3つ以上の圧力条件でドライエッチングを行ってもよい。たとえば、金属導電膜15と薄膜14と半導体薄膜13とを、それぞれ異なる圧力下でドライエッチングしてもよい。

【0030】また、上記実施の形態では、チャンネル領域を形成する半導体層が真性半導体層20である場合を示したが、ドーピングをした半導体層を用いてもよい。

【0031】

【発明の効果】以上説明したように、本発明の薄膜トランジスタの製造方法では、ソース電極およびドレイン電極となる金属導電膜と、チャンネル領域を形成する真性半導体層およびコンタクト層となる薄膜とを、ドライエッチング法でエッチング加工する際に、エッチング速度の大きな低圧条件で金属導電膜をエッチング加工し、その後、コンタクト層および真性半導体層となる薄膜を高圧の条件でエッチング加工する。したがって、本発明の薄膜トランジスタの製造方法によれば、金属導電膜のエッチングが短時間で終了するため、生産性よく薄膜トランジスタを製造できる。また、チャンネル領域への物理的スパッタリング効果が低減されるため、特性が高い薄膜トランジスタを製造できる。

【0032】また、本発明の液晶表示装置は、薄膜トランジスタが上記本発明の製造方法によって製造されている。したがって、薄膜トランジスタの特性バラツキによる表示ムラなどの問題が解消され、製造歩留まりの向上ならびに生産性の向上を図ることができる。

【図面の簡単な説明】

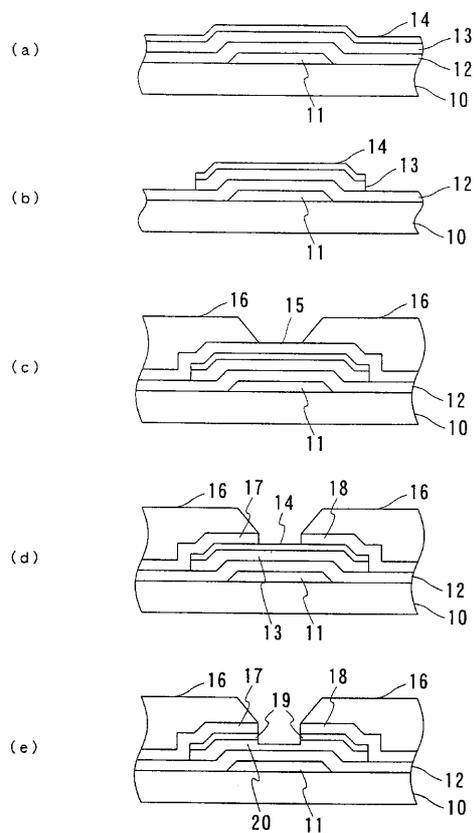
【図1】 本発明の薄膜トランジスタの製造方法について一例を示す工程図

【図2】 従来の薄膜トランジスタの製造方法について一例を示す工程図

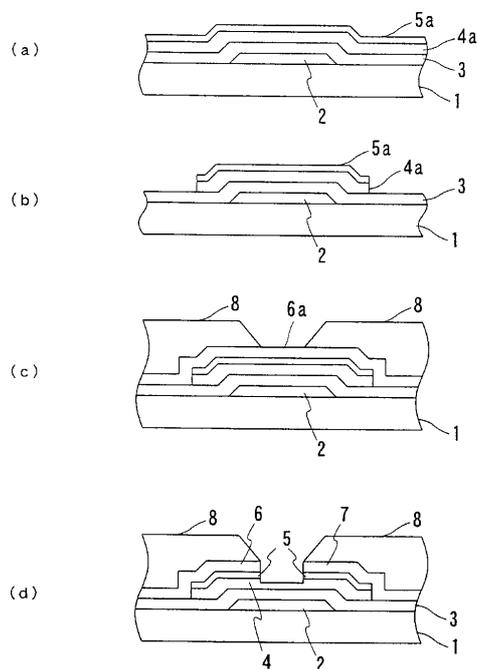
【符号の説明】

- 10 透光性絶縁性基板
- 11 ゲート電極
- 12 ゲート絶縁膜
- 13 半導体薄膜
- 14 薄膜
- 15 金属導電膜
- 16 マスク
- 17 ソース電極
- 18 ドレイン電極
- 19 コンタクト層
- 20 真性半導体層

【図1】



【図2】



フロントページの続き

Fターム(参考) 2H092 JA24 JA41 JA47 MA05 MA13
MA19 NA27 NA29 PA08
5C094 AA03 AA42 AA43 BA03 BA43
CA19 EA04 EA07 EB05 GB10
5F004 AA06 AA16 BB13 CA02 CA09
DA04 DA11 DB01 DB08 DB09
EA01 EA31
5F110 CC07 DD02 EE03 EE04 EE06
EE44 FF03 FF29 GG02 GG15
GG35 GG44 HK03 HK04 HK06
HK09 HK16 HK21 HK25 HK33
HK34 QQ04

专利名称(译)	薄膜晶体管的制造方法和使用其的液晶显示装置		
公开(公告)号	JP2001332732A	公开(公告)日	2001-11-30
申请号	JP2000148699	申请日	2000-05-19
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	小西芳広 河西正礼		
发明人	小西 芳広 河西 正礼		
IPC分类号	G02F1/136 G02F1/1368 G09F9/30 H01L21/302 H01L21/3065 H01L21/336 H01L29/786		
FI分类号	G09F9/30.338 H01L29/78.616.J G02F1/136.500 H01L21/302.G G02F1/1368 H01L21/302.104.C		
F-TERM分类号	2H092/JA24 2H092/JA41 2H092/JA47 2H092/MA05 2H092/MA13 2H092/MA19 2H092/NA27 2H092/NA29 2H092/PA08 5C094/AA03 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA07 5C094/EB05 5C094/GB10 5F004/AA06 5F004/AA16 5F004/BB13 5F004/CA02 5F004/CA09 5F004/DA04 5F004/DA11 5F004/DB01 5F004/DB08 5F004/DB09 5F004/EA01 5F004/EA31 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE44 5F110/FF03 5F110/FF29 5F110/GG02 5F110/GG15 5F110/GG35 5F110/GG44 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK25 5F110/HK33 5F110/HK34 5F110/QQ04 2H192/AA24 2H192/CB05 2H192/HA63		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够以高生产率制造具有高特性的薄膜晶体管的薄膜晶体管的制造方法以及使用该薄膜晶体管的液晶显示装置。 解决方案：源电极17和漏电极18是通过在高蚀刻速率和低压条件下对金属导电膜15进行干蚀刻而形成的。 之后，在高压条件下对薄膜14和半导体薄膜13进行干法蚀刻，以形成形成沟道区域的接触层19和本征半导体层20。

