

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5441301号  
(P5441301)

(45) 発行日 平成26年3月12日(2014.3.12)

(24) 登録日 平成25年12月27日(2013.12.27)

(51) Int.Cl. F 1  
**GO2F 1/1368 (2006.01)** GO2F 1/1368  
**GO2F 1/133 (2006.01)** GO2F 1/133

請求項の数 7 (全 21 頁)

<p>(21) 出願番号 特願2006-299548 (P2006-299548)                  (22) 出願日 平成18年11月2日(2006.11.2)                  (65) 公開番号 特開2007-128092 (P2007-128092A)                  (43) 公開日 平成19年5月24日(2007.5.24)                      審査請求日 平成21年10月30日(2009.10.30)                  (31) 優先権主張番号 10-2005-0104176                  (32) 優先日 平成17年11月2日(2005.11.2)                  (33) 優先権主張国 韓国(KR)</p>	<p>(73) 特許権者 512187343                  三星ディスプレイ株式会社                  Samsung Display Co., Ltd.                  大韓民国京畿道龍仁市器興区三星二路95                  95, Samsung 2 Ro, Gih eung-Gu, Yongin-City , Gyeonggi-Do, Korea                  (74) 代理人 110000671                  八田国際特許業務法人                  (72) 発明者 金 聖 萬                  大韓民国ソウル特別市松坡区新川洞 チャ ンミアパート30棟508号</p>
---	--

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板上に形成され、複数の画素を有する複数の第1及び第2画素行と、

前記基板上を行方向に伸び、前記第1画素行と接続され、互いに前記第1画素行を挟んで隣接する第1上部ゲート線及び第1下部ゲート線からなる複数の第1ゲート線群と、

前記基板上を行方向に伸び、前記第2画素行と接続され、互いに前記第2画素行を挟んで隣接する第2上部ゲート線及び第2下部ゲート線からなる複数の第2ゲート線群と、

前記基板上に列方向に伸びて、二つの画素列ごとの一つずつ配置されている複数のデータ線と、

前記第1上部ゲート線及び前記第2下部ゲート線と接続されている第1ゲート駆動部と

、  
 前記第1下部ゲート線及び前記第2上部ゲート線と接続されている第2ゲート駆動部と

を有し、

前記データ線のうちの隣接した二つのデータ線の間で前記第1及び第2画素行においてそれぞれ行方向に隣接して配列されている二つの画素は同一のデータ線に接続され、

前記第1画素行と前記第2画素行との間において列方向に隣接した二つの画素は互いに異なるデータ線に接続されていることを特徴とする液晶表示装置。

【請求項2】

前記第 1 及び第 2 ゲート駆動部は前記基板上に集積されることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記第 1 ゲート駆動部と第 2 ゲート駆動部は、前記行方向に対して互いに反対側に位置することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】

前記第 1 ゲート駆動部および前記第 2 ゲート駆動部と、前記第 1 ゲート線群との接続関係が一定数を単位として繰り返して配置され、次いで、前記第 1 ゲート駆動部および前記第 2 ゲート駆動部と、前記第 2 ゲート線群との接続関係が一定数を単位として繰り返して配置されることを特徴とする請求項 1 記載の液晶表示装置。

10

【請求項 5】

前記第 1 ゲート線群の前記第 1 上部ゲート線及び前記第 1 下部ゲート線が配置され、次いで、前記第 2 ゲート線群の前記第 2 上部ゲート線及び前記第 2 下部ゲート線が配置され、このような配置が繰り返されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記二つのデータ線の間に行方向に隣接して配列されている二つの画素にデータ信号を供給する各スイッチング素子は、一方が前記第 1 上部ゲート線または前記第 2 上部ゲート線に、他方が前記第 1 下部ゲート線または前記第 2 下部ゲート線に各々接続されることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 7】

20

前記データ線のうちの隣接した二つのデータ線の間に行方向に隣接して配列される二つの画素からなる単位画素対は、前記単位画素対を構成する二つの画素にそれぞれデータ信号を供給する各スイッチング素子の位置が同一であることを特徴とする請求項 1 記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関するものである。

【背景技術】

【0002】

30

液晶表示装置は現在最も広く使用されている平板表示装置の一つであって、画素電極と共通電極といった電場生成用電極が形成されている二枚の表示板と、その間に入っている液晶層を有する。液晶表示装置は電場生成用電極に電圧を印加して液晶層に電場を生成し、これを通じて液晶層の液晶分子の配向を決めて、入射光の偏光を制御することによって映像を表示する。

【0003】

液晶表示装置はまた、各画素電極に接続されているスイッチング素子及びスイッチング素子を制御して画素電極に電圧を印加するためのゲート線とデータ線など複数の信号線を有する。ゲート線はゲート駆動回路が生成したゲート信号を伝達し、データ線はデータ駆動回路が生成したデータ電圧を伝達し、スイッチング素子はゲート信号によってデータ電圧を画素電極に伝達する。

40

【0004】

このようなゲート駆動回路及びデータ駆動回路は、複数の集積回路チップの形態で表示板に直接装着されたり、可撓性回路膜などに装着されて表示板に実装されたりするが、このような集積回路チップは液晶表示装置の製造費用における高い比率を占める。特に、データ駆動集積回路チップの場合、ゲート駆動回路チップに比べてその価格が非常に高いため、高解像度、大面積液晶表示装置の場合にはその個数を減らす必要がある。ゲート駆動回路の場合、ゲート線、データ線及びスイッチング素子と共に表示板に集積することによってその価格を減らすことができるが、データ駆動回路はその構造がやや複雑であるため、表示板に集積することが難しく、そのため、さらにその個数を減らす必要性が高い。

50

## 【0005】

一方、画素には信号線の重畳による寄生容量が存在するため、データ電圧が印加された後、ゲートオン電圧がゲートオフ電圧になる瞬間に寄生容量によってキックバック電圧(kickback voltage)が発生する。そのため、データ電圧が多少減少し、次いで、ゲートオン電圧がゲートオフ電圧に変わる瞬間にキックバック電圧によってさらに一度データ電圧が減少する。その結果、正極性と負極性の画素電圧に差が生じて、フリッカー(flicker)を誘発する一方、画面に染みが生じることもある。

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0006】

本発明が目的とする技術的課題は、画面の染みが発生することを防止することにある。

## 【課題を解決するための手段】

## 【0007】

本発明の液晶表示装置は、基板と、前記基板上に形成され、複数の画素を有する第1及び第2画素行と、前記基板上を行方向に伸び、前記第1画素行と接続されている第1ゲート線と、前記基板上を行方向に伸び、前記第1画素行と接続され、前記第1ゲート線と隣接する第2ゲート線と、前記基板上を行方向に伸び、前記第2画素行と接続され、前記第2ゲート線と隣接する第3ゲート線と、前記基板上を行方向に伸び、前記第2画素行と接続され、前記第3ゲート線と隣接する第4ゲート線と、前記基板上を列方向に伸び、二つの画素列ごとに一つずつ配置される複数のデータ線と、前記第1及び第4ゲート線と接続され、前記第1及び第4ゲート線にゲート信号を印加する第1ゲート駆動部と、前記第2及び第3ゲート線と接続され、前記第2及び第3ゲート線にゲート信号を印加する第2ゲート駆動部とを有する。

## 【0008】

前記第1及び第2ゲート線は、前記第1画素行を間に挟んで上下に配置され、前記第3及び第4ゲート線は前記第2画素行を間に挟んで上下に配置されてもよい。

## 【0009】

前記第1及び第2ゲート駆動部は前記基板上に集積されてもよい。

## 【0010】

前記第1ゲート駆動部と第2ゲート駆動部は、前記行方向に対して互いに反対側に位置することができる。

## 【0011】

本発明の他の実施形態による液晶表示装置は、基板と、前記基板上に形成され、複数の画素を有する複数の第1及び第2画素行と、前記基板上を行方向に伸び、前記第1画素行と接続され、互いに前記第1画素行を挟んで隣接する第1上部ゲート線及び第1下部ゲート線からなる複数の第1ゲート線群と、前記基板上を行方向に伸び、前記第2画素行と接続され、互いに前記第2画行を挟んで隣接する第2上部ゲート線及び第2下部ゲート線からなる複数の第2ゲート線群と、前記基板上に列方向に伸びて、二つの画素列ごとに一つずつ配置されている複数のデータ線と、前記第1上部ゲート線及び前記第2下部ゲート線と接続されている第1ゲート駆動部と、前記第1下部ゲート線及び前記第2上部ゲート線と接続されている第2ゲート駆動部とを有することができる。

## 【0012】

前記第1及び第2ゲート駆動部は前記基板上に集積されてもよい。

## 【0013】

前記第1ゲート駆動部と第2ゲート駆動部は、前記行方向に対して互いに反対側に位置することができる。

## 【0014】

前記第1ゲート線群が一定数を単位として繰り返して配置され、次いで、前記第2ゲート線群が一定数を単位として繰り返して配置されてもよい。

## 【0015】

10

20

30

40

50

前記第1ゲート線群と前記第2ゲート線群が交互に隣接してもよい。

【0016】

前記データ線のうちの隣接した二つのデータ線の間に行方向に隣接して配列されている二つの画素は同一のデータ線に接続されてもよい。

【0017】

列方向に隣接した二つの画素は互いに異なるデータ線に接続されてもよい。

【0018】

前記二つのデータ線の間に行方向に隣接して配列されている二つの画素にデータ信号を供給する各スイッチング素子は、一方が前記第1上部ゲート線及び前記第2上部ゲート線に、他方が前記前記第1下部ゲート線及び前記第2下部ゲート線に各々接続されてもよい。

10

【0019】

前記データ線のうちの隣接した二つのデータ線の間に行方向に隣接して配列される二つの画素からなる単位画素対は、前記単位画素対を構成する二つの画素にそれぞれデータ信号を供給する各スイッチング素子の位置は同一であり得る。

【発明の効果】

【0020】

本発明により、各画素の輝度差による画面の染みが発生することを防止できる。

【発明を実施するための最良の形態】

【0021】

次に、本発明に係る液晶表示装置を実施するための最良の形態を、図面を参照しながら説明する。

20

【0022】

図面においては、多様な層及び領域を明確に表現するために厚さを拡大して表示している。明細書全体にわたって類似の部分に対しては同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“直上”にある場合だけでなく、その中間に他の部分がある場合も含む。反対に、ある部分が他の部分の“直上”にあるとする時には、中間に他の部分がないことを意味する。

【0023】

まず、図1、図2、図3Aを参照して、本発明の一実施形態による液晶表示装置について説明する。

30

【0024】

図1は本発明の一実施形態による液晶表示装置のブロック図であり、図2は本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図であり、図3Aは本発明の一実施形態による液晶表示装置の画素及び信号線の空間的な配列を説明する図面である。

【0025】

図1及び図2を参照すれば、本発明の一実施形態による液晶表示装置は、液晶表示板組立体300と、これに接続された一対のゲート駆動部400R、400Lと、データ駆動部500と、データ駆動部500に接続された階調電圧生成部800と、これらを制御する信号制御部600とを有する。

40

【0026】

液晶表示板組立体300は等価回路で見る時、複数の信号線 $G_1 - G_{2n}$ 、 $D_1 - D_m$ と、これに接続されてほぼ行列形態に配列された複数の画素PXを有する。一方、図2に示した構造で見たときは、液晶表示板組立体300は互いに対向する下部及び上部表示板100、200と、その間に入っている液晶層3を有する。

【0027】

信号線はゲート信号(“走査信号”とも言う)を伝達する複数のゲート線 $G_1 - G_{2n}$ と、データ信号を伝達する複数のデータ線 $D_1 - D_m$ を有する。ゲート線 $G_1 - G_{2n}$ はほぼ行方向に伸びて互いにほとんど平行であり、データ線 $D_1 - D_m$ はほぼ列方向に伸びて互いにほぼ平行である。

50

## 【0028】

各画素PXは信号線に接続されたスイッチング素子Qと、これに接続された液晶キャパシタ(liquid crystal capacitor)Clc及びストレージキャパシタ(storage capacitor)Cstを有する。ストレージキャパシタCstは必要に応じて省略してもよい。

## 【0029】

スイッチング素子Qは下部表示板100に備えられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線Giと接続され、入力端子はデータ線Djと接続され、出力端子は液晶キャパシタClc及びストレージキャパシタCstと接続されている。

10

## 【0030】

液晶キャパシタClcは下部表示板100の画素電極191と上部表示板200の共通電極270を二つの端子とし、二つの電極191、270の間の液晶層3は誘電体として機能する。画素電極191はスイッチング素子Qと接続され、共通電極270は上部表示板200の全面に形成されて共通電圧Vcomの印加を受ける。図2とは異なり、共通電極270が下部表示板100に備えられる場合もあり、この時には二つの電極191、270のうちの少なくとも一つが線状または棒状に作られることができる。

## 【0031】

液晶キャパシタClcの補助的な役割を果たすストレージキャパシタCstは、下部表示板100に備えられた別個の信号線(図示せず)と画素電極191が絶縁体を挟んで重なることによって構成され、この別個の信号線には共通電圧Vcomなどの決められた電圧が印加される。ただし、ストレージキャパシタCstは画素電極191が絶縁体を挟んで直上の前段ゲート線と重なって構成されることもできる。

20

## 【0032】

図3Aに示したように、一对のゲート線(Gi及びGi+1、Gi+2及びGi+3...)は一つの行の画素電極191の上下に配置されている。また、データ線D1-Dmは二つの列の画素電極191の間に一つずつ配置されている。つまり、一对の画素列の間に一つのデータ線が配置されている。以下、隣接する二つのデータ線の間配置される二つの画素を単位画素対と言う。

## 【0033】

次に、これらゲート線G1-G2n及びデータ線D1-Dmと画素電極191間の接続をより詳しく説明する。

30

## 【0034】

画素電極191の上側と下側に接続された複数対のゲート線G1-G2nは各画素電極191の上側または下側に配置されたスイッチング素子Qを通じて当該画素電極191に接続される。

## 【0035】

つまり、奇数番目画素行PXr1、PXr3において、一つのデータ線D1-Dmを中心に左側に位置したスイッチング素子Qは上側に位置したゲート線Gi、Gi+4に接続されており、一つのデータ線D1-Dmを中心に右側に位置したスイッチング素子Qは下側に位置したゲート線Gi+1、Gi+5に接続されている。一方、偶数番目画素行PXr2、PXr4に位置した上側ゲート線Gi+2、Gi+6及び下側ゲート線Gi+3、Gi+7とスイッチング素子Qとの接続は奇数番目画素行と反対である。つまり、一つのデータ線D1-Dmを中心に右側に位置するスイッチング素子Qは上側に位置したゲート線Gi+2、Gi+6に接続されており、一つのデータ線D1-Dmを中心に左側に位置するスイッチング素子Qは下側に位置したゲート線Gi+3、Gi+7に接続されている。

40

## 【0036】

奇数番目画素行PXr1、PXr3において、データ線D1-Dmを中心に左側に位置した画素電極191はスイッチング素子Qを通じて直接隣接したデータ線に接続されており、データ線D1-Dmを中心に右側に位置した画素電極191はスイッチング素子Qを

50

通じて、直接隣接したデータ線ではなく、二番目に近い距離で隣接したデータ線  $D_1 - D_m$  に接続されている。偶数番目画素行  $PXr2$ 、 $PXr4$  において、データ線  $D_1 - D_m$  を中心に左側に位置した画素電極 191 はスイッチング素子  $Q$  を通じて、直接隣接したデータ線ではなく、二番目に近い距離で隣接したデータ線に接続されており、データ線  $D_1 - D_m$  を中心に右側に位置した画素電極 191 はスイッチング素子  $Q$  を通じて直接隣接したデータ線に接続されている。

【0037】

また、図3Aに示した配置でスイッチング素子  $Q$  の位置は毎画素行ごとに変わる。つまり、奇数番目画素行  $PXr1$ 、 $PXr3$  に位置した画素対のうちのデータ線  $D_1 - D_m$  の左側に位置した画素  $PX$  には右側上端部にスイッチング素子  $Q$  が形成されており、データ線  $D_1 - D_m$  の右側に位置した画素には右側下端部にスイッチング素子  $Q$  が形成されている。

10

【0038】

一方、偶数番目画素行  $PXr2$ 、 $PXr4$  に位置した画素のスイッチング素子  $Q$  の形成位置は隣接した画素行の形成位置と正反対である。つまり、偶数番目行に位置した画素対のうちのデータ線  $D_1 - D_m$  の左側に位置した画素には左側下端部にスイッチング素子  $Q$  が形成されており、データ線  $D_1 - D_m$  の右側に位置した画素には左側上端部にスイッチング素子  $Q$  が形成されている。

【0039】

このようにスイッチング素子  $Q$  の位置を毎画素行  $PXr1-4$  ごとに変える理由は、各画素に形成されたスイッチング素子  $Q$  とデータ線  $D_1 - D_m$  の接続長さを可能な限り短くするためである。

20

【0040】

図3Aに示した画素電極 191 とデータ線  $D_1 - D_m$  の接続について整理すると、各画素行において、単位画素対のスイッチング素子  $Q$  は同一なデータ線に接続されている。つまり、奇数番目画素行で単位画素対のスイッチング素子  $Q$  は右側に位置したデータ線に接続されており、偶数番目画素行で単位画素対のスイッチング素子  $Q$  は左側に位置したデータ線に接続されている。

【0041】

図3Aに示した配置は単に一つの例に過ぎず、奇数番目行と偶数番目行の画素電極 191 とデータ線  $D_1 - D_m$  及びゲート線  $G_1 - G_{2n}$  の接続は互いに変わることがあり、また、他の接続関係を有することもある。

30

【0042】

一方、色表示を実現する方式としては、各画素  $PX$  が基本色のうちの一つを固有に表示する（空間分割）ものと、各画素  $PX$  が時間によって交互に基本色を表示する（時間分割）ものがある。そして、これら基本色の空間的、時間的合計によって所望する色相が認識される。基本色の例としては、赤色、緑色、青色などの三原色がある。図2は空間分割の一例で、各画素  $PX$  が画素電極 191 に対応する上部表示板 200 の領域に基本色のうちの一つを示す色フィルター 230 を備えることを示している。図2と異なり、色フィルター 230 は下部表示板 100 の画素電極 191 の上または下に形成してもよい。

40

【0043】

液晶表示板組立体 300 の外側には、光を偏光させる少なくとも一つの偏光子（図示せず）が実装されている。

【0044】

図1を参照すると、階調電圧生成部 800 は画素  $PX$  の透過率と関係する二対の階調電圧集合（または基準階調電圧集合）を生成する。二対のうちの一対は共通電圧  $V_{com}$  に対して正の値を有し、他の一対は負の値を有する。

【0045】

ゲート駆動部は各々液晶表示板 300 の右側と左側に配置される第1及び第2ゲート駆動部 400L、400R から成る。ゲート駆動部 400L、400R は液晶表示板組立体

50

300のゲート線 $G_1 - G_{2n}$ と接続されて、ゲートオン電圧 $V_{on}$ とゲートオフ電圧 $V_{off}$ の組み合わせからなるゲート信号をゲート線 $G_1 - G_{2n}$ に印加する。

【0046】

次に、図3Aによって、ゲート駆動部400L、400R部とゲート線 $G_1 - G_{2n}$ の接続関係を詳細に説明する。

【0047】

第1画素行 $PXr1$ で上側に位置するゲート線 $G_i$ は第1ゲート駆動部400Lと接続されており、下側に位置するゲート線 $G_{i+1}$ は第2ゲート駆動部400Rと接続されている。第2画素行 $PXr2$ のゲート線 $G_{i+2}$ 、 $G_{i+3}$ と第1及び第2ゲート駆動部400L、400Rの接続関係は第1画素行 $PXr1$ と同一である。

10

【0048】

一方、第3及び第4番目画素行 $PXr3$ 、 $PXr4$ のゲート線 $G_{i+4}$ 、 $G_{i+5}$ 、 $G_{i+6}$ 、 $G_{i+7}$ とゲート駆動部400L、400Rの接続関係は第1及び第2画素行 $PXr1$ 、 $PXr2$ と反対である。つまり、第3/第4番目画素行 $PXr3$ 、 $PXr4$ で上側に位置するゲート線 $G_{i+4}/G_{i+6}$ は第2ゲート駆動部400Rと接続されており、下側に位置するゲート線 $G_{i+5}/G_{i+7}$ は第2ゲート駆動部400Lと接続されている。

【0049】

以下、図3Aに示されているように第1及び第2番目画素行 $PXr1$ 、 $PXr2$ 及びゲート駆動部400L、400Rのような接続関係を第1群画素行とし、第3及び第4番目画素行 $PXr3$ 、 $PXr4$ 及びゲート駆動部400L、400Rのような接続関係を第2群画素行とする。図3Aの液晶表示板は第1群画素行が二回繰り返され、次いで、第2群画素行が二回繰り返される形態を取る。図3Aに図示してはいないが、このような規則は第5番目以下の画素行でも繰り返される。

20

【0050】

一方、図3Aでは第1群画素行及び第2群画素行が各々二回ずつ繰り返されたが、本発明はこれに限定されず、第1群画素行及び第2群画素行が各々三回ずつ、四回ずつ...反復できる。つまり、ゲート線全体の個数が $2n$  ( $n=1, 2, 3, 4 \dots$ )とする時、第1群画素行は最大 $n$ 回連続して繰り返されて、次いで、第2群画素行が最大 $n$ 回繰り返される形態を取ってもよい。

【0051】

30

ゲート駆動部400L、400Rは信号線 $G_1 - G_{2n}$ 、 $D_1 - D_m$ 及び薄膜トランジスタスイッチング素子Qなどと共に液晶表示板組立体300に集積されている。ゲート駆動部400L、400Rはまた、集積回路チップの形態で組立体300上に直接装着されてもよく、可撓性印刷回路膜(図示せず)上に装着されてTCP(tape carrier package)の形態で液晶表示板組立体300に実装されてもよく、別途の印刷回路基板(図示せず)上に実装されてもよい。

【0052】

データ駆動部500は液晶表示板組立体300のデータ線 $D_1 - D_m$ に接続されており、階調電圧生成部800からの階調電圧を選択して、これをデータ信号としてデータ線 $D_1 - D_m$ に印加する。しかし、階調電圧生成部800が全ての階調に対する電圧を全て提供するのではなく、決められた数の基準階調電圧のみを提供する場合に、データ駆動部500は基準階調電圧を分圧して全階調に対する階調電圧を生成し、この中でデータ信号を選択する。

40

【0053】

信号制御部600はゲート駆動部400R、400L及びデータ駆動部500を制御する。

【0054】

このような駆動装置500、600、800の各々は、少なくとも一つの集積回路チップの形態で液晶表示板組立体300上に直接装着されたり、可撓性印刷回路膜(図示せず)上に装着されてTCPの形態で液晶表示板組立体300に付着されたり、別途の印刷回

50

路基板（図示せず）上に装着されてもよい。これとは異なり、これら駆動装置500、600、800は信号線 $G_1 - G_{2n}$ 、 $D_1 - D_m$ 及び薄膜トランジスタスイッチング素子Qなどと共に液晶表示板組立体300に集積されてもよい。また、駆動装置400、500、600、800は単一チップに集積されてもよく、この場合、これらのうちの少なくとも一つまたはこれらを構成する少なくとも一つの回路素子が単一チップに集積されずに、その外側にあってもよい。

【0055】

次に、このような液晶表示装置の動作について詳細に説明する。

【0056】

信号制御部600は外部のグラフィック制御器（図示せず）から入力映像信号R、G、B及び、その表示を制御する入力制御信号を受信する。入力制御信号の例としては垂直同期信号Vsyncと水平同期信号Hsync、メインクロックMCLK、データイネーブル信号DEなどがある。

10

【0057】

信号制御部600は入力映像信号R、G、Bと入力制御信号に基づいて入力映像信号R、G、Bを液晶表示板組立体300の動作条件に合わせて適切に処理して、ゲート制御信号CONT1及びデータ制御信号CONT2などを生成した後、ゲート制御信号CONT1をゲート駆動部400に出力して、データ制御信号CONT2と処理した映像信号DATをデータ駆動部500に出力する。

【0058】

20

ゲート制御信号CONT1は走査開始を指示する走査開始信号STVと、ゲートオン電圧Vonの出力周期を制御する少なくとも一つのクロック信号を有する。ゲート制御信号CONT1はまた、ゲートオン電圧Vonの持続時間を限定する出力イネーブル信号OEをさらに有することができる。

【0059】

データ制御信号CONT2は一つの行もしくは複数の行を構成する画素PXに対する映像データの伝送開始を知らせる水平同期開始信号STHと、データ線 $D_1 - D_m$ にデータ信号を印加することを命令するロード信号LOAD及びデータクロック信号HCLKを有する。データ制御信号CONT2は、また、共通電圧Vcomに対するデータ信号の電圧極性（以下、“共通電圧に対するデータ信号の電圧極性”を略して“データ信号の極性”

30

【0060】

データ駆動部500は、信号制御部600からのデータ制御信号CONT2によって、一つの行もしくは複数の行を構成する画素PXに対するデジタル映像信号DATを受信し、各デジタル映像信号DATに対応する階調電圧を選択することによって、デジタル映像信号DATをアナログデータ信号に変換した後、これを当該データ線 $D_1 - D_m$ に印加する。

【0061】

ゲート駆動部400L、400Rは信号制御部600からのゲート制御信号CONT1によってゲートオン電圧Vonをゲート線 $G_1 - G_{2n}$ に印加して、このゲート線 $G_1 - G_{2n}$ に接続されたスイッチング素子Qを導通させる。その結果、データ線 $D_1 - D_m$ に印加されたデータ信号は導通したスイッチング素子Qを通じて当該画素PXに印加される。

40

【0062】

画素PXに印加されたデータ信号の電圧と共通電圧Vcomの差は液晶キャパシタC1cの充電電圧、つまり、画素電圧となる。液晶分子は画素電圧の大きさによってその配列を変化させ、それにより液晶層3を通過する光の偏光が変化する。このような偏光の変化は表示板組立体300に実装された偏光子による光の透過率変化で示される。

【0063】

1水平周期（“1H”とも言って、水平同期信号Hsync及びデータイネーブル信号DEの一周期と同一である）を単位として、このような過程を繰り返すことによって全て

50

のゲート線  $G_1 - G_{2n}$  に対して順次にゲートオン電圧  $V_{on}$  を印加して、全ての画素  $P_X$  にデータ信号を印加して一つのフレームの映像を表示する。

【0064】

一つのフレームが終われば、次のフレームが始まり、各画素  $P_X$  に印加されるデータ信号の極性が直前フレームにおける極性と反対になるようにデータ駆動部 500 に印加される反転信号  $RVS$  の状態が制御される（“フレーム反転”）。この時、一つのフレーム内においても、反転信号  $RVS$  の特性によって一つのデータ線を通じて流れるデータ信号の極性を変えたり（例：行反転、点反転）、一つの画素行に印加されるデータ信号の極性を互いに変えたりすることがある（例：列反転、点反転）。

【0065】

以下では、図3A～図3Cを参照して、本発明の一実施形態による液晶表示装置の駆動状態についてさらに詳細に説明する。

【0066】

図3B及び図3Cは、図3Aの液晶表示装置が動作する状態を示す図面であり、互いに反転した状態を示す。

【0067】

図3B及び図3Cの表示装置は、図3Aに示したように、ゲート駆動部 400L、400Rとゲート線  $G_1 - G_{2n}$  の接続関係が4行の規則単位で配置されている。

【0068】

信号制御部 600 から入力されるゲート制御信号  $CONT1$  により制御されるゲート駆動部 400L、400Rによって、一つの単位画素対と接続される一对のゲート線うちの一つのゲート線にゲートオン電圧  $V_{on}$  が印加されると、このゲート線に接続されたスイッチング素子  $Q$  が導通する。次いで、前記一对のゲート線のうちの他の一つのゲート線にもゲートオン電圧  $V_{on}$  が印加されて、このゲート線に接続されたスイッチング素子  $Q$  が導通する。その結果、データ線  $D_1 - D_m$  に印加されたデータ信号が導通したスイッチング素子  $Q$  を通じて当該画素  $P_X$  に印加される。

【0069】

ここで、ゲート線  $G_1 - G_{2n}$  と画素電極 191 間の寄生容量によってゲートオン電圧が下降し、ゲートオフ電圧になる瞬間にデータ電圧を多少減少させる1次キックバック電圧  $V_{kb}$  が発生する。次いで、次のゲートオン電圧が下降してゲートオフ電圧になる瞬間に2次キックバック電圧  $V_{kb}$  が発生する。2次キックバック電圧  $V_{kb}$  が発生する画素電極 191 の中で負極性 (-) から正極性 (+) に反転する画素電極 191 は、画素電極電圧が共通電圧  $V_{com}$  に近い方向にシフトして画素  $P_X$  が正常より明るくなる。また、2次キックバック電圧が発生する画素電極 191 の中で正極性 (+) から負極性 (-) に反転する画素電極 191 は、画素電極電圧が共通電圧  $V_{com}$  から遠い方向にシフトして画素  $P_X$  が正常より暗くなる。

【0070】

図3Bにおいて点線で表示したボックスは2次キックバック電圧が発生する画素の中で負極性 (-) から正極性 (+) に反転して正常より明るくなる画素  $P_{X1}$  であり、実線で表示したボックスは2次キックバック電圧が発生する画素の中で正極性 (+) から負極性 (-) に反転して正常より暗くなる画素  $P_{Xd}$  である。フレームが反転すると、図3Bの表示は図3Cのように変わる。つまり、図3Bで明るくなった画素  $P_{X1}$  は図3Cでは暗くなり、図3Bで暗くなった画素  $P_{Xd}$  は図3Cで明るくなる。つまり、フレームが繰り返されながら、図3Aの液晶表示装置は図3B及び図3Cの形態を繰り返す。

【0071】

もし、表示板で正常より明るくなる画素  $P_{X1}$  及び暗くなる画素  $P_{Xd}$  が各々行方向に連続して現れる場合には、輝度の異なる縦線の染みが認められる。また、フレームごとに反転するとしても頭を振ったり、視野を動かしたりして見ると、縦線が移動する形態で縦線の染みが認められる。しかし、本実施形態による表示装置は、図3B及び図3Cのように、画素が正常より明るくなったり正常より暗くなったりするといった輝度の差が出る画

10

20

30

40

50

素  $P \times 1$ 、 $P \times b$  が表示板内において適切に混合されて表示される。したがって、横方向や縦方向に表示染みが発生しない。

【 0 0 7 2 】

次に、図 4 により本発明の他の実施形態による液晶表示装置について詳細に説明する。

【 0 0 7 3 】

図 4 は本発明の他の実施形態による液晶表示装置の画素及び信号線の空間的な配列を示す図面である。

【 0 0 7 4 】

図 4 の液晶表示装置もまた、一対のゲート線 ( $G_i$  及び  $G_{i+1}$ 、 $G_{i+2}$  及び  $G_{i+3}$  . . . ) が一つの行の画素電極 191 の上下に配置されている。また、データ線  $D_1 - D_m$  は二つの列の画素電極 191 の間に一つずつ配置されている。画素電極 191 の上側と下側に接続された複数対のゲート線は各画素電極 191 の上側または下側に配置されたスイッチング素子  $Q$  を通じて当該画素電極 191 に接続される。つまり、奇数番目画素行  $P \times r 1$ 、 $P \times r 3$  において、一つのデータ線  $D_1 - D_m$  を中心に左側に位置したスイッチング素子  $Q$  は上側に位置したゲート線  $G_i$ 、 $G_{i+4}$  に接続され、一つのデータ線  $D_1 - D_m$  を中心に右側に位置したスイッチング素子  $Q$  は下側に位置したゲート線  $G_{i+1}$ 、 $G_{i+5}$  に接続される。一方、偶数番目画素行  $P \times r 2$ 、 $P \times r 4$  に位置した上側ゲート線  $G_i + 2$ 、 $G_i + 6$  及び下側ゲート線  $G_i + 3$ 、 $G_i + 7$  とスイッチング素子  $Q$  との接続は奇数番目画素行と反対である。奇数番目行の画素電極 191 の中でデータ線  $D_1 - D_m$  を中心に左側に位置した画素電極 191 はスイッチング素子  $Q$  を通じて直接隣接したデータ線  $D_1 - D_m$  に接続され、データ線  $D_1 - D_m$  を中心に右側に位置した画素電極 191 はスイッチング素子  $Q$  を通じて、直接隣接したデータ線ではなく、二番目に近い距離で隣接したデータ線  $D_1 - D_m$  に接続される。偶数番目行の画素電極 191 の中でデータ線  $D_1 - D_m$  を中心に左側に位置した画素電極 191 はスイッチング素子  $Q$  を通じて、直接隣接したデータ線ではなく、二番目に近い距離で隣接するデータ線に接続され、データ線  $D_1 - D_m$  を中心に右側に位置した画素電極 191 はスイッチング素子  $Q$  を通じて直接隣接したデータ線に接続される。各画素行において、単位画素対のスイッチング素子  $Q$  は同一なデータ線に接続される。

【 0 0 7 5 】

しかし、図 4 の液晶表示装置は図 3 A の液晶表示装置とは異なり、一つの画素行で上側に位置するゲート線が第 1 ゲート駆動部 400 L と接続され、下側に位置するゲート線が第 2 ゲート駆動部 400 R と接続される第 1 群画素行と、一つの画素行で上側に位置するゲート線が第 2 ゲート駆動部 400 R と接続され、下側に位置するゲート線が第 1 ゲート駆動部 400 L と接続される第 2 群画素行が隣接して配置される。そして、前記第 2 群画素行の下には他の第 2 群画素行が隣接し、次いで、第 1 群または第 2 群画素行の中で異なる種類の画素行が二つずつ繰り返されて配置される。

【 0 0 7 6 】

図 4 では最も上の画素行に第 1 群画素行が配置されたが、第 2 群画素行が最も上に配置されて、表示板全体で第 1 群及び第 2 群画素行の位置が変わってもよい。また、図 4 において、第 1 群及び第 2 群画素行それぞれの繰り返される個数は 2 個で示したが、これに限定されず、ゲート線の総数以内でさらに多くの個数の第 1 群及び第 2 群画素行が各々繰り返されてもよい。

【 0 0 7 7 】

その他に、図 3 A に示した液晶表示装置の多くの特徴が図 4 に示した液晶表示装置にも適用できる。

【 0 0 7 8 】

次に、図 5 A 乃至図 5 C を参照して、本発明の他の実施形態による液晶表示装置について説明する。

【 0 0 7 9 】

図 5 A は本発明のさらに別の実施形態による液晶表示装置の画素及び信号線の空間的な

10

20

30

40

50

配列を示す図面であり、図 5 B 及び図 5 C は図 5 A の液晶表示装置が駆動される様子を示す図面である。

【 0 0 8 0 】

図 5 A ~ 図 5 C の液晶表示装置もまた、一对のゲート線 ( $G_i$  及び  $G_{i+1}$ 、 $G_{i+2}$  及び  $G_{i+3}$  . . . ) が一つの行の画素電極 1 9 1 の上下に配置される。また、データ線  $D_1 - D_m$  は二つの列の画素電極 1 9 1 の間に一つずつ配置される。画素電極 1 9 1 の上側と下側に接続された複数対のゲート線は、各画素電極 1 9 1 の上側または下側に配置されたスイッチング素子 Q を通じて当該画素電極 1 9 1 に接続される。つまり、奇数番目画素行  $P X r 1$ 、 $P X r 3$  において、一つのデータ線  $D_1 - D_m$  を中心に左側に位置したスイッチング素子 Q は上側に位置したゲート線  $G_i$ 、 $G_{i+4}$  に接続され、一つのデータ線  $D_1 - D_m$  を中心に右側に位置したスイッチング素子 Q は下側に位置したゲート線  $G_{i+1}$ 、 $G_{i+5}$  に接続される。一方、偶数番目画素行  $P X r 2$ 、 $P X r 4$  に位置した上側ゲート線  $G_{i+2}$ 、 $G_{i+6}$  及び下側ゲート線  $G_{i+3}$ 、 $G_{i+7}$  とスイッチング素子 Q との接続は奇数番目画素行と反対である。奇数番目行の画素電極 1 9 1 の中でデータ線  $D_1 - D_m$  を中心に左側に位置した画素電極 1 9 1 はスイッチング素子 Q を通じて直接隣接したデータ線  $D_1 - D_m$  に接続され、データ線  $D_1 - D_m$  を中心に右側に位置した画素電極 1 9 1 はスイッチング素子 Q を通じて、直接隣接したデータ線ではなく、二番目に近い距離で隣接するデータ線  $D_1 - D_m$  に接続される。偶数番目行の画素電極 1 9 1 の中でデータ線  $D_1 - D_m$  を中心に左側に位置した画素電極 1 9 1 はスイッチング素子 Q を通じて、直接隣接したデータ線ではなく、二番目に近い距離で隣接するデータ線に接続され、データ線  $D_1 - D_m$  を中心に右側に位置した画素電極 1 9 1 はスイッチング素子 Q を通じて直接隣接したデータ線に接続される。各画素行において、単位画素対のスイッチング素子 Q は同一のデータ線に接続される。

【 0 0 8 1 】

しかし、図 5 A の液晶表示装置は、図 3 A または図 4 の液晶表示装置とは異なり、一つの画素行で上側に位置するゲート線が第 1 ゲート駆動部 4 0 0 L と接続され、下側に位置するゲート線が第 2 ゲート駆動部 4 0 0 R と接続される第 1 群画素行と、一つの画素行で上側に位置するゲート線が第 2 ゲート駆動部 4 0 0 R と接続され、下側に位置するゲート線が第 1 ゲート駆動部 4 0 0 L と接続される第 2 群画素行が全て交互に隣接するように配置される。

【 0 0 8 2 】

図 5 B 及び図 5 C を参照すれば、点線で表示したボックスは 2 次キックバック電圧が発生する画素の中で負極性 (-) から正極性 (+) に反転して正常より明るくなる画素  $P X 1$  であり、実線で表示したボックスは 2 次キックバック電圧が発生する画素の中で正極性 (+) から負極性 (-) に反転して正常より暗くなる画素  $P X b$  である。図 5 B で正常より明るくなる画素  $P X 1$  及び暗くなる画素  $P X b$  は一つの列で互いに隣接して繰り返される。フレームが反転する場合、図 5 B の表示は図 5 C のように変わる。つまり、図 5 B で明るくなった画素は図 5 C では暗くなり、図 5 B で暗くなった画素は図 5 C で明るくなる。つまり、フレームが繰り返されながら、図 5 A の液晶表示装置は図 5 B 及び図 5 C の形態を繰り返す。このように、異なる輝度の画素が一つの画素列で隣接して配置されるので、輝度の差が適切に相殺して表示装置の縦及び横染みが発生することが防止できる。その他に、図 3 A に示した液晶表示装置の多くの特徴が図 5 A に示した液晶表示装置にも適用できる。

【 0 0 8 3 】

以下、本発明による液晶表示装置の一例について図 6 乃至図 9 を参照して詳細に説明する。

【 0 0 8 4 】

図 6 は本発明の一実施形態による液晶表示装置の配置図であり、図 7 乃至図 9 は各々図 6 の液晶表示装置を  $V I I - V I I$ 、 $V I I I - V I I I$  及び  $I V - I V$  線に沿って切断した断面図である。

## 【0085】

図6乃至図9に示す通り、本発明の一実施形態による液晶表示板組立体は、下部表示板（薄膜トランジスタ表示板）100と、上部表示板（共通電極表示板）200と、これら二つの表示板100、200の間に入っている液晶層3とを有する。

## 【0086】

まず、上部表示板100について詳細に説明する。

## 【0087】

透明なガラスまたはプラスチックなどで作られた絶縁基板110上に複数対の第1及び第2ゲート線121a、121bと複数の維持電極線131を含む複数のゲート導電体が形成される。

10

## 【0088】

第1及び第2ゲート線121a、121bはゲート信号を伝達し、主に横方向に伸びて、各々画素電極の上側及び下側に位置する。

## 【0089】

第1ゲート線121aは下に突出した複数の第1ゲート電極124aと他の層またはゲート駆動部400L、400Rとの接続のための広い端部129aを有する。第2ゲート線121bは上に突出した複数の第2ゲート電極124bと他の層またはゲート駆動部400との接続のための広い端部129bを有する。ゲート駆動部400が基板110上に集積されている場合、ゲート線121a、121bが伸びてこれと直接接続できる。

## 【0090】

維持電極線131は共通電圧Vcomなど、所定の電圧の印加を受けるが、ゲート線121a、121bとは絶縁されている。各維持電極線131は互いに接続されて、一对の長方形をなす複数の維持電極133a、133b、133c、133d集合と一对の維持電極接続部135a、135bを有する。

20

## 【0091】

一つの維持電極群133a-133dは、主に横方向に伸びた第1維持電極133a及び第2維持電極133bを一对ずつ有し、主に縦方向に伸びた一对の第3維持電極133cと、その間に位置して縦方向に伸びた第4維持電極133dを有する。第4維持電極133dを中心に左右両側に第1乃至第3維持電極133a-133cが一つずつ配置されて第4維持電極133dを共有する長方形をなして、この二つの長方形は第4維持電極133d中央を中心に180回転対称関係を有する。

30

## 【0092】

維持電極接続部135は隣接した二つの維持電極133a-133d集合の隣接した維持電極133cを接続し、維持電極133aはゲート電極124付近で屈曲している。しかし、維持電極133a、133bをはじめとした維持電極線131の模様及び配置は多様な形態に変更することができる。

## 【0093】

ゲート導電体121a、121b、維持電極線131はアルミニウム(Al)やアルミニウム合金などのアルミニウム系金属、銀や銀合金などの銀系金属、銅や銅合金など銅系金属、モリブデンやモリブデン合金などのモリブデン系金属、クロム、タンタル及びチタニウムなどからなることができる。しかし、これらは物理的性質の異なる二つの導電膜(図示せず)を有する多重膜構造であってもよい。このうちの一つの導電膜は、信号遅延や電圧降下を減らすことができるように比抵抗(resistivity)の低い金属、例えば、アルミニウム系金属、銀系金属、銅系金属などで作られる。これとは異なり、他の導電膜は他の物質、特にITO(酸化インジウムスズ)及びIZO(酸化インジウム亜鉛)との物理的、化学的、電気的接触特性に優れた物質、例えば、モリブデン系金属、クロム、タンタル、チタニウムなどで作られる。このような組み合わせの良い例としては、クロム下部膜とアルミニウム(合金)上部膜及びアルミニウム(合金)下部膜とモリブデン(合金)上部膜がある。しかし、ゲート導電体121a、121b、維持電極線131はこの他にも多様な金属または導電体で作ることができる。

40

50

## 【0094】

ゲート導電体121a、121b、維持電極線131の側面は基板110面に対して傾いており、その傾斜角は約30°乃至約80°であるのが好ましい。

## 【0095】

ゲート導電体121a、121b、維持電極線131上には窒化シリコン(SiNx)または酸化シリコン(SiOx)などで作られたゲート絶縁膜140が形成される。

## 【0096】

ゲート絶縁膜140上には水素化非晶質シリコン(非晶質シリコンは略してa-Siとも言う)または多結晶シリコンなどで作られた複数の島状半導体152、154a、154bが形成される。半導体154a、154bは各々ゲート電極124a、124b上に位置して、これらを覆っており半導体154aは伸びて隣接するゲート線121a及び維持電極接続部135aを覆う。また、半導体152は維持電極接続部135bを覆っている。

10

## 【0097】

第1第2半導体154a、154b上には複数の島状抵抗性接触部材163a、165aが形成される。抵抗性接触部材163a、165aはリンなどのn型不純物が高濃度でドーピングされているn+水素化非晶質シリコンなどの物質や、シリサイド(silicide)によって形成されることが出来る。抵抗性接触部材163a、165aは対をなして半導体154a上に配置され、半導体154b上にも抵抗性接触部材(図示せず)と他の島状抵抗性接触部材(図示せず)が対をなして配置される。

20

## 【0098】

半導体154a、154bと抵抗性接触部材163b、165bの側面もまた、基板110面に対して傾いて、傾斜角は30乃至80程度である。

## 【0099】

抵抗性接触部材163b、165b及びゲート絶縁膜140上には複数のデータ線171と複数対の第1及び第2ドレイン電極175a、175bを含むデータ導電体が形成される。

## 【0100】

データ線171はデータ信号を伝達して、主に縦方向に伸びてゲート線121a、121b及び維持電極線131と交差する。各データ線171は第1及び第2ゲート電極124a、124bに向かって各々伸びてC字型で屈曲した複数対の第1及び第2ソース電極173a、173bと他の層またはデータ駆動部500との接続のために面積の広い端部179を有する。

30

## 【0101】

第1及び第2ドレイン電極175a、175bは互いに絶縁され、データ線171とも絶縁される。

## 【0102】

第1/第2ドレイン電極175a/175bは第1/第2ゲート電極124a/124bを中心に第1/第2ソース電極173a/173bと対向する。

## 【0103】

第1及び第2ドレイン電極175a、175bは棒状の一側端部と他側端の拡張部177a、177bを有する。拡張部177a、177bは維持電極137a、137bと各々重なる。各ドレイン電極175a、175bの棒状端部はソース電極137a、137bで一部囲まれている。

40

## 【0104】

第1/第2ゲート電極124a/124b、第1/第2ソース電極173a/173b及び第1/第2ドレイン電極175a/175bは第1/第2半導体154a/154bと共に第1/第2薄膜トランジスタ(TFT)を構成し、第1/第2薄膜トランジスタのチャンネルは第1/第2ソース電極173a/173bと第1/第2ドレイン電極175a/175bの間の第1/第2半導体154a/154bに形成される。

50

## 【0105】

データ導電体171、175a、175bはモリブデン、クロム、タンタル及びチタニウムなど耐火性金属またはこれらの合金から形成されるのが好ましく、耐火性金属膜（図示せず）と低抵抗導電膜（図示せず）を有する多重膜構造であってもよい。多重膜構造の例としては、クロムまたはモリブデン（合金）下部膜とアルミニウム（合金）上部膜の二重膜、モリブデン（合金）下部膜とアルミニウム（合金）中間膜とモリブデン（合金）上部膜の三重膜がある。しかし、データ導電体171、175a、175bはその他にも多様な金属または導電体からなることができる。

## 【0106】

データ導電体171、175a、175bもまた、その側面が基板110面に対して30°乃至80°程度の傾斜角で傾くことが好ましい。

10

## 【0107】

抵抗性接触部材163b、165bは、その下の半導体154a、154bとその上のデータ導電体171、175a、175bの間のみ存在し、これらの間の接触抵抗を低くする。半導体154a、154bにはソース電極173a、173bとドレイン電極175a、175bの間をはじめとして、データ導電体171、175a、175bで覆われずに露出された部分を有する。

## 【0108】

データ導電体であるデータ線171、ドレイン電極175a、175b及び露出された半導体154a、154b部分上には保護膜180が形成されている。保護膜180は無機絶縁物または有機絶縁物などで作られ、表面が平坦であってもよい。有機絶縁物は4.0以下の誘電定数を有するのが好ましく、感光性を有してもよい。しかし、保護膜180は有機膜の優れた絶縁特性を生かしながら、露出された半導体154a、154b部分に悪影響を与えないように、下部無機膜と上部有機膜の二重膜構造を有することができる。

20

## 【0109】

保護膜180にはデータ線171の端部179を露出する複数の接触孔182と第1及び第2ドレイン電極175a、175bの拡張部177a、177bを露出する複数対の接触孔185a、185bが形成される。保護膜180とゲート絶縁膜140にはゲート線121a、121bの端部129a、129bを各々露出する複数の接触孔181a、181bが形成される。

30

## 【0110】

保護膜180上には複数の画素電極191及び複数の接触補助部材81a、81b、82が形成される。これらはITOまたはIZOなどの透明な導電物質やアルミニウム、銀、クロムまたはその合金などの反射性金属からなることができる。

## 【0111】

画素電極191は接触孔185を通じてドレイン電極175a、175bと物理的、電氣的に接続されており、ドレイン電極175a、175bからデータ電圧の印加を受ける。データ電圧が印加された画素電極191は共通電圧の印加を受ける他の表示板200の共通電極270と共に電場を生成することによって二つの電極191、270の間の液晶層3の液晶分子の方向を決める。このように決められた液晶分子の方向によって液晶層3を通過する光の偏光が変わる。画素電極191と共通電極270はキャパシタ（以下、“液晶キャパシタ”と言う）を構成して、薄膜トランジスタが遮断された後にも印加された電圧を維持する。

40

## 【0112】

画素電極191は維持電極133a-dをはじめとした維持電極線131と重なり、画素電極191及び、これと電氣的に接続されたドレイン電極175a、175bが維持電極線131と重なって構成するキャパシタを“ストレージキャパシタ”とし、ストレージキャパシタは液晶キャパシタの電圧維持能力を強化する。

## 【0113】

画素電極191はドレイン電極175a、175bの拡張された端部と維持電極133

50

aを覆って、維持電極133b、133c、133dとは一部重なって画素電極191の境界線が維持電極133b、133c、133d上に位置する。このようにゲート線121a、121bと画素電極190の境界線との間に維持電極133bが形成されており、画素電極191とゲート線121aとの間の寄生容量による画素電極191の電圧変動が減少する。

【0114】

接触補助部材81a、81b、82は、各々接触孔181a、181b、182を通じてゲート線121a、121bの端部129a、129b及びデータ線171の端部179と接続される。接触補助部材81a、81b、82はゲート線121a、121bの端部129a、129b及びデータ線171の端部179と外部装置との接着性を補完して、これらを保護する。

10

【0115】

次に、上部表示板200について説明する。

【0116】

透明なガラスまたはプラスチックなどで作られた絶縁基板210上に遮光部材220が形成される。遮光部材220は画素電極191の屈曲辺に対応する屈曲部(図示せず)と薄膜トランジスタに対応する四角形部分(図示せず)を有することができ、画素電極191の間の光漏れを防止して画素電極191と対向する開口領域を定義する。

【0117】

基板210及び遮光部材220上にはまた、複数の色フィルター230が形成される。色フィルター230は遮光部材220で囲まれた領域内にほぼ存在し、画素電極191列に沿って長く伸びることができる。各色フィルター230は赤色、緑色及び青色の三原色など、基本色のうちの一つを表示することができる。

20

【0118】

色フィルター230及び遮光部材220上には蓋膜250が形成されている。蓋膜250は(有機)絶縁物で作られてもよく、色フィルター230が露出されることを防止して平坦面を提供する。蓋膜250は省略してもよい。

【0119】

蓋膜250上には共通電極270が形成されている。

【0120】

表示板100、200の内側には配向膜11、21が形成されており、これらは垂直配向膜であってもよい。

30

【0121】

表示板100、200の外側には偏光板12、22が備えられている。

【0122】

液晶表示装置は偏光板12、22、位相遅延膜、表示板100、200及び液晶層3に光を供給する照明部(図示せず)を有することができる。

【0123】

液晶層3は負の誘電率異方性を有し、液晶層3の液晶分子は電場のない状態でその長軸が二つの表示板の表面に対して垂直をなすように配向されている。

40

【0124】

次に、図10と前述した図6、図8及び図9を参照して、本発明の他の実施形態による液晶表示装置について詳細に説明する。

【0125】

図10は本発明の他の実施形態による液晶表示装置の断面図である。

【0126】

図10に示すように、本実施形態による液晶表示板組立体も互いに対向する下部表示板と上部表示板、これら二つの表示板の間に入っている液晶層を有する。

【0127】

本実施形態による液晶表示板組立体の層状構造はほとんど図6及び図9に示した液晶表

50

示板組立体の層状構造と同一である。

【0128】

下部表示板100の構造においては、絶縁基板110上に複数対の第1及び第2ゲート線121a、121bと複数の維持電極線（図示せず）を有する複数のゲート導電体が形成される。各ゲート線121a、121bはゲート電極124aと端部（図示せず）を有し、各維持電極線131（図示せず）は維持電極133a、133bを有する。ゲート導電体121a、121b上にはゲート絶縁膜140が形成される。ゲート絶縁膜140上には複数の半導体154aが形成され、その上には複数の抵抗性接触部材163a、165bが形成される。抵抗性接触部材163a、165b及びゲート絶縁膜140上には複数のデータ線（図示せず）と複数の第1及び第2ドレイン電極175aを有するデータ導電体が形成される。データ線は複数のソース電極173aと端部（図示せず）を有し、ドレイン電極175aは広い端部（図示せず）を有する。データ導電体175a及び露出された半導体154a部分上には保護膜180が形成され、保護膜180及びゲート絶縁膜には複数の接触孔185が形成される。保護膜180上には複数の画素電極191と複数の接触補助部材（図示せず）が形成される。画素電極191、接触補助部材及び保護膜180上には配向膜11が形成される。

10

【0129】

上部表示板200の構造においては、絶縁基板210上に遮光部材220、蓋膜250、共通電極270、そして配向膜21が形成される。

【0130】

しかし、図10の液晶表示装置は、図6乃至図9に示した液晶表示板組立体とは異なり、本実施形態による液晶表示装置では共通電極表示板200に色フィルター230がなく、その代わり薄膜トランジスタ表示板100の保護膜180下に複数の色フィルター230が形成されている。

20

【0131】

色フィルター230は画素電極191列に沿って帯状で縦に長く伸びており、隣接する二つの色フィルター230がデータ線上部で重なっている。互いに重なっている色フィルター230は有機膜からなっていて画素電極191とデータ線との間を絶縁する。したがって、絶縁膜180を有機膜で形成しなくても、画素電極191とデータ線171が重なる部分で寄生容量が発生することを防止する。また、画素電極191の間の光漏れを防止する遮光部材の役割を果たすことができる。この場合、共通電極表示板200上の遮光部材220が省略できるので、工程が簡素化する。

30

【0132】

色フィルター230には接触孔185が通過する貫通孔235が形成されており、貫通孔235は接触孔185より大きい。ゲート線121の端部129及びデータ線の端部が位置した周辺領域には色フィルター230が存在しない。

【0133】

色フィルター230の下にも保護膜（図示せず）を置くことができる。

【0134】

その他に、図6乃至図9に示した液晶表示装置の多くの特徴が図10に示した液晶表示装置にも適用できる。

40

【0135】

以上、本発明の好ましい実施形態について詳細に説明した。しかし、本発明の技術的範囲は上記の実施例には限定されない。特許請求の範囲で定義されている本発明の基本概念を利用した当業者による多様な変形及び改良もまた、本発明の技術的範囲に属すると解されるべきである。

【図面の簡単な説明】

【0136】

【図1】本発明の実施形態による液晶表示装置を示すブロック図である。

【図2】本発明の実施形態による液晶表示装置の等価回路図である。

50

【図 3 A】本発明の実施形態による液晶表示装置の画素及び信号線の空間的な配列を示す図面である。

【図 3 B】図 3 A に示した液晶表示装置が動作した状態を示す図面である。

【図 3 C】図 3 A に示した液晶表示装置が動作した状態を示す図面である。

【図 4】本発明の実施形態による液晶表示装置の画素及び信号線の空間的な配列を示す図面である。

【図 5 A】本発明の実施形態による液晶表示装置の画素及び信号線の空間的な配列を示す図面である。

【図 5 B】図 5 A に示した液晶表示装置が動作した状態を示す図面である。

【図 5 C】図 5 A に示した液晶表示装置が動作した状態を示す図面である。

10

【図 6】本発明の実施形態による液晶表示装置を示す配置図である。

【図 7】図 6 の液晶表示装置を V I I - V I I に沿って切断した断面図である。

【図 8】図 6 の液晶表示装置を V I I I - V I I I 及に沿って切断した断面図である。

【図 9】図 6 の液晶表示装置を I X - I X 線に沿って切断した断面図である。

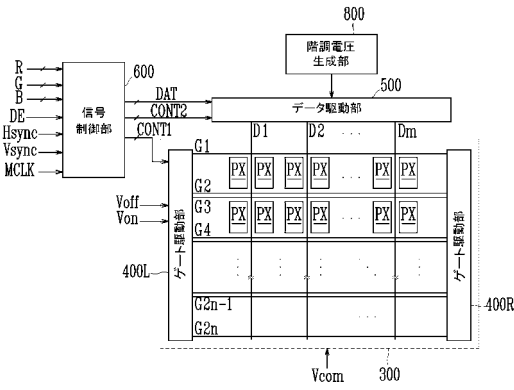
【図 10】本発明の実施形態による液晶表示装置を示す断面図である。

【符号の説明】

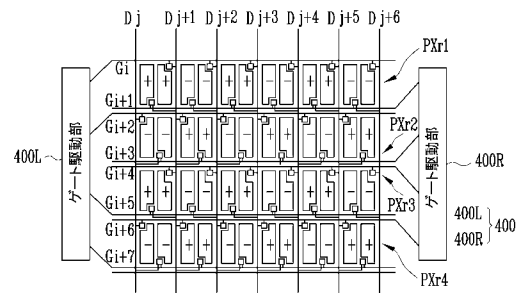
【 0 1 3 7 】

- |                                       |             |    |
|---------------------------------------|-------------|----|
| 3                                     | 液晶層、        |    |
| 1 1、2 1                               | 配向膜、        |    |
| 1 2、2 1、2 2                           | 偏光板、        | 20 |
| 8 1、8 2                               | 接触補助部材、     |    |
| 1 0 0                                 | 下部表示板、      |    |
| 1 1 0、2 1 0                           | 絶縁基板、       |    |
| 1 2 1 a、1 2 1 b                       | ゲート線、       |    |
| 1 2 4 a、1 2 4 b                       | ゲート電極、      |    |
| 1 3 1                                 | 維持電極線、      |    |
| 1 3 3 a - d                           | 維持電極、       |    |
| 1 4 0                                 | ゲート絶縁膜、     |    |
| 1 5 4 a、1 5 4 b                       | 半導体、        |    |
| 1 6 2、1 6 3 a、1 6 3 a、1 6 5 a、1 6 5 b | 抵抗性接触部材、    | 30 |
| 1 7 1                                 | データ線、       |    |
| 1 7 3 a、1 7 3 b                       | ソース電極、      |    |
| 1 7 5 a、1 7 5 b                       | ドレイン電極、     |    |
| 1 7 9                                 | データ線の端部、    |    |
| 1 8 0                                 | 保護膜、        |    |
| 1 8 1、1 8 2、1 8 5 a、1 8 5 b           | 接触孔、        |    |
| 1 9 1                                 | 画素電極、       |    |
| 2 0 0                                 | 上部表示板、      |    |
| 2 1 0                                 | 絶縁基板、       |    |
| 2 2 0                                 | 遮光部材、       | 40 |
| 2 3 0                                 | 色フィルター、     |    |
| 2 3 5                                 | 色フィルターの貫通孔、 |    |
| 2 5 0                                 | 蓋膜、         |    |
| 2 7 0                                 | 共通電極、       |    |
| 3 0 0                                 | 液晶表示板組立体、   |    |
| 4 0 0 L、4 0 0 R                       | ゲート駆動部、     |    |
| 5 0 0                                 | データ駆動部、     |    |
| 6 0 0                                 | 信号制御部、      |    |
| 8 0 0                                 | 階調電圧生成部。    |    |

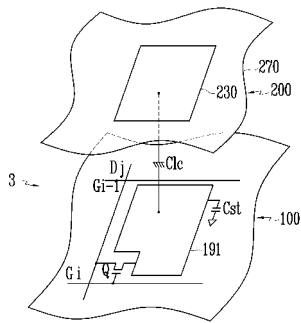
【図1】



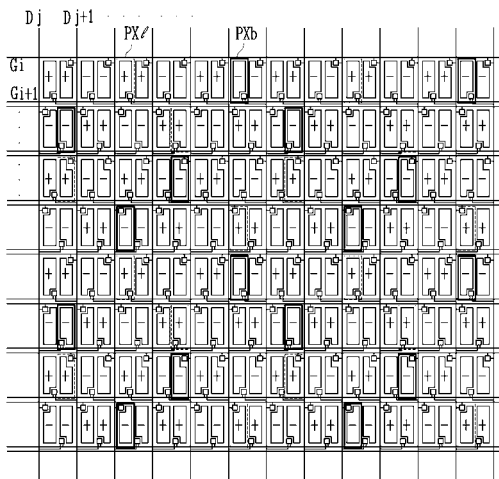
【図3A】



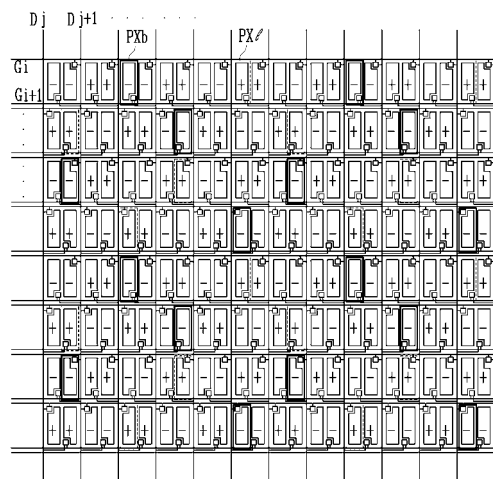
【図2】



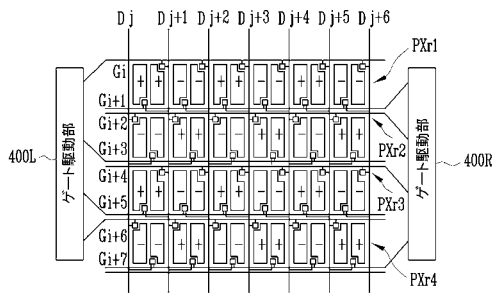
【図3B】



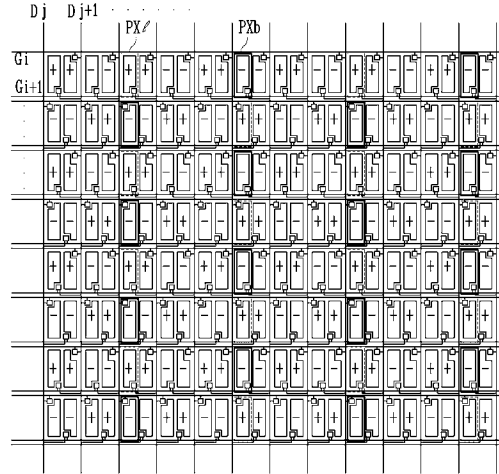
【図3C】



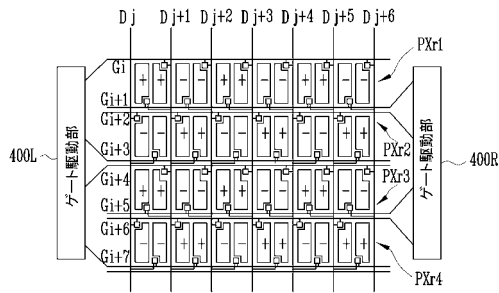
【図4】



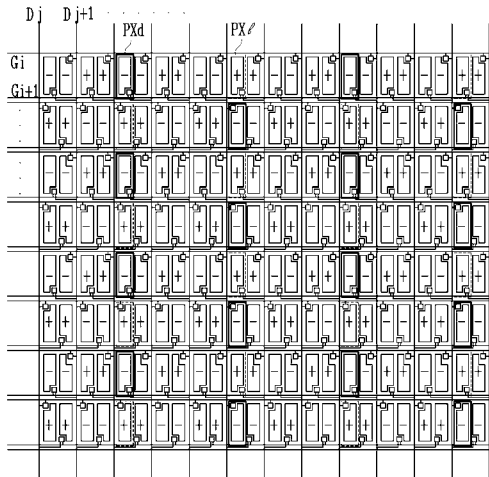
【図5B】



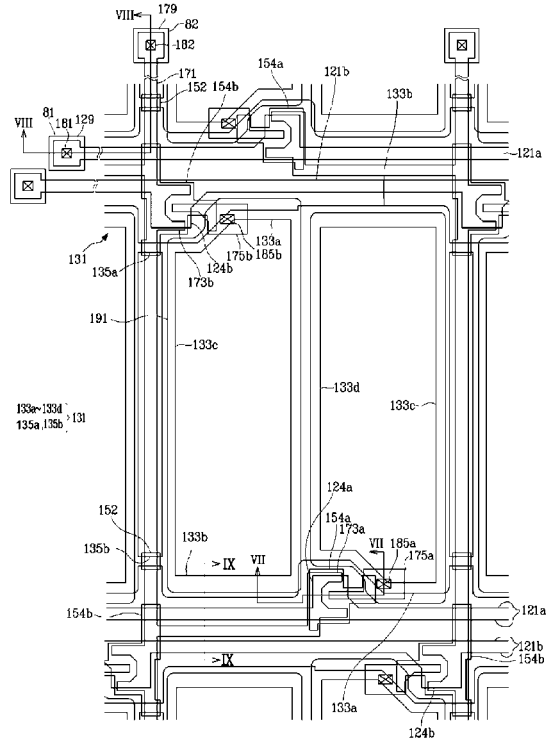
【図5A】



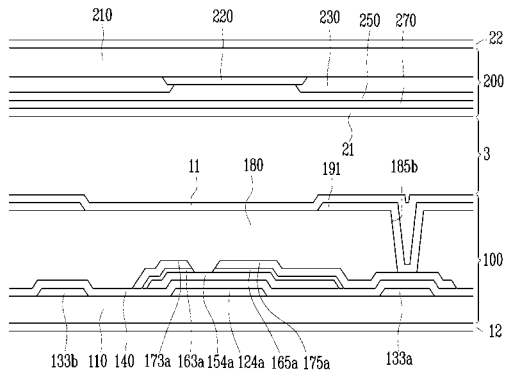
【図5C】



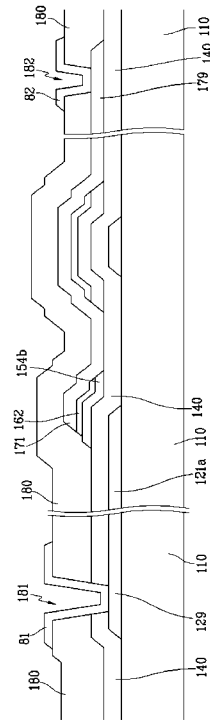
【図6】



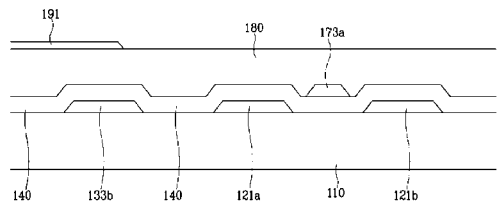
【 図 7 】



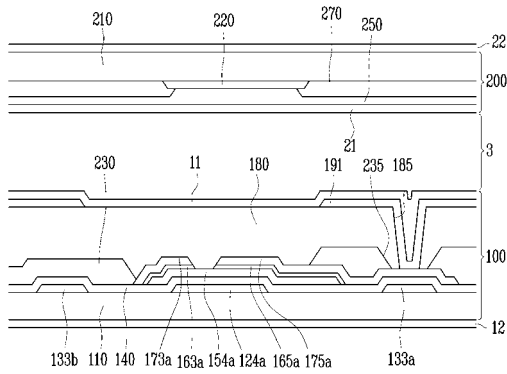
【 図 8 】



【 図 9 】



【 図 10 】



---

フロントページの続き

(72)発明者 李 奉 俊

大韓民国ソウル特別市鐘路区昭格洞37番地地下階

(72)発明者 姜 信 宅

大韓民国京畿道龍仁市上 けん 洞 スンウォンサンテビル230棟1801号

審査官 福田 知喜

(56)参考文献 特開平02-242224(JP,A)

特開2003-121875(JP,A)

特開平10-073843(JP,A)

特開平10-142578(JP,A)

特開平11-326943(JP,A)

特開平06-148680(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

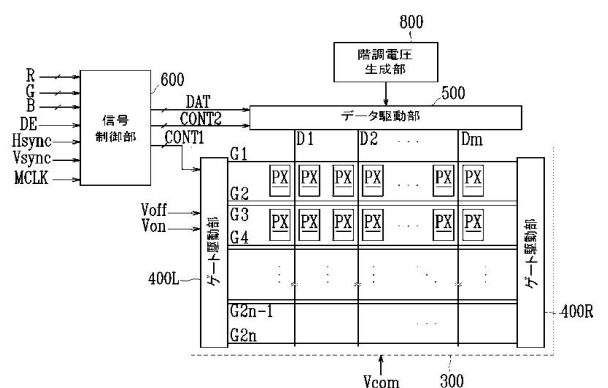
G02F 1/133

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP5441301B2</a>	公开(公告)日	2014-03-12
申请号	JP2006299548	申请日	2006-11-02
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	金聖萬 李奉俊 姜信宅		
发明人	金聖萬 李奉俊 姜信宅		
IPC分类号	G02F1/1368 G02F1/133		
CPC分类号	G09G3/3659 G02F1/134336 G02F1/136286 G09G3/3614 G09G3/3677 G09G2300/0426 G09G2310/0218 G09G2320/0219 G09G2320/0247		
FI分类号	G02F1/1368 G02F1/133 G02F1/1362		
F-TERM分类号	2H092/GA11 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB22 2H092/JB31 2H092/NA25 2H092/PA01 2H092/PA06 2H092/PA08 2H092/PA10 2H092/PA11 2H189/CA35 2H189/FA81 2H189/JA10 2H189/LA01 2H189/LA03 2H189/LA06 2H189/LA08 2H189/LA09 2H189/LA10 2H192/AA24 2H192/AA43 2H192/BC31 2H192/CB05 2H192/CB14 2H192/CB45 2H192/CC12 2H192/CC24 2H192/CC52 2H192/CC62 2H192/CC72 2H192/DA12 2H192/DA73 2H192/EA22 2H192/EA43 2H192/FA44 2H192/FA65 2H192/FB03 2H192/FB27 2H192/GD61		
审查员(译)	福田 知喜		
优先权	1020050104176 2005-11-02 KR		
其他公开文献	JP2007128092A5 JP2007128092A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供可以防止屏幕模糊的液晶显示器。解决方案：液晶显示器包括：基板；第一（PXr1）和第二像素（PXr2）行形成在基板上并包括多个像素；第一栅极线，沿基板上的行方向延伸并与第一像素行连接；在基板上沿行方向延伸的第二栅极线，与第一像素行连接且与第一栅极线相邻；在基板上沿行方向延伸的第三栅极线，与第二像素行连接且与第二栅极线相邻；第四栅极线，沿基板上的行方向延伸，与第二像素行连接且与第三栅极线相邻；多个数据线在基板上沿列方向延伸，其中每条数据线设置在每两个像素行中；第一栅极驱动器（400L），与第一和第四栅极线连接，并将栅极信号施加到第一和第四栅极线；第二栅极驱动器（400R）与第二和第三栅极线连接，并将栅极信号施加到第二和第三栅极线。

【图 1】



【图 2】

