

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-116502

(P2008-116502A)

(43) 公開日 平成20年5月22日(2008.5.22)

(51) Int.Cl.

G02F 1/1343 (2006.01)

F I

G02F 1/1343

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 6 O L (全 96 頁)

(21) 出願番号 特願2006-297009 (P2006-297009)
 (22) 出願日 平成18年10月31日 (2006.10.31)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H092 GA12 GA14 GA17 GA25 HA03
 HA04 HA05 JA24 JA25 JA26
 NA27 NA29

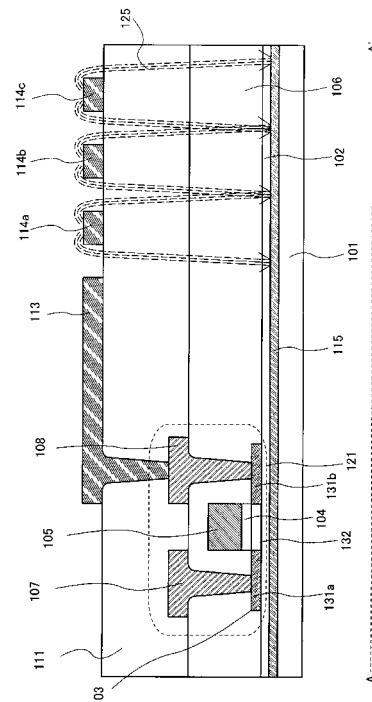
(54) 【発明の名称】 液晶表示装置及び電子機器

(57) 【要約】

【課題】広い視野角を有しており、かつ従来と比べて製造工程数やマスク数が少なく、製造コストが低い半導体装置及び液晶表示装置並びに電子機器を提供することを課題とする

【解決手段】基板の一方の表面の全面に形成された第1の電極と、前記第1電極の上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された薄膜トランジスタと、前記薄膜トランジスタ上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成され、複数の開口を有する第2の電極と、前記前記第1の電極と前記第2の電極との間に液晶とを有し、前記第1の電極と前記第2の電極との間の電界によって、前記液晶を制御する液晶表示装置である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板の一方の表面の全面に形成された第 1 の電極と、
前記第 1 電極の上に形成された第 1 の絶縁膜と、
前記第 1 の絶縁膜上に形成された薄膜トランジスタと、
前記薄膜トランジスタ上に形成された第 2 の絶縁膜と、
前記第 2 の絶縁膜上に形成され、複数の開口を有する第 2 の電極と、
前記前記第 1 の電極と前記第 2 の電極との間に液晶と、
を有し、
前記第 1 の電極と前記第 2 の電極との間の電界によって、前記液晶を制御することを特徴とする液晶表示装置。 10

【請求項 2】

請求項 1 において、
前記薄膜トランジスタは、トップゲート型薄膜トランジスタであることを特徴とする液晶表示装置。

【請求項 3】

請求項 1 において、
前記薄膜トランジスタは、ボトムゲート型薄膜トランジスタであることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項において、
前記第 1 の電極及び第 2 の電極は、透光性を有する導電膜であることを特徴とする液晶表示装置。 20

【請求項 5】

請求項 1 乃至請求項 3 のいずれか 1 項において、
前記第 1 の電極または第 2 の電極の一方は、透光性を有する導電膜であり、
前記第 1 の電極または第 2 の電極の他方は、反射性を有する導電膜であることを特徴とする液晶表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項に記載の液晶表示装置を具備する電子機器。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び液晶表示装置に関する。特に、基板に平行な成分を有する電界を生じさせて、液晶分子を制御する半導体装置及び液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置の技術開発方針の一つに、視野角を広くすることがある。広い視野角を実現する技術として、基板に平行（すなわち水平な方向）な電界を生じさせて、基板と平行な面内で液晶分子を動かして、階調を制御する方式が用いられている。 40

【0003】

このような方式として、IPS (In - Plane switching) と FFS (Fringe - field switching) とがある。

【0004】

IPS 方式の液晶表示装置では、一对の基板の片側の基板に、櫛状の電極（櫛歯型電極や櫛型電極ともいう）を二つ配置する。そして、これらの電極（櫛状の電極の一方が画素電極で他方が共通電極）間の電位差により発生する横方向の電界により、基板と平行な面内で液晶分子を動かしている。

【0005】

FFS は、液晶の下方に開口を有する第 2 の電極（例えば各画素別に電圧が制御される 50

画素電極)を配置し、さらにその開口の下方に第1の電極(例えば全画素に共通の電圧が供給される共通電極)を配置するものがある。画素電極と共通電極との間に電界が加わり、液晶が制御される。液晶には水平方向の電界が加わるため、その電界を用いて液晶分子を制御できる。つまり、基板と平行に配向している液晶分子(いわゆるホモジニアス配向)を、基板と平行な方向で制御できるため、視野角が広がる。

【0006】

従来の液晶分子を制御する半導体装置及び液晶表示装置においては、画素電極又は共通電極を透光性を有する導電膜、例えばインジウム錫酸化物(Indium Tin Oxide (ITO))で形成していた(例えば特許文献1参照)。

【特許文献1】特許第3742836号

10

【発明の開示】

【発明が解決しようとする課題】

【0007】

上記したように、画素電極又は共通電極を透光性を有する導電膜、例えばITOで形成していた。透過型の液晶分子を制御する半導体装置及び透過型液晶表示装置を作製するには、画素電極及び共通電極を透光性を有する導電膜で形成しなくてはならない。従来は、透光性を有する導電膜を成膜後、エッチング等によって成形して画素電極及び共通電極を形成してきた。このため、製造工程数やマスク数が多くなり、製造コストが高くなっていた。

【0008】

20

そこで、本発明は、広い視野角を有しており、製造工程数やマスク数が少なく、製造コストが低い半導体装置及び液晶表示装置並びに電子機器を提供することを課題とする。

【課題を解決するための手段】

【0009】

本発明では、画素電極または共通電極の一方を、透光性を有する導電膜(以下「透光性導電膜」と呼ぶ)を成膜して成形を行わずにそのまま電極として用いる。これにより透光性導電膜をエッチング等で成形する必要がなく、製造工程数やフォトリソマスク数を少なくすることができ、製造コストを抑えることができる。

【0010】

なお、液晶素子は画素電極と、画素部の複数の画素に渡って接続された共通電極との間の電位差により生ずる横方向の電界により、光量を制御する液晶分子の分子配列を基板に対して概ね水平方向に回転させることができればよい。

30

【0011】

本発明は、基板の一方の表面の全面に形成された第1の電極と、前記第1電極の上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された薄膜トランジスタと、前記薄膜トランジスタ上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成され、複数の開口を有する第2の電極と、前記前記第1の電極と前記第2の電極との間に液晶とを有し、前記第1の電極と前記第2の電極との間の電界によって、前記液晶を制御することを特徴とする液晶表示装置に関するものである。

【0012】

40

本発明において、前記薄膜トランジスタは、トップゲート型薄膜トランジスタである。

【0013】

本発明において、前記薄膜トランジスタは、ボトムゲート型薄膜トランジスタである。

【0014】

本発明において、前記第1の電極及び第2の電極は、透光性を有する導電膜である。

【0015】

本発明において、前記第1の電極または第2の電極の一方は、透光性を有する導電膜であり、前記第1の電極または第2の電極の一方は、反射性を有する導電膜である。

【0016】

また本発明は、本発明を用いて作製した液晶表示装置を具備する電子機器にも関するも

50

のである。

【0017】

なお、本書類（明細書、特許請求の範囲又は図面など）に示すスイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、サイリスタなどを用いることが出来る。または、これらを組み合わせた論理回路をスイッチとして用いることが出来る。

10

【0018】

スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を有するトランジスタやマルチゲート構造を有するトランジスタ等がある。または、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（V_{ss}、GND、0Vなど）に近い状態で動作する場合はNチャネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が、高電位側電源（V_{dd}など）に近い状態で動作する場合はPチャネル型トランジスタを用いることが望ましい。なぜなら、Nチャネル型トランジスタではソース端子が低電位側電源に近い状態で動作するとき、Pチャネル型トランジスタではソース端子が高電位側電源に近い状態で動作するとき、ゲートソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。また、ソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまいうことが少ないからである。

20

【0019】

なお、Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。CMOS型のスイッチにすると、Pチャネル型トランジスタまたはNチャネル型トランジスタのどちらか一方のトランジスタが導通すれば電流が流れるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。さらに、スイッチをオン・オフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。

30

【0020】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることが出来る。

40

【0021】

なお、本書類（明細書、特許請求の範囲又は図面など）において、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、本書類（明細書、特許請求の範囲又は図面など）が開示する構成において、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0022】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可

50

能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上配置されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上配置されていてもよい。あるいは、AとBとが直接接続されている場合として、AとBとの間に他の素子や他の回路を挟まずに、AとBとが直接接続されていてもよい。

10

【0023】

なお、AとBとが直接接続されている、と明示的に記載する場合は、AとBとが直接接続されている場合（つまり、AとBとの間に他の素子や他の回路を間に介さずに接続されている場合）と、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）とを含むものとする。

【0024】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

20

【0025】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いたり、様々な素子を有することが出来る。例えば、表示素子、表示装置、発光素子または発光装置としては、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を用いることができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

30

【0026】

なお、本書類（明細書、特許請求の範囲又は図面など）に記載されたトランジスタとして、様々な形態のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを用いることが出来る。TFTを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。さらに、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透明基板上にトランジスタを製造できる。そして、透明な基板上のトラン

40

50

ジスタを用いて表示素子での光の透過を制御することが出来る。あるいは、トランジスタの膜厚が薄いため、トランジスタを構成する膜の一部は、光を透過させることが出来る。そのため、開口率が向上させることができる。

【0027】

なお、多結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路（信号線駆動回路）、信号処理回路（信号生成回路、ガンマ補正回路、DA変換回路など）を基板上に一体形成することが出来る。

【0028】

なお、微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザーを用いず、熱処理を加えるだけで、結晶性を向上させることができる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路の一部（アナログスイッチなど）を基板上に一体形成することが出来る。さらに、結晶化のためにレーザーを用いない場合は、シリコンの結晶性のムラを抑えることができる。そのため、綺麗な画像を表示することが出来る。

【0029】

ただし、触媒（ニッケルなど）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

【0030】

または、半導体基板やSOI基板などを用いてトランジスタを形成することが出来る。その場合、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを本明細書に記載されたトランジスタとして用いることが出来る。これらにより、特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0031】

または、ZnO、a-InGaZnO、SiGe、GaAs、IZO、ITO、SnOなどの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することが出来る。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透明電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。

【0032】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することが出来る。また、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

【0033】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。そのため、衝撃に強くできる。

10

20

30

40

50

【 0 0 3 4 】

その他、様々なトランジスタを用いることができる。

【 0 0 3 5 】

なお、トランジスタが形成されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。トランジスタが形成される基板としては、例えば、単結晶基板、S O I 基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。または、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板としては、単結晶基板、S O I 基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、又は軽量化を図ることができる。

10

20

【 0 0 3 6 】

なお、トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上による信頼性の向上を図ることができる。あるいは、マルチゲート構造により、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。電圧・電流特性の傾きがフラットである特性を利用すると、理想的な電流源回路や、非常に高い抵抗値をもつ能動負荷を実現することができる。その結果、特性のよい差動回路やカレントミラー回路を実現することができる。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値の増加、又は空乏層ができやすくなることによるS値の低減を図ることができる。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

30

【 0 0 3 7 】

あるいは、チャンネル領域の上にゲート電極が配置されている構造でもよいし、チャンネル領域の下にゲート電極が配置されている構造でもよい。あるいは、正スタガ構造または逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、チャンネル領域が並列に接続されていてもよいし、チャンネル領域が直列に接続されていてもよい。また、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることにより、チャンネル領域の一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、L D D 領域を設けても良い。L D D 領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上による信頼性の向上を図ることができる。あるいは、L D D 領域を設けることにより、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。

40

【 0 0 3 8 】

なお、本書類（明細書、特許請求の範囲又は図面など）におけるトランジスタは、様々

50

なタイプを用いることができ、様々な基板上に形成させることができる。したがって、所定の機能を実現させるために必要な回路の全てが、同一の基板上に形成されていてもよい。例えば、所定の機能を実現させるために必要な回路の全てが、ガラス基板、プラスチック基板、単結晶基板、またはSOI基板上に形成されていてもよく、さまざまな基板上に形成されていてもよい。所定の機能を実現させるために必要な回路の全てが同じ基板上に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、所定の機能を実現させるために必要な回路の一部が、ある基板上に形成されており、所定の機能を実現させるために必要な回路の別の一部が、別の基板上に形成されていてもよい。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板上に形成されていなくてもよい。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板上にトランジスタを用いて形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板上に形成され、単結晶基板上のトランジスタで構成されたICチップをCOG (Chip On Glass) でガラス基板に接続して、ガラス基板上にそのICチップを配置してもよい。あるいは、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板上に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。また、駆動電圧が高い部分や駆動周波数が高い部分の回路は、消費電力が大きくなってしまいうので、そのような部分の回路は同じ基板上に形成せず、そのかわりに、例えば、単結晶基板上にその部分の回路を形成して、その回路で構成されたICチップを用いるようにすれば、消費電力の増加を防ぐことができる。

10

20

30

40

50

【0039】

なお、本書類（明細書、特許請求の範囲又は図面など）においては、一画素とは画像の最小単位を示すものとする。よって、R（赤）G（緑）B（青）の色要素からなるフルカラー表示装置の場合には、一画素とはRの色要素のドットとGの色要素のドットとBの色要素のドットとから構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW（Wは白）としてもよい。また、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加してもよい。または、例えば、RGBの中の少なくとも一色に類似した色を、RGBに追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し周波数が異なっている。同様に、R1、R2、G、Bとしてもよい。このような色要素を用いることにより、より実物に近い表示を行うことができる。あるいは、このような色要素を用いることにより、消費電力を低減することが出来る。なお、一画素に、同じ色の色要素のドットが複数個あってもよい。そのとき、その複数の色要素は、各々、表示に寄与する領域の大きさが異なっているとしてもよい。また、複数個ある、同じ色の色要素のドットを各々制御することによって、階調を表現してもよい。これを、面積階調方式と呼ぶ。あるいは、複数個ある、同じ色の色要素のドットを用いて、各々のドットに供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、複数個ある、同じ色の色要素が各々有する画素電極の電位が、各々異なっているとしてもよい。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることが出来る。

【0040】

なお、本書類（明細書、特許請求の範囲又は図面など）においては、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW（Wは白）としてもよい。また、RGBに、例えば、イエロ

一、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加してもよい。また、例えば、RGBの中の少なくとも一色に類似した色を、RGBに追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し周波数が異なっている。同様に、R1、R2、G、Bとしてもよい。このような色要素を用いることにより、より実物に近い表示を行うことができる。あるいは、このような色要素を用いることにより、消費電力を低減することが出来る。また、別の例としては、1つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素としてもよい。よって、一例として、面積階調を行う場合または副画素（サブ画素）を有している場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する領域の一つ分を一画素としてもよい。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。あるいは、明るさを制御する領域が1つの色要素の中に複数あっても、それらをまとめて、1つの色要素を1画素としてもよい。よって、その場合は、一つの色要素は、一つの画素で構成されることとなる。また、1つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。また、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、1つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なってもよい。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることが出来る。

10

20

【0041】

なお、一画素（三色分）と明示的に記載する場合は、RとGとBの三画素分を一画素と考える場合であるとする。一画素（一色分）と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合であるとする。

【0042】

なお、本書類（明細書、特許請求の範囲又は図面など）において、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合や、ギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配置されている場合や、三つの色要素のドットがデルタ配置されている場合も含む。さらに、ペイヤー配置されている場合も含む。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）や、RGBに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。また、色要素のドット毎にその表示領域の大きさが異なってもよい。これにより、低消費電力化、又は表示素子の長寿命化を図ることができる。

30

【0043】

なお、本書類（明細書、特許請求の範囲又は図面など）において、画素に能動素子を有するアクティブマトリクス方式、または、画素に能動素子を有しないパッシブマトリクス方式を用いることが出来る。

【0044】

アクティブマトリクス方式では、能動素子（アクティブ素子、非線形素子）として、トランジスタだけでなく、さまざまな能動素子（アクティブ素子、非線形素子）を用いることが出来る。例えば、MIM（Metal Insulator Metal）やTFD（Thin Film Diode）などを用いることも可能である。これらの素子は、製造工程が少ないため、製造コストの低減、又は歩留まりの向上を図ることができる。さらに、素子のサイズが小さいため、開口率を向上させることができ、低消費電力化や高輝度化をはかることが出来る。

40

【0045】

なお、アクティブマトリクス方式以外のものとして、能動素子（アクティブ素子、非線形素子）を用いないパッシブマトリクス型を用いることも可能である。能動素子（アクテ

50

ィブ素子、非線形素子)を用いないため、製造工程が少なく、製造コストの低減、又は歩留まりの向上を図ることができる。また、能動素子(アクティブ素子、非線形素子)を用いないため、開口率を向上させることができ、低消費電力化や高輝度化をはかることができる。

【0046】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本書類(明細書、特許請求の範囲又は図面など)においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1の電極、第2の電極と表記する場合がある。あるいは、ソース領域、ドレイン領域と表記する場合がある。

10

【0047】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子と表記する場合がある。

【0048】

なお、ゲートとは、ゲート電極とゲート配線(ゲート線、ゲート信号線、走査線、走査信号線等とも言う)とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャンネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。なお、ゲート電極の一部は、LDD(Lightly Doped Drain)領域またはソース・ドレイン領域と、ゲート絶縁膜を介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間を接続するための配線、各画素の有するゲート電極の間を接続するための配線、又はゲート電極と別の配線とを接続するための配線のことを言う。

20

【0049】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分(領域、導電膜、配線など)も存在する。そのような部分(領域、導電膜、配線など)は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線の一部とチャンネル領域がオーバーラップしている場合、その部分(領域、導電膜、配線など)はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような部分(領域、導電膜、配線など)は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

30

【0050】

なお、ゲート電極と同じ材料で形成され、ゲート電極と同じ島(アイランド)を形成してつながっている部分(領域、導電膜、配線など)も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線と同じ島(アイランド)を形成してつながっている部分(領域、導電膜、配線など)も、ゲート配線と呼んでも良い。このような部分(領域、導電膜、配線など)は、厳密な意味では、チャンネル領域とオーバーラップしていない場合、又は別のゲート電極と接続させる機能を有していない場合がある。しかし、製造マージンなどの関係で、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島(アイランド)を形成してつながっている部分(領域、導電膜、配線など)がある。よって、そのような部分(領域、導電膜、配線など)もゲート電極またはゲート配線と呼んでも良い。

40

【0051】

なお、例えば、マルチゲートのトランジスタにおいて、1つのゲート電極と、別のゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのよ

50

うな部分（領域、導電膜、配線など）は、ゲート電極とゲート電極とを接続させるための部分（領域、導電膜、配線など）であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタと見なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）は、ゲート電極やゲート配線と呼んでも良い。さらに、例えば、ゲート電極とゲート配線とを接続させている部分の導電膜であって、ゲート電極またはゲート配線とは異なる材料で形成された導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0052】

なお、ゲート端子とは、ゲート電極の部分（領域、導電膜、配線など）または、ゲート電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

【0053】

なお、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線などと呼ぶ場合、配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線は、トランジスタのゲートと同じ層で形成された配線、トランジスタのゲートと同じ材料で形成された配線またはトランジスタのゲートと同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

【0054】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線、ソース信号線、データ線、データ信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各トランジスタのソース電極の間を接続するための配線、各画素の有するソース電極の間を接続するための配線、又はソース電極と別の配線とを接続するための配線のことを言う。

【0055】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分（領域、導電膜、配線など）も存在する。そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線の一部とソース領域とがオーバーラップしている場合、その部分（領域、導電膜、配線など）はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0056】

なお、ソース電極と同じ材料で形成され、ソース電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）や、ソース電極とソース電極とを接続する部分（領域、導電膜、配線など）も、ソース電極と呼んでも良い。さらに、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線と同じ島（アイランド）を形成してつながっている領域も、ソース配線と呼んでも良い。このような部分（領域、導電膜、配線など）は、厳密な意味では、別のソース電極と接続させる機能を有していない場合がある。しかし、製造マージンなどの関係で、ソース電極またはソース配線と同じ材料で形成され、ソース電極またはソース配線とつながっている部分（領域、導電膜、配線など）がある。よって、その

10

20

30

40

50

ような部分（領域、導電膜、配線など）もソース電極またはソース配線と呼んでも良い。

【0057】

なお、例えば、ソース電極とソース配線とを接続させている部分の導電膜であって、ソース電極またはソース配線とは異なる材料で形成された導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0058】

なお、ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

【0059】

なお、ソース配線、ソース線、ソース信号線、データ線、データ信号線などと呼ぶ場合、配線にトランジスタのソース（ドレイン）が接続されていない場合もある。この場合、ソース配線、ソース線、ソース信号線、データ線、データ信号線は、トランジスタのソース（ドレイン）と同じ層で形成された配線、トランジスタのソース（ドレイン）と同じ材料で形成された配線またはトランジスタのソース（ドレイン）と同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

【0060】

なお、ドレインについては、ソースと同様である。

【0061】

なお、半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。

【0062】

なお、表示素子とは、光学変調素子、液晶素子、発光素子、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、電気泳動素子、放電素子、光反射素子、光回折素子、デジタルマイクロミラーデバイス（DMD）、などのことを言う。ただし、これに限定されない。

【0063】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置とは、表示素子を含む複数の画素またはそれらの画素を駆動させる周辺駆動回路が同一基板上に形成された表示パネル本体のことでもよい。なお、表示装置は、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で接続されたICチップ、または、TABなどで接続されたICチップを含んでも良い。なお、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（FPC）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（FPC）などを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基盤（PWB）を含んでも良い。なお、表示装置は、偏光板または位相差板などの光学シートを含んでも良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでも良い。ここで、バックライトユニットのような照明装置は、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管など）、冷却装置（水冷式、空冷式）などを含んでも良い。

【0064】

なお、照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管、熱陰極管など）、冷却装置などを有している装置のことをいう。

【0065】

なお、発光装置とは、発光素子などを有している装置のことをいう。

【0066】

なお、反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のこ

10

20

30

40

50

とをいう。

【0067】

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

【0068】

なお、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

10

【0069】

なお、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置などは、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

【0070】

なお、本書類（明細書、特許請求の範囲又は図面など）において、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

20

【0071】

従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0072】

30

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0073】

なお、Aの上にBが直接接して形成されている、と明示的に記載する場合は、Aの上に直接接してBが形成されている場合を含み、AとBと間に別の対象物が介在する場合は含まないものとする。

40

【0074】

なお、Aの下にBが、あるいは、Aの下方にBが、という場合についても、同様である。

【発明の効果】

【0075】

本発明により、広い視野角を有しており、かつ従来と比べて製造コストが低い液晶表示装置を提供することができる。

【0076】

本発明では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入され

50

るのを防ぐことができる。これにより信頼性の高い半導体装置を得ることが可能となる。

【００７７】

また本発明においては、トップゲート型薄膜トランジスタを有する半導体装置を作製した場合、バックゲートの電位が安定するので、信頼性の高い半導体装置を得ることができる。

【発明を実施するための最良の形態】

【００７８】

以下、本発明の実施の態様について、図面を参照して説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す図面において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【００７９】

[実施の形態１]

本実施の形態を、図１、図３、図４、図５を用いて説明する。

【００８０】

図１は、画素部のスイッチング素子として、トップゲート型薄膜トランジスタ（Thin Film Transistor（TFT））を用いた例である。基板１０１の一方の表面の全面に、FFS（Fringe-field switching）駆動における第１の電極となる導電膜１１５が形成されている。

【００８１】

導電膜１１５として、透光性を有する導電膜（以下「透光性導電膜」という）を用いる。このような透光性導電膜として、インジウム錫酸化物（Indium Tin Oxide（ITO））膜、インジウム亜鉛酸化物（Indium Zinc Oxide（IZO））膜、酸化珪素を添加したインジウム錫酸化物（ITSOともいう）膜、酸化亜鉛（ZnO）膜、酸化スズカドミウム（CTO）膜、酸化スズ（SnO）膜などを用いればよい。

【００８２】

導電膜１１５上には下地膜１０２、下地膜１０２上には、薄膜トランジスタ（Thin Film Transistor（TFT））１２１が形成されている。TFT１２１は、ソース領域またはドレイン領域の一方である領域１３１a、ソース領域またはドレイン領域の他方である領域１３１b、チャネル形成領域１３２を含む活性層１０３、ゲート絶縁膜１０４、ゲート電極１０５を有している。なお図１ではゲート絶縁膜１０４は、チャネル形成領域１３２上部のみに形成されているが、チャネル形成領域１３２上部以外にも形成されていてもよい。

【００８３】

TFT１２１及び下地膜１０２上に、層間絶縁膜１０６が形成されている。層間絶縁膜１０６上には、層間絶縁膜１０６中のコンタクトホールを介して、ソース領域またはドレイン領域の一方に電氣的に接続される電極１０７、ソース領域またはドレイン領域の他方に電氣的に接続される電極１０８が形成されている。

【００８４】

層間絶縁膜１０６、電極１０７～１０９上に、層間絶縁膜１１１が形成されており、さらに層間絶縁膜１１１上に、層間絶縁膜１１１中に形成されたコンタクトホールを介して、電極１０８に電氣的に接続される画素電極１１３及び１１４a～１１４cが形成されている。なお画素電極１１３は電極１０８ではなく、電極１０７に電氣的に接続されていてもよい。また層間絶縁膜１０６及び１１１は、いずれか一方のみを形成してもよい。

【００８５】

図１に示すように、画素電極１１４（１１４a～１１４c）と、画素電極１１３との間に電界１２５が発生する。後述するが、この電界１２５により液晶分子が駆動される。

【 0 0 8 6 】

また図 3 に示すように、導電膜 1 1 5 は、層間絶縁膜 1 0 6 及び下地膜 1 0 2 中のコンタクトホールを介して、接続電極 1 0 9 と電氣的に接続されており、接続電極 1 0 9 は配線 1 1 9 と電氣的に接続されている。なお配線 1 1 9 はゲート電極 1 0 5 と同じ材料、同じ工程により作製されており、接続電極 1 0 9 は、電極 1 0 7 及び電極 1 0 8 と同じ材料、同じ工程により作製されている。このように作製工程を追加せずに形成することができるため、フォトマスク数を低減させることができる。なお図 3 と図 1 に示す構成では同じものは同じ符号で示している。

【 0 0 8 7 】

なお配線 1 1 9 は、ゲート配線 1 0 5 に平行に配置してもよい。配線 1 1 9 は、ゲート配線 1 0 5 に平行に配置すると、開口率の低下が小さくなる。

【 0 0 8 8 】

また配線 1 1 9 を画素ごとに導電膜 1 1 5 に接続させると、導電膜 1 1 5 の抵抗を小さくさせることができる。さらにこの場合は、波形なまりを低減させることができる。

【 0 0 8 9 】

また接続電極 1 0 9 を配線 1 1 9 に接続させずに、接続電極 1 0 9 を引き延ばして画素にわたって配置しても構わない。そのときは接続電極 1 0 9 をソース線 1 0 7 と平行に配置させることが好ましい。

【 0 0 9 0 】

図 4 に図 1 及び図 3 の上面図を示す。図 4 の A - A ' 及び B - B ' の断面図が図 3 であり、図 1 は図 4 の A - A ' の断面図である。画素電極 1 1 3 及び 1 1 4 a、1 1 4 b、1 1 4 c、等には、溝（「開口」、「スリット」、「隙間」、「間隙」、「スペース」ともいう）1 1 7 が形成されている。

【 0 0 9 1 】

図 4 に示すように、複数のソース配線 1 0 7 が互いに平行（図中上下方向に延伸）かつ互いに離間した状態で配置されている。複数のゲート配線 1 0 5 は、ソース配線 1 0 7 に略直交する方向（図中左右方向）に延伸し、かつ互いに離間するように配置されている。配線 1 1 9 は、複数のゲート配線 1 0 5 それぞれに隣接する位置に配置されており、ゲート配線 1 0 5 に平行な方向、つまり、ソース配線 1 0 7 に直交する方向（図中左右方向）に延伸している。このように配置することにより、開口率を向上させることができる。ソース配線 1 0 7 と、配線 1 1 9 及びゲート配線 1 0 5 とによって、略長方形の空間が囲まれているが、この空間に液晶表示装置の画素電極 1 1 3 が配置されている。画素電極 1 1 3 を駆動する薄膜トランジスタ 1 2 1 は、図中左上の角に配置されている。画素電極及び薄膜トランジスタは、マトリクス状に複数配置されている。

【 0 0 9 2 】

なお本実施の形態では、配線 1 1 9 と導電膜 1 1 5 はコンタクトホールを介して画素ごとに接続されているが、これに限定されない。

【 0 0 9 3 】

なお、ゲート配線 1 0 5、配線 1 1 9、及びソース配線 1 0 7 は、アルミニウム（Al）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、ネオジウム（Nd）、クロム（Cr）、ニッケル（Ni）、白金（Pt）、金（Au）、銀（Ag）、銅（Cu）、マグネシウム（Mg）、スカンジウム（Sc）、コバルト（Co）、亜鉛（Zn）、ニオブ（Nb）、シリコン（Si）、リン（P）、ボロン（B）、ヒ素（As）、ガリウム（Ga）、インジウム（In）、錫（Sn）、酸素（O）で構成された群から選ばれた一つもしくは複数の元素、または、前記群から選ばれた一つもしくは複数の元素を成分とする化合物、合金材料（例えば、インジウム錫酸化物（Indium Tin Oxide（ITO））、インジウム亜鉛酸化物（Indium Zinc Oxide（IZO））、酸化珪素を含むインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、酸化錫（SnO）、酸化錫カドミウム（CTO）、アルミネオジウム（Al-Nd）、マグネシウム銀（Mg-Ag）、モリブデンニオブ（Mo-Nb）など）で形成

10

20

30

40

50

されることが望ましい。または、配線、電極、導電層、導電膜、端子などは、これらの化合物を組み合わせた物質などを有して形成されることが望ましい。もしくは、前記群から選ばれた一つもしくは複数の元素とシリコンの化合物（シリサイド）（例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど）、前記群から選ばれた一つもしくは複数の元素と窒素の化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデン等）を有して形成されることが望ましい。

【0094】

なお、シリコン（Si）には、n型不純物（リンなど）またはp型不純物（ボロンなど）を含んでいてもよい。シリコンが不純物を含むことにより、導電率が向上したり、通常の導体と同様な振る舞いをするのが可能となる。従って、配線、電極などとして利用しやすくなる。

10

【0095】

なお、シリコンは、単結晶、多結晶（ポリシリコン）、微結晶（マイクロクリスタルシリコン）など、様々な結晶性を有するシリコンを用いることが出来る。あるいは、シリコンは非晶質（アモルファスシリコン）などの結晶性を有さないシリコンを用いることが出来る。単結晶シリコンまたは多結晶シリコンを用いることにより、配線、電極、導電層、導電膜、端子などの抵抗を小さくすることが出来る。非晶質シリコンまたは微結晶シリコンを用いることにより、簡単な工程で配線などを形成することが出来る。

【0096】

なお、アルミニウムまたは銀は、導電率が高いため、信号遅延を低減することができる。さらに、エッチングしやすいので、パターニングしやすく、微細加工を行うことが出来る。

20

【0097】

なお、銅は、導電率が高いため、信号遅延を低減することが出来る。銅を用いる場合は、密着性を向上させるため、積層構造にすることが望ましい。

【0098】

なお、モリブデンまたはチタンは、酸化物半導体（ITO、IZOなど）またはシリコンと接触しても、不良を起こさない、エッチングしやすい、耐熱性が高いなどの利点を有するため、望ましい。

【0099】

なお、タングステンは、耐熱性が高いなどの利点を有するため、望ましい。

30

【0100】

なお、ネオジウムは、耐熱性が高いなどの利点を有するため、望ましい。特に、ネオジウムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなる。

【0101】

なお、シリコンは、トランジスタが有する半導体層と同時に形成できる、耐熱性が高いなどの利点を有するため、望ましい。

【0102】

なお、ITO、IZO、ITSO、酸化亜鉛（ZnO）、シリコン（Si）、酸化錫（SnO）、酸化錫カドミウム（CTO）は、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

40

【0103】

なお、IZOは、エッチングしやすく、加工しやすいため、望ましい。IZOは、エッチングしたときに、残渣が残ってしまう、ということも起こりにくい。したがって、画素電極としてIZOを用いると、液晶素子や発光素子に不具合（ショート、配向乱れなど）をもたらすことを低減出来る。

【0104】

なお、配線、電極、導電層、導電膜、端子などは、単層構造でもよいし、多層構造になっていてもよい。単層構造にすることにより、配線、電極、導電層、導電膜、端子などの

50

製造工程を簡略化することができ、工程日数を少なくでき、コストを低減することが出来る。あるいは、多層構造にすることにより、それぞれの材料のメリットを生かしつつ、デメリットを低減させ、性能の良い配線、電極などを形成することが出来る。たとえば、低抵抗材料（アルミニウムなど）を多層構造の中を含むことにより、配線の低抵抗化を図ることができる。また、低耐熱性の材料を、高耐熱性の材料で挟む積層構造にすることにより、低耐熱性の材料の持つメリットを生かしつつ、配線、電極などの耐熱性を高くすることが出来る。例えば、アルミニウムを含む層を、モリブデン、チタン、ネオジウムなどを含む層で挟む積層構造にすると望ましい。

【0105】

また、配線、電極など同士が直接接する場合、お互いに悪影響を及ぼすことがある。例えば、一方の配線、電極などが他方の配線、電極など材料の中に入っている、性質を変えてしまい、本来の目的を果たせなくなる。別の例として、高抵抗な部分を形成又は製造するときに、問題が生じて、正常に製造できなくなったりすることがある。そのような場合、積層構造により反応しやすい材料を、反応しにくい材料で挟んだり、覆ったりするとよい。例えば、ITOとアルミニウムとを接続させる場合は、ITOとアルミニウムとの間に、チタン、モリブデン、ネオジウム合金を挟むことが望ましい。また、シリコンとアルミニウムとを接続させる場合は、ITOとアルミニウムとの間に、チタン、モリブデン、ネオジウム合金を挟むことが望ましい。

【0106】

なお、配線とは、導電体が配置されているものを言う。線状に伸びていても良いし、伸びずに短く配置されていてもよい。したがって、電極は、配線に含まれている。

【0107】

なお、ゲート配線105の方が、ソース配線107よりも耐熱性が高い材料を用いることが望ましい。なぜなら、ゲート配線105の方が、製造工程の過程で、高い温度状態に配置されることが多いからである。

【0108】

なお、ソース配線107の方が、ゲート配線105よりも、抵抗の低い材料を用いることが望ましい。なぜなら、ゲート配線105には、H信号とL信号の2値の信号を与えるだけであるが、ソース配線107には、アナログの信号を与え、それが表示に寄与するからである。よって、ソース配線107には、正確な大きさの信号を供給できるようにするため、抵抗の低い材料を用いることが望ましい。

【0109】

なお、配線119を設けなくてもよいが、配線119を設けることにより、各画素における共通電極の電位を安定化させることができる。なお、図4では、配線119は、ゲート線と平行には配置されているが、これに限定されない。ソース配線107と平行に配置されていてもよい。その時は、ソース配線107と同じ材質で形成されることが望ましい。

【0110】

ただし、配線119は、ゲート線と平行には配置したほうが、開口率を大きくすることができ、効率的にレイアウトできるため、好適である。

【0111】

基板101は、ガラス基板、石英基板、アルミナなど絶縁物で形成される基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板、単結晶基板（単結晶シリコン基板）、SOI基板、または金属板である。また、多結晶珪素であってもよい。

【0112】

なお、透過型の表示装置として動作させる場合は、基板101は、光透過性を有することが望ましい。

【0113】

導電膜115は、光透過性を有する導電膜（例えば、酸化インジウム酸化スズ合金（Indium Tin Oxide（ITO）膜、インジウム亜鉛酸化物（Indium

10

20

30

40

50

Zinc Oxide (IZOともいう))、酸化亜鉛 (ZnO)、酸化スズ (SnO)、若しくは不純物が導入された多結晶珪素膜又は非晶質珪素膜)から形成されている。

【0114】

導電膜115上には、下地膜102として絶縁膜が形成されている。絶縁膜102は、基板101から不純物が拡散することを防止する膜であり、下地膜として機能する。絶縁膜102は、例えば、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、窒素を含む酸化珪素 (SiO_xN_y : $x > y$)、酸素を含む窒化珪素 (SiN_xO_y : $x > y$) など、酸素又は窒素を有する絶縁物質から形成される。また、これらの膜を複数積層した積層膜であってもよい。なお、基板101と導電膜115の間に絶縁膜102と同じ機能を有する絶縁膜があってもよい。

10

【0115】

例えば下地膜102は、窒化珪素膜と酸化珪素膜の積層膜を用いてもよい。また酸化珪素膜の単層膜でもよい。酸化珪素膜を下地膜102として用いた場合は、ゲート絶縁膜104よりも厚くすると、ゲート配線105との容量カップリングを低減できるので有用である。そのため下地膜102は、ゲート絶縁膜104より厚く、望ましくはゲート絶縁膜104の3倍以上の厚さがあるとよい。

【0116】

絶縁膜102上には半導体膜103が形成されている。半導体膜103には、薄膜トランジスタ121のソース領域またはドレイン領域の一方となる領域131a、及びソース領域またはドレイン領域の他方となる領域131bが形成されている。領域131a、131bは、例えばn型の不純物領域であるが、p型の不純物領域であってもよい。n型を付与する不純物としては、例えばリン (P) 及びヒ素 (As) があり、p型を付与する不純物としては、例えばボロン (B) 及びガリウム (Ga) がある。また領域131aと131bとの間にチャネル形成領域132が形成される。

20

【0117】

さらに領域131aとチャネル形成領域132との間、領域131bとチャネル形成領域132との間に、低濃度不純物領域を形成してもよい。

【0118】

図4に示すように、導電膜115は画素のほぼ全面に形成されている。ソース配線107と、配線119及びゲート配線105とによって囲まれている長形状の領域には、それぞれ薄膜トランジスタ121が配置されている。すなわち第1の配線としてゲート線103、第2の配線としてソース線107、第3の配線として配線119が形成されている。薄膜トランジスタ121を配置することにより、画素内における表示に有効な領域を、より効率的に形成することができる。つまり、開口率の向上につながる。なお、半導体膜103は、例えば多結晶珪素膜であるが、他の半導体膜 (例えば非晶質珪素膜、単結晶珪素膜、有機半導体膜、又はカーボンナノチューブ)、微結晶珪素膜 (マイクロクリスタルシリコン膜、あるいはセミアモルファスシリコン膜ともいう) であってもよい。

30

【0119】

ここで、セミアモルファスシリコン膜に代表されるセミアモルファス半導体膜とは、非晶質半導体と結晶構造を有する半導体 (単結晶、多結晶を含む) 膜の中間的な構造の半導体を含む膜である。このセミアモルファス半導体膜は、自由エネルギー的に安定な第3の状態を有する半導体膜であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を0.5~20nmとして非単結晶半導体膜中に分散させて存在せしめることが可能である。セミアモルファス半導体膜は、そのラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしており、またX線回折ではSi結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。また、未結合手 (ダングリングボンド) を終端化させるために水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。本明細書では便宜上、このような半導体膜をセミアモルファス半導体 (SAS) 膜と呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なセミアモルファス半導体膜が得ら

40

50

れる。

【0120】

またSAS膜は珪素（シリコン）を含む気体をグロー放電分解することにより得ることができる。代表的な珪素（シリコン）を含む気体としては、 SiH_4 であり、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることができる。また水素や、水素にヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素を加えたガスで、この珪素（シリコン）を含む気体を希釈して用いることで、SAS膜の形成を容易なものとする事ができる。希釈率は2倍～1000倍の範囲で珪素（シリコン）を含む気体を希釈することが好ましい。またさらに、珪素（シリコン）を含む気体中に、 CH_4 、 C_2H_6 などの炭化物気体、 GeH_4 、 GeF_4 などのゲルマニウム化気体、 F_2 などを混入させて、エネルギーバンド幅を1.5～2.4 eV、若しくは0.9～1.1 eVに調節しても良い。

10

【0121】

さらにゲート線105の下には半導体層を配置してもよい。これにより導電膜115とゲート線105との容量カップリングを低減することができる。そのためゲート線105の充電及び放電が素早くでき、波形なまりを抑制することができる。

【0122】

半導体膜103上を含む全面上には、薄膜トランジスタ121のゲート絶縁膜104が形成されている。

20

【0123】

ただし、ゲート絶縁膜104は、チャネル領域近傍にのみ配置され、それ以外の部分では、配置されていない場合もある。また、場所によって厚さや積層構造や厚さが異なる場合がある。例えば、チャネル近傍のみ厚かったり、層の数が多かったりして、それ以外の場所では、膜厚が薄かったり、層の数が少ない場合もある。このようにすることにより、ソース領域やドレイン領域への不純物の添加が制御しやすくなる。また、チャネル近傍のゲート絶縁膜104の厚さや層の数を変えることにより、半導体膜への不純物の添加量が場所によって変わるようにして、LDD領域を形成することが出来る。LDD領域を形成することにより、漏れ電流を低減したり、ホットキャリアの発生を抑えて信頼性を向上させたりすることが出来る。

30

【0124】

画素電極113が形成される領域では、ゲート絶縁膜104は形成されなくても構わない。画素電極113と導電膜113との間の距離を小さくでき、電界制御がしやすくなる。

【0125】

ゲート絶縁膜104は、例えば、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、窒素を含む酸化珪素（ SiO_xN_y ： $x > y$ ）、酸素を含む窒化珪素（ SiN_xO_y ： $x > y$ ）など、酸素又は窒素を有する絶縁物質から形成される。また、これらの膜を複数積層した積層膜であってもよい。ゲート絶縁膜104上には半導体膜103の上方に位置するゲート電極105が形成されている。

40

【0126】

図4及び図3に示すように、ゲート電極（ゲート配線）105は配線119と同一配線層である

【0127】

ゲート絶縁膜104上及びゲート電極105上には、第1層間絶縁膜106が形成されている。第1層間絶縁膜106には、無機材料又は有機材料を用いることができる。有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト、シロキサン、又はポリシラザンなどを用いることができる。無機材料としては、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、窒素を含む酸化珪素（ SiO_xN_y ： $x > y$ ）、酸素を含む窒化珪素（ SiN_xO_y ： $x > y$ ）など、酸素又は窒素を有する絶縁物質から形成される。また、これらの膜を複数積層した積層膜であってもよい。また、有機材料と無機

50

材料を組み合わせることで積層膜にしてもよい。

【0128】

絶縁膜102、ゲート絶縁膜104、及び第1層間絶縁膜106には、領域131a上に位置するコンタクトホール、領域131b上に位置するコンタクトホール、導電膜115上に位置するコンタクトホール、及び配線119上に位置するコンタクトホールが形成されている。第1層間絶縁膜106上には、ソース配線107、電極108、及び接続用電極109が形成されている。

【0129】

なお、絶縁膜として無機材料を用いることにより、水分や不純物の侵入を止めることが出来る。特に、窒素を含む層を用いると、水分や不純物をブロックする機能が高い。

10

【0130】

なお、絶縁膜として有機材料を用いることにより、表面を平坦にすることが出来る。そのため、その上の層に対して、よい効果をもたらすことが出来る。例えば、有機材料の上に形成する層も平坦にすることが出来るため、液晶の配向の乱れを防いだりすることが出来る。

【0131】

ソース配線107は領域131aの上方に位置しており、コンタクトホールを介して領域131aに電氣的に接続している。したがって、電極108は、コンタクトホールを介して領域131bに電氣的に接続している。

【0132】

ただし、画素電極113と、不純物領域131bとを、接続用導電膜を介さずに、直接接続してもよい。この場合、画素電極113と、領域131bとを接続するためのコンタクトホールは、深く開ける必要が出てくるが、接続用導電膜が必要ないため、その領域を開口領域として画像表示に利用できる。そのため、開口率が向上し、低消費電力化をはかることが出来る。

20

【0133】

接続電極109は、配線119の上方に位置しており、配線119及び導電膜115それぞれに電氣的に接続している。このように、導電膜115は、接続用電極109を介して配線119に電氣的に接続している。なお、接続用電極109は複数設けられていてもよい。このようにすると、導電膜115の電位が安定化する。また、接続用電極109を介して導電膜115と配線119を接続することにより、コンタクトホールを形成する回数を減らすことが出来るので、プロセス工程を簡略化することが出来る。

30

【0134】

なお、接続用電極109は、ソース配線107と同時に、同じ材料を用いて形成したが、これに限定されない。画素電極113と同時に、同じ材料を用いて形成してもよい。

【0135】

ソース配線107、電極108、接続用電極109、及び第1層間絶縁膜106上には、第2層間絶縁膜111が形成されている。なお、第2層間絶縁膜111を形成しない構成としても良い(図28参照)。第2層間絶縁膜111には、無機材料又は有機材料を用いることができる。有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト、又はシロキサン、ポリシラザンなどを用いることができる。無機材料としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、窒素を含む酸化珪素(SiO_xN_y : $x > y$)、酸素を含む窒化珪素(SiN_xO_y : $x > y$)など、酸素又は窒素を有する絶縁物質から形成される。また、これらの膜を複数積層した積層膜であってもよい。また、有機材料と無機材料を組み合わせることで積層膜にしてもよい。

40

【0136】

なお第2層間絶縁膜111を形成しない場合の断面図を、図28に示す。図28中で、図3と同じものは同じ符号で示している。電極108が形成されないため、画素電極113が島状半導体膜103に直接接続されている。ソース配線107、画素電極113及び画素電極114、並びに接続用電極109は、同じ材料、同じ工程で形成される。図2

50

8に示す構成では、画素電極113と導電膜105との間隔が小さくでき、電界制御がしやすくなる。

【0137】

第2層間絶縁膜111上には、FSS駆動の第2の電極である画素電極113、114a、114b、114c、等が形成されている。なお断面図である図1及び図3では便宜上画素電極113と画素電極114(114a、114b、114c、等)を分けているが、上面図である図4を見れば分かるように、画素電極は、同一材料、同一工程で形成された導電膜に、溝(「開口」、「スリット」、「隙間」、「間隙」、「スペース」ともいう)117(117a、117b、117c、等)が形成されているものである。よって以下の記載においては、画素電極113、114(114a、114b、114c、等)を、まとめて画素電極113として説明することもある。

10

【0138】

画素電極113は、画素ごとに個別の電圧が供給される画素電極として機能し、ITO(酸化インジウム酸化スズ合金)、ZnO(酸化亜鉛)、酸化インジウムに2~20wt%のZnOを交合したターゲットを用いて形成されたIZO(インジウム亜鉛酸化物)、酸化スズ(SnO)などによって形成されている。画素電極113は、一部が電極108の上方に位置しており、電極108に電氣的に接続している。このように、画素電極113は、電極108を介して薄膜トランジスタ121の領域131bに電氣的に接続している。

【0139】

20

なお、接続用電極109がない場合は、画素電極113は、薄膜トランジスタ121の領域131bに直接接続している。

【0140】

図3及び図4に示すように、画素電極113は略長方形であり、複数の溝117a、117b、117c、等を有している。溝117a、117b、117c、等の例としては、スリット状で互いに平行であるものを多く含む。

【0141】

図4に示す例では、溝117a、117b、117c、...の向きは、ソース配線107に対して斜めであるが、画素の図中上半分に位置する溝と、下半分に位置する溝の向きは互いに異なる。溝117a、117b、117c、...が形成されることにより、導電膜115と画素電極113の間で基板に平行な成分を有する電界が、画素電極114のそれぞれから導電膜115に向かって生じる。このため、画素電極113及び114の電位を制御することにより、後述する液晶の配向方向を制御することができる。

30

【0142】

また、図4に示されるように、溝117(117a、117b、117c、...)は、向きが異なるものを配置されている。これによって、液晶分子の動く方向が異なる領域を複数設けることが出来る。つまり、マルチドメイン構造にすることが出来る。マルチドメイン構造にすることにより、ある特定の方向から見たとき、画像の表示が正しくなくなってしまうことを防ぐことができ、その結果、視野角を向上させることが出来る。

【0143】

40

なお、溝の形状は本実施形態の形状に限定されない。溝の形状には、例えば櫛歯形状の電極における櫛歯部分の相互間のスペース等、導電体が形成されていないスペースを含まれるものとする。

【0144】

なお画素電極113の厚さと導電膜115の厚さを比較した場合、導電膜115の方が膜厚が厚い方が好ましい。さらに、より好ましくは導電膜115の方が画素電極113よりも1.5倍以上、その膜厚が厚い方が好ましい。こうすることにより、抵抗を低減させることができる。

【0145】

第2層間絶縁膜111上及び画素電極113上には、第1配向膜112及び液晶116

50

が積層されている。液晶 116 としては、強誘電性液晶 (FLC)、双安定性液晶、ネマティック液晶、スメクティック液晶、高分子分散型液晶、ホモジニアス配向になるような液晶、ホメオトロピック配向になるような液晶などを用いることができる。また液晶以外を用いてもよく、例えば電気映像素子等を用いても構わない。液晶 116 上には、第 2 配向膜 123 及びカラーフィルタ 122 を介して対向基板 120 が配置されている。なお、基板 101 及び対向基板 120 それぞれには、偏光板 126、124 が設けられている。

【0146】

なお、偏光板のほかに、位相差板や $\lambda/4$ 板などが配置されている場合も多い。

【0147】

なお、上記した構成において、導電膜 115、画素電極 113 のうち溝が形成されていない部分、及びこれらの相互間に位置する各絶縁膜によって、容量が形成される。この容量が形成されることにより保持容量が大きくなる。

10

【0148】

次に、本発明の半導体装置、液晶表示装置の製造方法の一例について説明する。まず、基板 101 上に透光性を有する導電膜 115 (例えばインジウム錫酸化物 (ITO)、インジウム亜鉛酸化物 (IZO)、酸化亜鉛 (ZnO)、酸化スズ (SnO)、又は珪素 (Si)) を基板全面に形成する。

【0149】

また図 25 に示すように、開口部で絶縁膜 106 を除去しても構わない。さらにあるいは、ゲート絶縁膜 104、下地膜 102 を除去しても構わない。すなわち、開口部で絶縁膜 106 を除去した半導体装置、開口部で絶縁膜 106 及びゲート絶縁膜 104 を除去した半導体装置、開口部で絶縁膜 106、ゲート絶縁膜 104、下地膜 102 を除去した半導体装置を作製することが可能である。これにより画素電極 114 と導電膜 115 との間隔 d を小さくすることができ、その結果、電界制御をしやすくなる。

20

【0150】

次いで、基板 101 及び導電膜 115 上それぞれに、絶縁膜 102 を形成する。絶縁膜 102 は、後述するゲート絶縁膜 104 より厚く形成されることが望ましい。次いで、絶縁膜 102 上に半導体膜 (例えば多結晶珪素膜) を形成し、この半導体膜を、レジストを用いたエッチングにより選択的に除去する。これにより、絶縁膜 102 上には島状の半導体膜 103 が形成される。

30

【0151】

半導体膜は多結晶珪素膜だけでなく、非晶質珪素膜やその他の非単結晶珪素膜を用いてもよい。また珪素に限定されず、ZnO、 a -InGaZnO、SiGe、GaAs などの化合物半導体を用いてもよい。

【0152】

あるいは基板 101 として半導体基板や SOI (Silicon On Insulator) 基板を用いて、島状の半導体膜 103 を形成してもよい。

【0153】

次いで、半導体膜 103 上及び絶縁膜 102 上に、ゲート絶縁膜 104 を形成する。ゲート絶縁膜 104 は例えば窒素を含む酸化珪素膜又は酸化珪素膜であり、プラズマ CVD 法により形成される。なお、ゲート絶縁膜 104 を窒化珪素膜、若しくは窒化珪素及び酸化珪素を有する多層膜により形成してもよい。次いで、ゲート絶縁膜 104 上に導電膜を形成し、この導電膜に、エッチングを行うことにより、選択的に除去する。これにより、半導体膜 103 上に位置するゲート絶縁膜 104 上には、ゲート電極 105 が形成される。また、本工程により、ゲート配線 105 及び配線 119 が形成される。

40

【0154】

なお、上記したように配線 119 を設けることにより、各画素において導電膜 115 の電位を安定化させることができる。また、配線 119 を形成しなくてもよい。また、配線 119 を他の層 (例えばソース配線 107 と同一の層、又は導電膜 115 と同一の層、又は画素電極 113 と同一の層) に設けてもよく、複数の層に分けて形成してもよい。また

50

、本図において配線 119 は、ソース配線 107 に直交する方向に延伸しているが、ソース配線 107 と同一方向に延伸する構成であってもよい。

【0155】

なお、ゲート電極 105、配線 119 を構成する導電膜は、アルミニウム (Al)、タantal (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、ネオジウム (Nd)、クロム (Cr)、ニッケル (Ni)、白金 (Pt)、金 (Au)、銀 (Ag)、銅 (Cu)、マグネシウム (Mg)、スカンジウム (Sc)、コバルト (Co)、亜鉛 (Zn)、ニオブ (Nb)、シリコン (Si)、リン (P)、ボロン (B)、ヒ素 (As)、ガリウム (Ga)、インジウム (In)、錫 (Sn)、酸素 (O) で構成された群から選ばれた一つもしくは複数の元素、または、前記群から選ばれた一つもしくは複数の元素を成分とする化合物、合金材料 (例えば、インジウム錫酸化物 (ITO)、インジウム亜鉛酸化物 (IZO)、酸化珪素を含むインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO)、酸化錫 (SnO)、酸化錫カドミウム (CTO)、アルミネオジウム (Al-Nd)、マグネシウム銀 (Mg-Ag)、モリブデンニオブ (Mo-Nb) など) で形成されることが望ましい。または、ゲート電極 105、配線 119 を構成する導電膜は、これらの化合物を組み合わせた物質などを有して形成されることが望ましい。もしくは、前記群から選ばれた一つもしくは複数の元素とシリコンの化合物 (シリサイド) (例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど)、前記群から選ばれた一つもしくは複数の元素と窒素の化合物 (例えば、窒化チタン、窒化タンタル、窒化モリブデン等) を有して形成されることが望ましい。

10

20

【0156】

なお、シリコン (Si) には、n 型不純物 (リンなど) または p 型不純物 (ボロンなど) を含んでいてもよい。シリコンが不純物を含むことにより、導電率が向上したり、通常の導体と同様な振る舞いをするのが可能となる。従って、配線、電極などとして利用しやすくなる。

【0157】

なお、シリコンは、単結晶、多結晶 (ポリシリコン)、微結晶 (マイクロクリスタルシリコン) など、様々な結晶性を有するシリコンを用いることが出来る。あるいは、シリコンは非晶質 (アモルファスシリコン) などの結晶性を有さないシリコンを用いることが出来る。単結晶シリコンまたは多結晶シリコンを用いることにより、配線、電極、導電層、導電膜、端子などの抵抗を小さくすることが出来る。非晶質シリコンまたは微結晶シリコンを用いることにより、簡単な工程で配線などを形成することが出来る。

30

【0158】

なお、アルミニウムまたは銀は、導電率が高いため、信号遅延を低減することができる。さらに、エッチングしやすいので、パターンニングしやすく、微細加工を行うことが出来る。

【0159】

なお、銅は、導電率が高いため、信号遅延を低減することが出来る。銅を用いる場合は、密着性を向上させるため、積層構造にすることが望ましい。

【0160】

なお、モリブデンまたはチタンは、酸化物半導体 (ITO、IZO など) またはシリコンと接触しても、不良を起こさない、エッチングしやすい、耐熱性が高いなどの利点を有するため、望ましい。

40

【0161】

なお、タングステンは、耐熱性が高いなどの利点を有するため、望ましい。

【0162】

なお、ネオジウムは、耐熱性が高いなどの利点を有するため、望ましい。特に、ネオジウムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなる。

【0163】

50

なお、シリコンは、トランジスタが有する半導体層と同時に形成できる、耐熱性が高いなどの利点を有するため、望ましい。

【0164】

なお、ITO、IZO、ITSO、酸化亜鉛(ZnO)、シリコン(Si)、酸化錫(SnO)、酸化錫カドミウム(CTO)は、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

【0165】

なお、IZOは、エッチングしやすく、加工しやすいため、望ましい。IZOは、エッチングしたときに、残渣が残ってしまう、ということも起こりにくい。したがって、画素電極としてIZOを用いると、液晶素子や発光素子に不具合(ショート、配向乱れなど)をもたらすことを低減出来る。

10

【0166】

なお、ゲート電極105、配線119を構成する導電膜は、単層構造でもよいし、多層構造になっていてもよい。単層構造にすることにより、ゲート電極105、配線119を構成する導電膜の製造工程を簡略化することができ、工程日数を少なくでき、コストを低減することが出来る。あるいは、多層構造にすることにより、それぞれの材料のメリットを生かしつつ、デメリットを低減させ、性能の良い配線、電極などを形成することが出来る。たとえば、低抵抗材料(アルミニウムなど)を多層構造の中に含むことにより、配線の低抵抗化を図ることができる。また、低耐熱性の材料を、高耐熱性の材料で挟む積層構造にすることにより、低耐熱性の材料の持つメリットを生かしつつ、配線、電極などの耐熱性を高くすることが出来る。例えば、アルミニウムを含む層を、モリブデン、チタン、ネオジウムなどを含む層で挟む積層構造にすると望ましい。

20

【0167】

また、配線、電極など同士が直接接する場合、お互いに悪影響を及ぼすことがある。例えば、一方の配線、電極などが他方の配線、電極など材料の中に入っている、性質を変えてしまい、本来の目的を果たせなくなる。別の例として、高抵抗な部分を形成又は製造するときに、問題が生じて、正常に製造できなくなったりすることがある。そのような場合、積層構造により反応しやすい材料を、反応しにくい材料で挟んだり、覆ったりするとよい。例えば、ITOとアルミニウムとを接続させる場合は、ITOとアルミニウムとの間に、チタン、モリブデン、ネオジウム合金を挟むことが望ましい。また、シリコンとアルミニウムとを接続させる場合は、ITOとアルミニウムとの間に、チタン、モリブデン、ネオジウム合金を挟むことが望ましい。

30

【0168】

なお、配線とは、導電体が配置されているものを言う。線状に伸びていてもよいし、伸びずに短く配置されていてもよい。したがって、電極は、配線に含まれている。

【0169】

次いで、ゲート電極105をマスクとして、半導体膜103に不純物を注入する。これにより、半導体膜103には、ソース領域またはドレイン領域の一方である領域131a、ソース領域またはドレイン領域の他方である131b、及びチャネル形成領域132が形成される。なお、n型、p型の不純物元素を個別に注入してもよいし、特定の領域にはn型の不純物元素及びp型の不純物元素を共に注入してもよい。ただし後者の場合には、n型の不純物元素又はp型の不純物元素のどちらか一方の注入量が多くなるようにする。なお、本工程において、レジストをマスクとして用いてもよい。

40

【0170】

なお、このとき、ゲート絶縁膜104の厚さや積層構造を変えることにより、LDD領域を形成してもよい。LDD領域を形成したい部分は、ゲート絶縁膜104を厚くしたり、層の数を増やしたりすればよい。その結果、不純物の注入量が減るため、LDD領域を容易に形成することが出来る。

【0171】

なお、半導体膜103に不純物を注入する場合、ゲート電極105を形成する前、例え

50

ば、ゲート絶縁膜 104 を成膜する前や、成膜した後に行っても良い。その場合は、レジストをマスクとして用いて、形成する。これにより、ゲートと同じレイヤの電極と、不純物が注入された半導体膜との間で、容量を形成することが出来る。ゲートと同じレイヤの電極と、不純物が注入された半導体膜との間には、ゲート絶縁膜が配置されているので、膜厚がうすく、大きな容量を形成することが出来る。

【0172】

次いで、第1層間絶縁膜 106 を形成し、さらのコンタクトホールを形成する。次いで、第1層間絶縁膜 106 上に導電膜（例えば金属膜）を形成し、この導電膜を、マスクを用いたエッチングにより選択的に除去する。これにより、ソース配線 107、電極 108、及び接続電極 109 が形成される。

10

【0173】

次いで、第2層間絶縁膜 111 を形成し、さらにコンタクトホールを形成する。次いで、第2層間絶縁膜 111 上に透光性を有する導電膜（インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化亜鉛（ZnO）、酸化スズ（SnO）、又は珪素（Si））を形成し、この導電膜を、レジストを用いたエッチングにより選択的に除去する。これにより、画素電極 113 が形成される。

【0174】

電極 108 の一部が充填されているコンタクトホールと、画素電極 113 の一部が充填されているコンタクトホールとは位置が同じである場合、1つの場所に収めることが出来るため、効率的にレイアウトすることが出来る。そのため、画素の開口率を向上させることができる。

20

【0175】

一方、電極 108 の一部が充填されているコンタクトホールと、画素電極 113 の一部が充填されているコンタクトホールとは位置が互いに異なってもよい。このようにすることにより、電極 108 及び画素電極 113 のうち、コンタクトホール上に位置する部分が窪んでも、この窪みが重なることはない。このため、画素電極 113 に深く窪む部分が形成されず、上記したレジストのつきまわり不良が発生することを抑制できる。その後、レジストを除去する。

【0176】

次いで、第1配向膜 112 を形成し、カラーフィルタ 122、第2配向膜 123 が形成された対向基板 120 との間に液晶 116 を封止する。その後、液晶 116 と接しない側の対向基板 120 や基板 101 に、偏光板 126、124、位相差板（図示せず）、λ/4 板等の光学フィルム（図示せず）、拡散板やプリズムシート等の光学フィルム等を設ける。さらに、バックライトやフロントライトを設ける。バックライトとしては、直下型やサイドライト型を用いることが出来る。光源としては、冷陰極管やLED（発光ダイオード）を用いることができる。LEDとしては、白色LEDや、色ごとのLED（例えば、白、赤、青、緑、シアン、マゼンダ、イエローなど）のを組み合わせて用いればよい。LEDを用いると、光の波長が鋭いため、色純度を上げることが出来る。サイドライト型の場合は、導光板を配置し、均一な面光源を実現する。このようにして、液晶表示装置が形成される。

30

40

【0177】

なお、液晶表示装置とは、基板と対向基板と、それに挟まれた液晶のみの部分と呼んでも良い。さらに、液晶表示装置とは、偏光板や位相差板などの光学フィルムを配置したもののまで含む場合もあり、その他にも、拡散板やプリズムシートや光源（冷陰極管やLEDなど）や導光板などを含めてもよい。

【0178】

また、本実施形態では、チャネル領域の上方にゲート電極を配置した、いわゆるトップゲート型の薄膜トランジスタについて説明をしたが、本発明は特にこれに限定されるものではない。チャネル領域の下方にゲート電極が配置された、いわゆるボトムゲート型の薄膜トランジスタにしてもよいし、チャネル領域の上下にゲート電極が配置された構造を有

50

するトランジスタを形成してもよい。

【0179】

また本実施の形態では、ゲート電極が1つ形成される、いわゆるシングルゲートのTFTについて説明したが、ゲート電極が2つ以上形成される、いわゆるマルチゲート型TFTを形成してもよい。

【0180】

また、液晶表示装置は透過型であってもよいし、反射型の液晶表示装置であってもよい。反射型の液晶表示装置は、例えば導電膜115を光透過性の膜（例えば、インジウム錫酸化物（ITO）膜、インジウム亜鉛酸化物（IZO）、酸化亜鉛（ZnO）、若しくは不純物が導入された多結晶珪素膜又は非晶質珪素膜）により形成し、画素電極113を反

10

【0181】

また反射型の液晶表示装置においては、導電膜115を反射性のある導電膜、例えば金属膜にすることで、導電膜115に反射板の機能を持たせることができる。画素電極113と導電膜115を、両方とも反射性の導電膜を用いることも可能であるし、いずれか一方を反射性の導電膜にすることも可能である。また基板101と導電膜115の間に絶縁膜（例えば酸化珪素膜）を設け、この絶縁膜中に反射膜としての金属膜を形成することも

20

【0182】

本実施の形態により、広い視野角を有しており、かつ従来と比べて製造コストが低い液晶表示装置を提供することができる。

【0183】

また本実施の形態では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高い半導体装置を得ることが可能となる。

30

【0184】

また本実施の形態では、トップゲート型薄膜トランジスタを有する半導体装置を作製するため、バックゲートの電位が安定し、信頼性の高い半導体装置を得ることができる。

【0185】

[実施の形態2]

本実施の形態では、画素部のスイッチング素子として、ボトムゲート型TFTを作製した例を、図2を用いて説明する。

【0186】

基板201上に、導電膜202、下地膜203、ゲート電極204、ゲート絶縁膜213、活性層となる島状半導体膜206、ソース領域またはドレイン領域の一方である領域208a、ソース領域またはドレイン領域の他方である領域208b、ソース電極またはドレイン電極の一方である電極207a、ソース電極またはドレイン電極の他方である電極207b、画素電極209及び214（214a、214b、214c、等）が形成されている。ゲート電極204、ゲート絶縁膜213、島状半導体膜206、領域208a、領域208bにより、TFT212が構成されている。

40

【0187】

電極214と導電膜202との間で横方向電界225が発生する。これにより液晶分子が駆動される。

【0188】

また下地膜203上には、ゲート電極204と同じ材料、同じ工程で形成された電極2

50

05が配置されている。絶縁膜210上に形成され、電極209と同じ材料、同じ工程で形成された電極211が配置されている。電極211は、下地膜203、ゲート絶縁膜213、絶縁膜210に形成されたコンタクトホールを介して、導電膜202と電極205に電氣的に接続している。

【0189】

基板201は、基板101と同様の材料を用いればよい。

【0190】

導電膜202は、実施の形態1で述べた導電膜115と同様の導電膜を用いればよい。

【0191】

下地膜203は、下地膜102と同様の材料を用いて形成すればよい。

10

【0192】

ゲート電極204及び電極205は、ゲート電極105と同様の材料及び同様の工程を用いて形成すればよい。ゲート絶縁膜213は、ゲート絶縁膜104あるいは絶縁膜106と同様の材料で、基板201全面に形成する。

【0193】

なお本実施の形態では、ゲート電極が1つ形成される、いわゆるシングルゲートのTFTについて説明するが、ゲート電極が2つ以上形成される、いわゆるマルチゲート型TFTを形成してもよい。

【0194】

活性層である島状半導体膜206は、島状半導体膜103と同様の材料で形成すればよい。好ましくは、アモルファス半導体膜、マイクロクリスタル半導体膜（セミアモルファス半導体膜）が好ましい。その場合は、真性半導体膜（島状半導体膜206）を形成後、一導電性を付与する不純物を含む半導体膜を形成する。一導電性を付与する不純物は、例えばn型を付与する不純物であれば、リン（P）、ヒ素（As）等を用いればよく、p型を付与する不純物としては、ホウ素（B）を用いればよい。本実施の形態のボトムゲート型TFTはチャネルエッチ型を採用するので、島状半導体膜、ソース電極、ドレイン電極を形成後、チャネル形成領域の一部にエッチングが必要となる。

20

【0195】

次いでゲート絶縁膜213及び島状半導体膜206上に、導電膜を形成し、その後一導電性を付与する不純物を含む半導体膜の一部をエッチングして、領域208a及び208bを形成する。エッチングにより領域207a及び領域207bを形成する

30

【0196】

島状半導体膜206、領域208a、領域208b、電極207a、電極207b上には、絶縁膜210が形成される、絶縁膜210は、絶縁膜106あるいは絶縁膜111と同様の材料、同様の工程を用いて形成すればよい。ただし絶縁膜210として、有機材料を用いないと、画素電極214と導電膜202との間隔dを小さくすることができ、電界制御がしやすくなる。

【0197】

絶縁膜210上に、画素電極209及び214（214a、214b、214c、...）、電極211を形成する。画素電極209及び214は、画素電極113及び114と同様に、導電膜に溝が形成されたものである。

40

【0198】

電極211は、ゲート絶縁膜213及び絶縁膜210に形成されたコンタクトホールを介して、電極205に電氣的に接続されている。かつ、下地膜203、ゲート絶縁膜213及び絶縁膜210に形成されたコンタクトホールを介して、導電膜202に電氣的に接続されている。

【0199】

電極208、画素電極209及び214、電極211上には配向膜215が形成される。配向膜215は、配向膜112と同様の材料を用いて形成すればよい。

【0200】

50

対向基板 221 上には、カラーフィルタ 222、配向膜 223 が形成されている。対向基板 221、カラーフィルタ 222、配向膜 223 は、それぞれ対向基板 120、カラーフィルタ 122、配向膜 123 と同様の材料を用いればよい。

【0201】

対向基板 221 上の配向膜 223、及び基板 201 上の配向膜 215 を向かい合わせ、その空隙に液晶 216 を注入する。

【0202】

その後、液晶 216 と接しない側の対向基板 221 や基板 201 に、偏光板 224、217、位相差板（図示せず）、 $\lambda/4$ 板等の光学フィルム（図示せず）、拡散板やプリズムシート等の光学フィルム等を設ける。さらに、バックライトやフロントライトを設ける。バックライトとしては、直下型やサイドライト型を用いることができる。光源としては、冷陰極管や LED（発光ダイオード）を用いることができる。LED としては、白色 LED や、色ごとの LED（例えば、白、赤、青、緑、シアン、マゼンダ、イエローなど）のを組み合わせ用いればよい。LED を用いると、光の波長が鋭いため、色純度を上げることができる。サイドライト型の場合は、導光板を配置し、均一な面光源を実現する。このようにして、液晶表示装置が形成される。

【0203】

また図 26 に、TFT 212 の活性層を、結晶性半導体膜で形成した例を示す。なお図 26 では、図 2 と同じものは同じ符号で示している。図 26 では、TFT 212 は結晶性島状半導体膜 253 を活性層として有しており、結晶性島状半導体膜 253 は、チャネル形成領域 256、ソース領域またはドレイン領域の一方である領域 258a、ソース領域またはドレイン領域の他方である領域 258b を有している。

【0204】

また図 26 の電極 211 の代わりに、ソース電極またはドレイン電極の一方である電極 207a 及びソース電極またはドレイン電極の他方である電極 207b と同じ材料、同じ工程で形成された電極 251 を用いる。

【0205】

なお本実施の形態は、実施の形態 1 の TFT 121 を、ボトムゲート型 TFT 212 に変えただけであるので、その他の構成における作製材料や作製工程は、実施の形態 1 で述べたものを参照すればよい。

【0206】

本実施の形態により、広い視野角を有しており、かつ従来と比べて製造コストが低い液晶表示装置を提供することができる。

【0207】

本発明では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高い液晶表示装置を得ることが可能となる。

【0208】

[実施の形態 3]

本実施の形態は、実施の形態 1 の電極 108 を形成せず、画素電極 113 を直接領域 131b に接続されるように形成した例を、図 6 に示す。図 6 中の符号は実施の形態 1 のものを援用している。その他の構成における作製材料や作製工程は、実施の形態 1 で述べたものを参照すればよい。本実施の形態は、電極 108 を形成しないので、開口率が高くなるという利点がある。

【0209】

また必要であれば、実施の形態 2 で述べたボトムゲート型 TFT を援用してもよい。

【0210】

本実施の形態により、広い視野角を有しており、かつ従来と比べて製造コストが低い液晶表示装置を提供することができる。

【0211】

10

20

30

40

50

本発明では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高い液晶表示装置を得ることが可能となる。

【0212】

また本発明においては、トップゲート型薄膜トランジスタを有する液晶表示装置を作製した場合、バックゲートの電位が安定するので、信頼性の高い液晶表示装置を得ることができる。

【0213】

[実施の形態4]

本実施の形態を、図10、図11、図12、図13を用いて説明する。図10、図11、図12、図13中の符号は実施の形態1のものを援用している。その他の構成における作製材料や作製工程は、実施の形態1で述べたものを参照すればよい。

【0214】

また必要であれば、実施の形態2で述べたボトムゲート型TFTを援用してもよい。

【0215】

さらに必要であれば、実施の形態3で述べた、画素電極を直接活性層に接続させる構成を用いてもよい。

【0216】

図10では、図6の接続電極109に代えて、画素電極113と同様の材料及び同様の工程で形成された電極141を用いる。配線119及び導電膜115は、電極141を介して電氣的に接続されている。

【0217】

また図10の上面図を図11に示す。図11においても図4及び図10と同じものは同じ符号で示されている。図11中C-C'及びD-D'の断面図が図10である。

【0218】

また、図12では、図6の接続電極109に代えて、画素電極113と同様の材料及び同様の工程で形成された電極141、かつ、電極107及び電極108と同様の材料及び同様の工程で形成された電極142を用いる。配線119及び導電膜115は、電極141かつ電極142を介して電氣的に接続されている。

【0219】

また図12の上面図を図13に示す。図13においても図4及び図12と同じものは同じ符号で示されている。図13中C-C'及びE-E'の断面図が図12である。

【0220】

本実施の形態により、広い視野角を有しており、かつ従来と比べて製造コストが低い液晶表示装置を提供することができる。

【0221】

本発明では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高い液晶表示装置を得ることが可能となる。

【0222】

また本発明においては、トップゲート型薄膜トランジスタを有する液晶表示装置を作製した場合、バックゲートの電位が安定するので、信頼性の高い液晶表示装置を得ることができる。

【0223】

[実施の形態5]

本実施の形態では、画素電極を様々な形状に形成した例を、図7、図8(A)～図8(D)、図9(A)～図9(D)に示す。図7、図8(A)～図8(D)、図9(A)～図9(D)中の符号は実施の形態1のものを援用している。その他の構成における作製材料や作製工程は、実施の形態1で述べたものを参照すればよい。

【0224】

また必要であれば、実施の形態 2 で述べたボトムゲート型 T F T を援用してもよい。

【0225】

さらに必要であれば、実施の形態 3 で述べた、画素電極を直接活性層に接続させる構成を用いてもよい。

【0226】

またさらに実施の形態 4 で述べた導電膜 115 と配線 119 の接続構造を用いてもよい。

【0227】

図 7 は画素電極 113 を櫛状に形成したものであり、図 7 における、A - A' 及び B - B' の断面図は図 3 と同じである。また図 8 (A) ~ 図 8 (B) では、図面の見やすさを考慮して、画素電極 113 と導電膜 115 のみを示している。

10

【0228】

図 8 (A) において画素電極 113 には、スリット状の開口がそれぞれ複数形成されている。スリット状の開口はソース配線に対して斜めである。かつ、画素電極 113 の上半分に形成されているスリット状の開口と、画素電極 113 の下半分に形成されているスリット状の開口は、画素電極 113 の中心線に対して互いの角度が異なる。画素電極 113 の上半分に形成されているスリット状の開口と、画素電極 113 の下半分に形成されているスリット状の開口は、中心線に対して線対称であってもよい。

【0229】

図 8 (B) において、画素電極 113 は、それぞれが円周に沿う形状を有して半径が異なる複数の電極を同心に配置し、これらを接続した形状である。そして、各電極の相互間のスペースが、開口の役割を果たしている。

20

【0230】

図 8 (C) において、画素電極 113 は、櫛歯状の 2 つの電極を、逆向きかつ櫛歯部分が互い違いになるように配置したものである。そして櫛歯部分の相互間に位置するスペースが開口の役割を果たしている。

【0231】

図 8 (D) において、画素電極 113 は櫛歯状の形状を有しており、櫛歯部分の相互間に位置するスペースが開口の役割を果たしている。

【0232】

30

図 9 (A) において、画素電極 113 は斜めの方向にストライプ状であり、ストライプ状部分の相互間に位置するスペースが開口の役割を果たしている。

【0233】

図 9 (B) において、画素電極 113 には矩形状の開口部が複数形成されている。

【0234】

図 9 (C) において、画素電極 113 中に、細長い長方形の互いに向かい合う二辺が波状である開口部が形成されている。

【0235】

図 9 (D) において、画素電極 113 中に、細長い長方形の開口部が形成されている。

40

【0236】

本発明により、広い視野角を有しており、かつ従来と比べて製造コストが低い液晶表示装置を提供することができる。

【0237】

本発明では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高い液晶表示装置を得ることが可能となる。

【0238】

また本発明においては、トップゲート型薄膜トランジスタを有する液晶表示装置を作製した場合、バックゲートの電位が安定するので、信頼性の高い液晶表示装置を得ることが

50

できる。

【 0 2 3 9 】

[実施の形態 6]

本実施の形態では、実施の形態 1 と異なる場所にカラーフィルタを設けた例について、図 2 2、図 2 3 (A) ~ 図 2 3 (B)、図 2 4 を用いて説明する。

【 0 2 4 0 】

図 2 2 は、本実施の形態に係る F F S 方式の液晶表示装置の画素部の構成を説明する為の断面図である。本実施の形態に係る液晶表示装置の画素部は、対向基板 1 2 0 側にカラーフィルタを配置せず、層間絶縁膜 1 0 6 の代わりにカラーフィルタ 2 4 1 (赤色のカラーフィルタ 2 4 1 R、青色のカラーフィルタ 2 4 1 B、及び緑色のカラーフィルタ 2 4 1 G) を配置した点を除いて、実施の形態 1 に示した液晶表示装置と同様の構成である。

10

【 0 2 4 1 】

従って、実施の形態 1 以外の他の実施の形態で説明した内容は、本実施形態においても適用できる。以下、実施の形態 1 と同様の構成については同一の符号を付し、説明を省略する。

【 0 2 4 2 】

なお、カラーフィルタ 2 4 1 とゲート電極 1 0 5 との間に、無機材料の絶縁膜を配置してもよい。無機材料としては、酸化珪素、窒化珪素、窒素を含む酸化珪素、酸素を含む窒化珪素など、酸素又は窒素を有する絶縁物質から形成される。不純物の侵入をブロックするためには、窒素を多く含む材料にすることが望ましい。また、カラーフィルタ 2 4 1 上に、平坦化膜を形成してもよい。

20

【 0 2 4 3 】

なお、カラーフィルタ 2 4 1 の色は、赤、青、緑以外の色でも良いし、3色よりも多く、例えば、4色や6色でもよい。例えば、イエローやシアンやマゼンダや白が追加されてよい。また、カラーフィルタだけでなく、ブラックマトリックスも配置してもよい。さらに、ブラックマトリックスは、樹脂材料で形成しても、金属膜で形成しても構わない。さらにブラックマトリックスは、カーボンブラックを用いて形成しても構わない。

【 0 2 4 4 】

このように、基板 1 0 1 上にカラーフィルタ 2 4 1 を配置することにより、対向基板 1 2 0 との位置合わせを正確にやる必要がないため、容易に製造することが可能となり、コストが低減し、製造歩留まりが向上する。

30

【 0 2 4 5 】

本実施の形態に係る液晶表示装置の製造方法は、層間絶縁膜 1 0 6 を形成する工程の代わりにカラーフィルタ 2 4 1 (2 4 1 R、2 4 1 G、2 4 1 B) を形成する工程が入る点を除いて、実施の形態 1 に係る液晶表示装置の製造方法と同様である。

【 0 2 4 6 】

カラーフィルタ 2 4 1 R、2 4 1 G、2 4 1 B は、カラーフィルタ層を形成する工程、カラーフィルタ層上にレジストを形成する工程、及びレジストをマスクとしてカラーフィルタ層を選択的にドライエッチングする工程を3回繰り返すことにより形成される。

【 0 2 4 7 】

または、レジストを用いずに、感光性の材料や顔料などを用いて形成される。なお、カラーフィルタ層相互間にスペースが生じるが、このスペースには層間絶縁膜 1 1 1 が埋め込まれる。あるいは、さらに無機材料や有機材料が、積層される。あるいは、ブラックマトリックスなどが積層される。また、カラーフィルタ 2 4 1 R、2 4 1 G、2 4 1 B やブラックマトリックスは液滴吐出法 (例えばインクジェット法) を用いても形成することができる。

40

【 0 2 4 8 】

このため、液晶表示装置の製造工程数を減らすことができる。また、基板 1 0 1 側にカラーフィルタを設けているため、対向基板 1 2 0 にカラーフィルタを設ける場合と比較して、対向基板 1 2 0 との間に位置ずれが生じても開口率が低下することを抑制できる。す

50

なわち対向基板 120 の位置ずれに対するマージンが大きくなる。

【0249】

図 23 (A) は、図 22 に示した液晶表示装置の平面図である。図 23 (A) に示すように、本実施の形態の液晶表示装置は、画素部 150 の周囲に、周辺駆動回路であるソース線駆動回路 152 及びゲート線駆動回路 154 が設けられている。

【0250】

ソース線駆動回路 152 及びゲート線駆動回路 154 それぞれ上には、赤色のカラーフィルタ 241R が設けられていてもよい。カラーフィルタ 241R が設けられることにより、ソース線駆動回路 152 及びゲート線駆動回路 154 が有する薄膜トランジスタの活性層の光劣化が防止され、かつ平坦化が図られている。

10

【0251】

図 23 (B) は、図 23 (A) の画素部 150 の一部 (3×3 行列) を拡大した図である。画素部 150 には、赤色のカラーフィルタ 241R、青色のカラーフィルタ 241B、及び緑色のカラーフィルタ 241G がストライプ状に交互に配置されている。また、各画素が有する薄膜トランジスタ上には赤色のカラーフィルタ 241R が配置されている。

【0252】

また、ソース配線 (図示せず) 及びゲート配線 (図示せず) は、各カラーフィルタの相互間のスペースと重なるように配置されているため、光漏れが生じることが抑制される。

【0253】

このようにカラーフィルタ 241R はブラックマトリックスの役割を果たすため、従来必要であったブラックマトリックスの形成工程を省略することも可能である。

20

【0254】

以上、本実施の形態によれば、他の実施の形態と同様の効果を得ることができる。また、層間絶縁膜 106 の代わりにカラーフィルタ 241R、241G、241B を設けたため、液晶表示装置の製造工程数を減らすことができる。また、対向基板 120 にカラーフィルタを設ける場合と比較して、対向基板 120 との間に位置ずれが生じて、開口率の低下が抑制できる。すなわち対向基板 120 の位置ずれに対するマージンが大きくなる。

【0255】

また、カラーフィルタだけでなく、ブラックマトリックスも配置してもよい。

【0256】

30

なお、他の実施の形態で示した FFS 方式の液晶表示装置において、本実施の形態と同様に、層間絶縁膜 106 や、あるいは第 2 層間絶縁膜 111 の代わりに (図 24 参照)、カラーフィルタ 241 (241R、241G、241B) を設けてもよい。この場合においても、本実施の形態と同様の効果を得ることができる。

【0257】

[実施の形態 7]

本実施形態においては、表示装置の表示パネル構成、および周辺構成について説明する。特に、液晶表示装置の表示パネル (液晶パネルとも記す) 構成、および周辺構成について説明する。

【0258】

40

まず、液晶パネルの簡単な構成について、図 29 (A) を参照して説明する。また、図 29 (A) は、液晶パネルの上面図である。

【0259】

図 29 (A) に示す液晶パネルは、基板 20100 上に、画素部 20101、走査線側入力端子 20103 及び信号線側入力端子 20104 が形成されている。走査線側入力端子 20103 から走査線が行方向に延在して基板 20100 上に形成され、信号線側入力端子 20104 から信号線が列方向に延在して基板 20100 上に形成されている。また、画素部 20101 には、画素 20102 が走査線と、信号線とが交差するところで、マトリクス上に配置されている。また、画素 20102 には、スイッチング素子と画素電極層とが配置されている。

50

【0260】

図29(A)の液晶パネルに示すように、走査線側入力端子20103は、基板20100の行方向の両側に形成されている。信号線側入力端子20103は、基板20100の列方向のうち一方に形成されている。また、一方の走査線側入力端子20103から延在する走査線と、他方の走査線側入力端子20103から延在する走査線とは、交互に形成されている。

【0261】

また、画素部20101の画素20102それぞれでは、スイッチング素子の第1端子が信号線に接続され、第2端子が画素電極層に接続されることによって、個々の画素20102を外部から入力する信号によって独立して制御することができる。なお、スイッチング素子のオン・オフは走査線に供給されている信号によって制御されている。

10

【0262】

なお、走査線側入力端子20103を基板20100の行方向のうち両方に配置することで、画素20102を高密度に配置することができる。また、信号線側入力端子20103を基板20100の列方向のうち一方に配置することで、液晶パネルの狭額縁化、又は画素20101の領域の拡大を図ることができる。

【0263】

なお、基板20100には、すでに述べたように、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。

20

【0264】

なお、スイッチング素子には、すでに述べたように、トランジスタ、ダイオード(例えば、PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど)、サイリスタ、それらを組み合わせた論理回路などを用いることができる。

【0265】

なお、スイッチング素子として、TFTを用いた場合、TFTのゲートが走査線に接続され、第1端子が信号線に接続され、第2端子が画素電極層に接続されることにより、個々の画素20102を外部から入力する信号によって独立して制御することができる。

【0266】

なお、走査線側入力端子20103を基板20100の行方向のうち一方に配置してもよい。走査線側入力端子20103を基板20100の行方向のうち一方に配置することで、液晶パネルの狭額縁化、画素20101の領域の拡大を図ることができる。

30

【0267】

なお、一方の走査線側入力端子20103から延在する走査線と、他方の走査線側入力端子20103から延在する走査線とは、共通にしてもよい。

【0268】

なお、信号線側入力端子20103を基板20100の列方向のうち両方に配置してもよい。信号線側入力端子20103を基板20100の列方向のうち両方に配置することで、画素20102を高密度に配置できる。

40

【0269】

なお、画素20102には、さらに容量素子を形成してもよい。画素20102に容量素子を設ける場合、基板20100上に、容量線を形成してもよい。基板20100上に容量線を形成する場合、容量素子の第1電極が容量線に接続され、第2端子が画素電極層に接続されるようにする。また、基板20100上に容量線を形成しない場合、容量素子の第1電極がこの容量素子が配置されている画素20102とは別の走査線に接続され、第2端子が画素電極層に接続されているようにする。

【0270】

ここで、図29(A)に示した液晶パネルは、走査線及び信号線に供給する信号を外付けの駆動回路によって制御する構成を示しているが、図30(A)に示すように、COG

50

(Chip on Glass)方式によりドライバIC20201を基板20100上に実装してもよい。また、別の構成として、図30(B)に示すように、TAB(Tape Automated Bonding)方式によりドライバIC20201をFPC(Flexible Printed Circuit)20200上に実装してもよい。また、図30において、ドライバIC20201は、FPC20200と接続されている。

【0271】

なお、ドライバIC20201は単結晶半導体基板上に形成されたものでもよいし、ガラス基板上にTFTで回路を形成したものでもよい。

【0272】

なお、図29(A)に示した液晶パネルは、図29(B)に示すように、走査線駆動回路20105を基板20100上に形成してもよい。また、図29(C)に示すように、走査線駆動回路20105及び信号線駆動回路20106を基板20100上に形成してもよい。

【0273】

なお、走査線駆動回路20105及び走査線駆動回路20106は、多数のNチャネル型及び多数のPチャネル型のトランジスタから構成されている。ただし、多数のNチャネル型のトランジスタのみで構成されていてもよいし、多数のPチャネル型のトランジスタのみで構成されていてもよい。

【0274】

続いて、画素20102の詳細について、図31及び図32の回路図を参照して説明する。

【0275】

図31(A)の画素20102は、トランジスタ20301、液晶素子20302及び容量素子20303を有している。トランジスタ20301のゲートが配線20305に接続され、第1端子が配線20304に接続されている。液晶素子20302の第1電極が対向電極20307に接続され、第2電極がトランジスタ20301の第2端子に接続されている。容量素子20303の第1電極が配線20306に接続され、第2電極がトランジスタ20301の第2端子に接続されている。

【0276】

なお、配線20304は信号線であり、配線20305は走査線であり、配線20306は容量線である。また、トランジスタ20301は、スイッチングトランジスタであり、Pチャネル型トランジスタでもNチャネル型トランジスタでもよい。また、液晶素子20307は、動作モードとしてTN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)などを用いることができる。

【0277】

配線20304及び配線20305には、それぞれビデオ信号、走査信号が入力されている。ビデオ信号はアナログの電圧信号であり、走査信号はHレベル又はLレベルのデジタルの電圧信号である。ただし、ビデオ信号は電流信号でもよいし、デジタル信号でもよい。また、走査信号のHレベル及びLレベルは、トランジスタ20301のオン・オフを制御できる電位であればよい。

【0278】

容量線20306には、一定の電源電圧が供給されている。ただし、パルス状の信号が

10

20

30

40

50

供給されていてもよい。

【0279】

図31(A)の画素20102の動作について説明する。まず、配線20305がHレベルになると、トランジスタ20301がオンし、ビデオ信号が配線20304からオンしたトランジスタ20301を介して液晶素子20302の第2電極及び容量素子20303の第2電極に供給される。そして、容量素子20303は配線203076の電位とビデオ信号の電位との電位差を保持する。

【0280】

次に、配線20305がLレベルになると、トランジスタ20301がオフし、配線20304と、液晶素子20302の第2電極及び容量素子20303の第2電極とは、電

10

【0281】

こうして、図31(A)の画素20102は、液晶素子20302の第2電極の電位をビデオ信号と同電位に維持でき、液晶素子20302をビデオ信号に応じた透過率に維持できる。

【0282】

なお、図示はしないが、液晶素子20302がビデオ信号を保持できるだけの容量成分を有していれば、容量素子20303は必ずしも必要ではない。

20

【0283】

なお、図31(B)のように、液晶素子20302の第1電極は、配線20306と接続されていてもよい。例えば、液晶素子20302の液晶モードがFFSモードのときなどに、液晶素子20302は図31(B)の構成を用いる。

【0284】

なお、図32のように、容量素子20303の第1電極は前行の配線20305aに接続されていてもよい。なお、配線20305aをn行目(nは正の整数)の走査線としたとき、配線20305bはn+1行目の走査線である。同様に、トランジスタ20301a、画素20102a、容量素子20303aをn行目の素子としたとき、トランジスタ20301b、画素20102b、容量素子20303bはn+1行目の素子である。このように、容量素子20303bの第1電極が前列の配線20305aに接続されることで、配線を少なくすることができる。よって、図32の画素20102aおよび20102bは、開口率を大きくすることができる。

30

【0285】

次に、図33に示した液晶表示装置には、バックライトユニット22601、液晶パネル22607、第1の偏光子を含む層22608、第2の偏光子を含む層22609が設けられている。

【0286】

なお、液晶パネル22607は、本実施形態で説明したものと同様なものとすることができる。また、本実施形態の液晶パネルは、各画素にスイッチング素子が設けられたアクティブ型の構造について説明してきたが、図33の液晶パネルはパッシブ型の構造でもよい。

40

【0287】

バックライトユニット22601の構造について説明する。バックライトユニット22601は、拡散板22602、導光板22603、反射板22604、ランプリフレクタ22605、光源22606を有するように構成されている。光源22606としては冷陰極管、熱陰極管、発光ダイオード、無機EL又は有機ELなどが用いられ、光源22606は必要に応じて発光する機能を有する。ランプリフレクタ22605は、光源22606からの蛍光を効率よく導光板22603に導く機能を有する。導光板22603は、蛍光を全反射させて、全面に光を導く機能を有する。拡散板22602は、明度のムラを

50

低減する機能を有する。反射板 2 2 6 0 4 は、導光板 2 2 6 0 3 から下方向（液晶パネル 2 2 6 0 7 と反対方向）に漏れた光を反射して再利用する機能を有する。

【 0 2 8 8 】

なお、拡散板 2 2 6 0 2 と第 2 の偏光子を含む層 2 2 6 0 9 との間に、プリズムシートを配置することで、本実施形態の液晶表示装置は液晶パネルの画面の明るさを向上させることができる。

【 0 2 8 9 】

バックライトユニット 2 2 6 0 1 には、光源 2 2 6 0 6 の輝度を調整するための制御回路が接続されている。制御回路からの信号供給によって、光源 2 2 6 0 6 の輝度を調整することができる。

10

【 0 2 9 0 】

液晶パネル 2 2 6 0 7 とバックライトユニット 2 2 6 0 1 との間には第 2 の偏光子を含む層 2 2 6 0 9 が設けれ、バックライトユニット 2 2 6 0 1 とは反対方向の液晶パネル 2 2 6 0 7 にも第 1 の偏光子を含む層 2 2 6 0 8 が設けられている。

【 0 2 9 1 】

なお、第 1 の偏光子を含む層 2 2 6 0 8 と第 2 の偏光子を含む層 2 2 6 0 9 とは、液晶パネル 2 2 6 0 7 の液晶素子が T N モードで駆動する場合、クロスニコルになるように配置される。また、第 1 の偏光子を含む層 2 2 6 0 8 と第 2 の偏光子を含む層 2 2 6 0 9 とは、液晶パネル 2 2 6 0 7 の液晶素子が V A モードで駆動する場合、クロスニコルになるように配置される。また、第 1 の偏光子を含む層 2 2 6 0 8 と第 2 の偏光子を含む層 2 2 6 0 9 とは、液晶パネル 2 2 6 0 7 の液晶素子が I P S モード及び F F S モードで駆動する場合、クロスニコルになるように配置されていてもよいし、パラレルニコルになるように配置されていてもよい。

20

【 0 2 9 2 】

第 1 の偏光子を含む層 2 2 6 0 8 及び第 2 の偏光子を含む層 2 2 6 0 9 の両方又は一方と、液晶パネル 2 2 6 0 7 との間に位相差板を有していてもよい。

【 0 2 9 3 】

なお、図 3 6 に示すように、第 2 の偏光子を含む層 2 2 6 0 9 とバックライトユニット 2 2 6 0 1 との間に、スリット（格子）2 2 6 1 0 を配置することで、本実施形態の液晶表示装置は 3 次元表示を行うことができる。

30

【 0 2 9 4 】

バックライトユニット側に配置された開口部を有するスリット 2 2 6 1 0 は、光源より入射された光をストライプ状にして透過し、表示装置へ入射させる。このスリット 2 2 6 1 0 によって、視認側にいる視認者の両目に視差を作ることができ、視認者は右目では右目の画素だけを、左目では左目の画素だけを同時に見ることになる。よって、視認者は、3 次元表示を見ることができる。つまり、スリット 2 2 6 1 0 によって特定の視野角を与えられた光が右目用画像及び左目用画像のそれぞれに対応する画素を通過することで、右目用画像と左目用画像とが異なる視野角に分離され、3 次元表示が行われる。

【 0 2 9 5 】

図 3 6 の液晶表示装置を用いて、テレビジョン装置、携帯電話などの電子機器を作製すれば、3 次元表示を行うことができる高機能でかつ高画質の電子機器を提供することができる。

40

【 0 2 9 6 】

続いて、バックライトの詳細な構成について、図 3 5 を参照して説明する。バックライトは光源を有するバックライトユニットとして液晶表示装置に設けられ、バックライトユニットは効率よく光を散乱させるため、光源は反射板により囲まれている。

【 0 2 9 7 】

図 3 5（A）に示すように、バックライトユニット 2 2 8 5 2 は、光源として冷陰極管 2 2 8 0 1 を用いることができる。また、冷陰極管 2 2 8 0 1 からの光を効率よく反射させるため、ランプリフレクタ 2 2 8 3 2 を設けることができる。冷陰極管 2 2 8 0 1 は、

50

大型表示装置に用いることが多い。これは冷陰極管からの輝度の強度のためである。そのため、冷陰極管を有するバックライトユニットは、パーソナルコンピュータのディスプレイに用いることができる。

【0298】

図35(B)に示すように、バックライトユニット22852は、光源として発光ダイオード(LED)22802を用いることができる。例えば、白色に発する発光ダイオード(W)22802を所定の間隔に配置する。また、発光ダイオード(W)22802からの光を効率よく反射させるため、ランプリフレクタ22832を設けることができる。

【0299】

また図35(C)に示すように、バックライトユニット22852は、光源として各色RGBの発光ダイオード(LED)22803、22804、22805を用いることができる。各色RGBの発光ダイオード(LED)22803、22804、22805を用いることにより、白色を発する発光ダイオード(W)22802のみと比較して、色再現性を高くすることができる。また、発光ダイオードからの光を効率よく反射させるため、ランプリフレクタ22832を設けることができる。

10

【0300】

またさらに図35(D)に示すように、光源として各色RGBの発光ダイオード(LED)22803、22804、22805を用いる場合、それらの数や配置を同じとする必要はない。例えば、発光強度の低い色(例えば緑)を複数配置してもよい。

【0301】

さらに白色を発する発光ダイオード22802と、各色RGBの発光ダイオード(LED)22803、22804、22805とを組み合わせ用いてもよい。

20

【0302】

なお、RGBの発光ダイオードを有する場合、フィールドシーケンシャルモードを適用すると、時間に応じてRGBの発光ダイオードを順次点灯させることによりカラー表示を行うことができる。

【0303】

発光ダイオードを用いると、輝度が高いため、大型表示装置に適する。また、RGB各色の色純度が高いため冷陰極管と比べて色再現性に優れており、配置面積を小さくすることができるため、小型表示装置に適すると、狭額縁化を図ることができる。

30

【0304】

また、光源を必ずしも図35に示すバックライトユニットとして配置する必要はない。例えば、大型表示装置に発光ダイオードを有するバックライトを搭載する場合、発光ダイオードは該基板の背面に配置することができる。このとき発光ダイオードは、所定の間隔を維持し、各色の発光ダイオードを順に配置させることができる。発光ダイオードの配置により、色再現性を高めることができる。

【0305】

続いて、偏光子を含む層(偏光板又は偏光フィルムともいう)の一例について、図37を参照して説明する。

【0306】

図37の偏光子を含む層23000は、保護フィルム23001、基板フィルム23002、PVA偏光フィルム23003、基板フィルム23004、粘着剤層23005及び離型フィルム23006を有するように構成されている。

40

【0307】

PVA偏光フィルム23003は、ある振動方向だけの光(直線偏光)を作り出す機能を有する。具体的には、PVA偏光フィルム23003は、電子の密度が縦と横で大きく異なる分子(偏光子)を含んでいる。PVA偏光フィルム23003は、この電子の密度が縦と横で大きく異なる分子の方向を揃えることで、直線偏光を作り出すことができる。

【0308】

一例として、PVA偏光フィルム23003は、ポリビニールアルコール(Poly

50

Vinyl Alcohol) の高分子フィルムに、ヨウ素化合物をドーブし、PVA フィルムをある方向に引っ張ることで、一定方向にヨウ素分子の並んだフィルムを得ることができる。そして、ヨウ素分子の長軸と平行な光は、ヨウ素分子に吸収される。また、高耐久用途及び高耐熱用途として、ヨウ素の代わりに 2 色性の染料が用いてもよい。なお、染料は、車載用 LCD やプロジェクタ用 LCD などの耐久性、耐熱性が求められる液晶表示装置に用いられることが望ましい。

【0309】

PVA 偏光フィルム 23003 は、両側を基材となるフィルム（基板フィルム 23002 及び基板フィルム 3604）で挟むことで、信頼性を増すことができる。また、PVA 偏光フィルム 23003 は、高透明性、高耐久性のトリアセチルロース（TAC）フィルムによって挟まれていてもよい。なお、基板フィルム及び TAC フィルムは、PVA 偏光フィルム 23003 が有する偏光子の保護層として機能する。

10

【0310】

一方の基板フィルム（基板フィルム 23004）には、液晶パネルのガラス基板に貼るための粘着剤層 23005 が貼られている。なお、粘着剤層 23005 は、粘着剤を片側の基板フィルム（基板フィルム 23004）に塗布することで形成される。また、粘着剤層 23005 には、離形フィルム 23005（セパレートフィルム）が備えられている。

【0311】

他方の基板フィルム（基板フィルム 23002）には、保護フィルムが備えられている。

20

【0312】

なお、偏光フィルム 23000 表面に、ハードコート散乱層（アンチグレア層）が備えられていてもよい。ハードコート散乱層は、AG 処理によって表面に微細な凹凸が形成されており、外光を散乱させる防眩機能を有するため、液晶パネルへの外光の映り込みや表面反射を防ぐことができる。

【0313】

また、偏光フィルム 23000 表面に、複数の屈折率の異なる光学薄膜層を多層化（アンチリフレクション処理、若しくは AR 処理ともいう）してもよい。多層化された複数の屈折率のことなる光学薄膜層は、光の干渉効果によって表面の反射率を低減することができる。

30

【0314】

続いて、液晶表示装置が有する各回路の動作について、図 34 を参照して説明する。

【0315】

図 34 には、表示装置の画素部 22705 及び駆動回路部 22708 のシステムブロック図を示す。

【0316】

画素部 22705 は、複数の画素を有し、各画素となる信号線 22712 と、走査線 22710 との交差領域には、スイッチング素子が設けられている。スイッチング素子により液晶分子の傾きを制御するための電圧の印加を制御することができる。このように各交差領域にスイッチング素子が設けられた構造をアクティブ型と呼ぶ。本実施の形態の表示装置の画素部は、このようなアクティブ型に限定されず、パッシブ型の構成を有してもよい。パッシブ型は、各画素にスイッチング素子がないため、工程が簡便である。

40

【0317】

駆動回路部 22708 は、制御回路 22702、信号線駆動回路 22703、走査線駆動回路 22704 を有する。映像信号 22701 が入力される制御回路 22702 は、画素部 22705 の表示内容に応じて、階調制御を行う機能を有する。そのため、制御回路 22702 は、生成された信号を信号線駆動回路 22703 及び走査線駆動回路 22704 に入力する。そして、走査線駆動回路 22704 に基づき、走査線 22710 を介してスイッチング素子が選択されると、選択された交差領域の画素電極に電圧が印加される。この電圧の値は、信号線駆動回路 22703 から信号線を介して入力される信号に基づき

50

決定される。

【0318】

さらに、制御回路22702では、照明手段22706へ供給する電力を制御する信号が生成され、該信号は、照明手段22706の電源22707に入力される。照明手段には、上記実施の形態で示したバックライトユニットを用いることができる。なお照明手段はバックライト以外にフロントライトもある。フロントライトとは、画素部の前面側に取り付け、全体を照らす発光体および導光体で構成された板状のライトユニットである。このような照明手段により、低消費電力で、均等に画素部を照らすことができる。

【0319】

図34(B)に示すように走査線駆動回路22704は、シフトレジスタ22741、レベルシフタ22742、バッファ22743として機能する回路を有する。シフトレジスタ22741にはゲートスタートパルス(GSP)、ゲートクロック信号(GCK)等の信号が入力される。なお、本実施の形態の表示装置の走査線駆動回路は、図34(B)に示す構成に限定されない。

10

【0320】

また図34(C)に示すように信号線駆動回路22703は、シフトレジスタ22731、第1のラッチ22732、第2のラッチ22733、レベルシフタ22734、バッファ22735として機能する回路を有する。バッファ22735として機能する回路とは、弱い信号を増幅させる機能を有する回路であり、オペアンプ等を有する。レベルシフタ22734には、スタートパルス(SSP)等の信号が、第1のラッチ22732にはビデオ信号等のデータ(DATA)が入力される。第2のラッチ22733にはラッチ(LAT)信号を一時保持することができ、一斉に画素部22705へ入力させる。これを線順次駆動と呼ぶ。そのため、線順次駆動ではなく、点順次駆動を行う画素であれば、第2のラッチは不要とすることができる。このように、本実施の形態の表示装置の信号線駆動回路は図34(C)に示す構成に限定されない。

20

【0321】

このような信号線駆動回路22703、走査線駆動回路22704、画素部22705は、同一基板状に設けられた半導体素子によって形成することができる。半導体素子は、ガラス基板に設けられた薄膜トランジスタを用いて形成することができる。この場合、半導体素子には結晶性半導体膜を適用するとよい。結晶性半導体膜は、電気特性、特に移動度が高いため、駆動回路部が有する回路を構成することができる。また、信号線駆動回路22703や走査線駆動回路22704は、IC(Integrated Circuit)チップを用いて、基板上に実装することもできる。この場合、画素部の半導体素子には非晶質半導体膜を適用することができる。

30

【0322】

ここで、本実施形態の液晶表示モジュールを図38(A)及び図38(B)を用いて説明する。

【0323】

図38(A)は液晶表示モジュールの一例であり、TFT基板23100と対向基板23101がシール材23102により固着され、その間にTFT等を含む画素部23103と液晶層23104が設けられ表示領域を形成している。着色層23105はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板23100と対向基板23101の外側には第1の偏光子を含む層23106、第2の偏光子を含む層23107、拡散板23113が配設されている。光源は冷陰極管23110と反射板23111により構成され、回路基板23112は、フレキシブル配線基板23109によりTFT基板23100と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。

40

【0324】

TFT基板23100と光源であるバックライトの間には第2の偏光子を含む層23107が積層して設けられ、対向基板23101にも第1の偏光子を含む層23106が積

50

層して設けられている。一方、第2の偏光子を含む層23107の吸収軸と、視認側に設けられた第1の偏光子を含む層23106の吸収軸とは、クロスニコルになるように配置される。

【0325】

積層された第2の偏光子を含む層23107や積層された第1の偏光子を含む層23106は、TFT基板23100、対向基板23101に接着されている。また積層された偏光子を含む層と、基板との間に位相差板を有した状態で積層してもよい。また、必要に応じて、視認側である第1の偏光子を含む層23106には反射防止処理を施してもよい。

【0326】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment)、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birrefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal)、PDLC (Polymer Dispersed Liquid Crystal) モードなどを用いることができる。

10

20

【0327】

図38(B)は図38(A)の液晶表示モジュールにOCBモードを適用した一例であり、FS-LCD (Field sequential-LCD) となっている。FS-LCDは、1フレーム期間に赤色発光と緑色発光と青色発光をそれぞれ行うものであり、時間分割を用いて画像を合成しカラー表示を行うことが可能である。また、各発光を発光ダイオードまたは冷陰極管等で行うので、カラーフィルターが不要である。よって、3原色のカラーフィルターを並べ、各色の表示領域を限定する必要がなく、どの領域でも3色全ての表示を行うことができる。一方、1フレーム期間に3色の発光を行うため、液晶の高速な応答が求められる。本実施の形態の表示装置に、FS方式を用いたFLCモード及びOCBモードを適用し、高性能で高画質な表示装置、また液晶テレビジョン装置を完成

30

【0328】

OCBモードの液晶層は、いわゆるπセル構造を有している。πセル構造とは、液晶分子のプレチルト角がアクティブマトリクス基板と対向基板との基板間の中心面に対して面対称の関係で配向された構造である。πセル構造の配向状態は、基板間に電圧が印加されていない時はスプレイ配向となり、電圧を印加するとベンド配向に移行する。このベンド配向が白表示となる。さらに電圧を印加するとベンド配向の液晶分子が両基板と垂直に配向し、光が透過しない状態となる。なお、OCBモードにすると、従来のTNモードより約10倍速い高速応答性を実現できる。

40

【0329】

また、FS方式に対応するモードとして、高速動作が可能な強誘電性液晶 (FLC: Ferroelectric Liquid Crystal) を用いたHV (Half V) - FLC、SS (Surface Stabilized) - FLCなども用いることができる。

【0330】

また、液晶表示モジュールのセルギャップを狭くすることで、液晶表示モジュールの光学応答速度を高速化することができる。また、液晶材料の粘度を下げることでも高速化できる。高速化は、TNモードの液晶表示モジュールの画素領域の画素ピッチが30μm以下の場合に、より効果的である。また、液晶層にかかる印加電圧を本来の電圧よりも一瞬だけ高く(または低く)するオーバードライブを用いることで、高速化を行なってもよい。

50

【 0 3 3 1 】

図 3 8 (B) の液晶表示モジュールは透過型の液晶表示モジュールを示しており、光源として赤色光源 2 3 1 9 0 a、緑色光源 2 3 1 9 0 b、青色光源 2 3 1 9 0 c が設けられている。光源は赤色光源 2 3 1 9 0 a、緑色光源 2 3 1 9 0 b、青色光源 2 3 1 9 0 c のそれぞれオンオフを制御するために、制御部 2 3 1 9 9 が設置されている。制御部 2 3 1 9 9 によって、各色の発光は制御され、液晶に光は入射し、時間分割を用いて画像を合成し、カラー表示が行われる。

【 0 3 3 2 】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

10

【 0 3 3 3 】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【 0 3 3 4 】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

20

【 0 3 3 5 】

[実施の形態 8]

本実施形態においては、表示装置の駆動方法について説明する。特に、液晶表示装置の駆動方法について説明する。

【 0 3 3 6 】

まず、オーバードライブ駆動について、図 3 9 を参照して説明する。図 3 9 の (A) は、表示素子の、入力電圧に対する出力輝度の時間変化を表したものである。破線で表した入力電圧 3 0 1 2 1 に対する表示素子の出力輝度の時間変化は、同じく破線で表した出力輝度 3 0 1 2 3 のようになる。すなわち、目的の出力輝度 L_o を得るための電圧は V_i であるが、入力電圧として V_i をそのまま入力した場合は、目的の出力輝度 L_o に達するまでに、素子の応答速度に対応した時間を要してしまう。

30

【 0 3 3 7 】

オーバードライブ駆動は、この応答速度を速めるための技術である。具体的には、まず、 V_i よりも大きい電圧である V_o を素子に一定時間与えることで出力輝度の応答速度を高めて、目的の出力輝度 L_o に近づけた後に、入力電圧を V_i に戻す、という方法である。このときの入力電圧は入力電圧 3 0 1 2 2、出力輝度は出力輝度 3 0 1 2 4 に表したようになる。出力輝度 3 0 1 2 4 のグラフは、目的の輝度 L_o に至るまでの時間が、出力輝度 3 0 1 2 3 のグラフよりも短くなっている。

40

【 0 3 3 8 】

なお、図 3 9 の (A) においては、入力電圧に対し出力輝度が正の変化をする場合について述べたが、入力電圧に対し出力輝度が負の変化をする場合も、本実施の形態は含んでいる。

【 0 3 3 9 】

このような駆動を実現するための回路について、図 3 9 の (B) および図 3 9 の (C) を参照して説明する。まず、図 3 9 の (B) を参照して、入力映像信号 3 0 1 3 1 がアナログ値（離散値でもよい）をとる信号であり、出力映像信号 3 0 1 3 2 もアナログ値をと

50

る信号である場合について説明する。図 39 の (B) に示すオーバードライブ回路は、符号化回路 30101、フレームメモリ 30102、補正回路 30103、DA 変換回路 30104、を備える。

【0340】

入力映像信号 30131 は、まず、符号化回路 30101 に入力され、符号化される。つまり、アナログ信号から、適切なビット数のデジタル信号に変換される。その後、変換されたデジタル信号は、フレームメモリ 30102 と、補正回路 30103 と、にそれぞれ入力される。補正回路 30103 には、フレームメモリ 30102 に保持されていた前フレームの映像信号も、同時に入力される。そして、補正回路 30103 において、当該フレームの映像信号と、前フレームの映像信号から、あらかじめ用意された数値テーブルにしたがって、補正された映像信号を出力する。このとき、補正回路 30103 に出力切替信号 30133 を入力し、補正された映像信号と、当該フレームの映像信号を切替えて出力できるようにしてもよい。次に、補正された映像信号または当該フレームの映像信号は、DA 変換回路 30104 に入力される。そして、補正された映像信号または当該フレームの映像信号にしたがった値のアナログ信号である出力映像信号 30132 が出力される。このようにして、オーバードライブ駆動が実現できる。

10

【0341】

次に、図 39 の (C) を参照して、入力映像信号 30131 がデジタル値をとる信号であり、出力映像信号 30132 もデジタル値をとる信号である場合について説明する。図 39 の (C) に示すオーバードライブ回路は、フレームメモリ 30112、補正回路 30113、を備える。

20

【0342】

入力映像信号 30131 は、デジタル信号であり、まず、フレームメモリ 30112 と、補正回路 30113 にそれぞれ入力される。補正回路 30113 には、フレームメモリ 30112 に保持されていた前フレームの映像信号も、同時に入力される。そして、補正回路 30113 において、当該フレームの映像信号と、前フレームの映像信号から、あらかじめ用意された数値テーブルにしたがって、補正された映像信号を出力する。このとき、補正回路 30113 に出力切替信号 30133 を入力し、補正された映像信号と、当該フレームの映像信号を切替えて出力できるようにしてもよい。このようにして、オーバードライブ駆動が実現できる。

30

【0343】

なお、本実施の形態におけるオーバードライブ回路は、入力映像信号 30131 がアナログ信号であり、出力映像信号 30132 がデジタル信号である場合も含む。このときは、図 39 の (B) に示した回路から、DA 変換回路 30104 を省略すればよい。また、本実施の形態におけるオーバードライブ回路は、入力映像信号 30131 がデジタル信号であり、出力映像信号 30132 がアナログ信号である場合も含む。このときは、図 39 の (B) に示した回路から、符号化回路 30101 を省略すればよい。

【0344】

次に、コモン線の電位を操作する駆動について、図 40 を参照して説明する。図 40 の (A) は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線 1 本に対し、コモン線が 1 本配置されているときの、複数の画素回路を表した図である。図 40 の (A) に示す画素回路は、トランジスタ 30201、補助容量 30202、表示素子 30203、映像信号線 30204、走査線 30205、コモン線 30206、を備えている。

40

【0345】

トランジスタ 30201 のゲート電極は、走査線 30205 に電氣的に接続され、トランジスタ 30201 のソースまたはドレイン電極の一方は、映像信号線 30204 に電氣的に接続され、トランジスタ 30201 のソースまたはドレイン電極の他方は、補助容量 30202 の一方の電極、および表示素子 30203 の一方の電極に電氣的に接続されている。

50

また、補助容量 3 0 2 0 2 の他方の電極は、コモン線 3 0 2 0 6 に電氣的に接続されている。

【 0 3 4 6 】

まず、走査線 3 0 2 0 5 によって選択された画素は、トランジスタ 3 0 2 0 1 がオンとなるため、それぞれ、映像信号線 3 0 2 0 4 を介して、表示素子 3 0 2 0 3 および補助容量 3 0 2 0 2 に映像信号に対応した電圧がかかる。このとき、その映像信号が、コモン線 3 0 2 0 6 に接続された全ての画素に対して最低階調を表示させるものだった場合、または、コモン線 3 0 2 0 6 に接続された全ての画素に対して最高階調を表示させるものだった場合は、画素にそれぞれ映像信号線 3 0 2 0 4 を介して映像信号を書き込む必要はない。映像信号線 3 0 2 0 4 を介して映像信号を書き込む代わりに、コモン線 3 0 2 0 6 の電位を動かすことで、表示素子 3 0 2 0 3 にかかる電圧を変えることができる。

10

【 0 3 4 7 】

次に、図 4 0 の (B) は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線 1 本に対し、コモン線が 2 本配置されているときの、複数の画素回路を表した図である。図 4 0 の (B) に示す画素回路は、トランジスタ 3 0 2 1 1、補助容量 3 0 2 1 2、表示素子 3 0 2 1 3、映像信号線 3 0 2 1 4、走査線 3 0 2 1 5、第 1 のコモン線 3 0 2 1 6、第 2 のコモン線 3 0 2 1 7、を備えている。

【 0 3 4 8 】

トランジスタ 3 0 2 1 1 のゲート電極は、走査線 3 0 2 1 5 に電氣的に接続され、トランジスタ 3 0 2 1 1 のソースまたはドレイン電極の一方は、映像信号線 3 0 2 1 4 に電氣的に接続され、トランジスタ 3 0 2 1 1 のソースまたはドレイン電極の他方は、補助容量 3 0 2 1 2 の一方の電極、および表示素子 3 0 2 1 3 の一方の電極に電氣的に接続されている。

20

また、補助容量 3 0 2 1 2 の他方の電極は、第 1 のコモン線 3 0 2 1 6 に電氣的に接続されている。

また、当該画素と隣接する画素においては、補助容量 3 0 2 1 2 の他方の電極は、第 2 のコモン線 3 0 2 1 7 に電氣的に接続されている。

【 0 3 4 9 】

図 4 0 の (B) に示す画素回路は、コモン線 1 本に対し電氣的に接続されている画素が少ないため、映像信号線 3 0 2 1 4 を介して映像信号を書き込む代わりに、第 1 のコモン線 3 0 2 1 6 または第 2 のコモン線 3 0 2 1 7 の電位を動かすことで、表示素子 3 0 2 1 3 にかかる電圧を変えることができる頻度が、顕著に大きくなる。また、ソース反転駆動またはドット反転駆動が可能になる。ソース反転駆動またはドット反転駆動により、素子の信頼性を向上させつつ、フリッカを抑えることができる。

30

【 0 3 5 0 】

次に、走査型バックライトについて、図 4 1 を参照して説明する。図 4 1 の (A) は、冷陰極管を並置した走査型バックライトを示す図である。図 4 1 の (A) に示す走査型バックライトは、拡散板 3 0 3 0 1 と、N 個の冷陰極管 3 0 3 0 2 — 1 から 3 0 3 0 2 — N と、を備える。N 個の冷陰極管 3 0 3 0 2 — 1 から 3 0 3 0 2 — N を、拡散板 3 0 3 0 1 の後ろに並置することで、N 個の冷陰極管 3 0 3 0 2 — 1 から 3 0 3 0 2 — N は、その輝度を変化させて走査することができる。

40

【 0 3 5 1 】

走査するときの各冷陰極管の輝度の変化を、図 4 1 の (C) を用いて説明する。まず、冷陰極管 3 0 3 0 2 — 1 の輝度を、一定時間変化させる。そして、その後に、冷陰極管 3 0 3 0 2 — 1 の隣に配置された冷陰極管 3 0 3 0 2 — 2 の輝度を、同じ時間だけ変化させる。このように、冷陰極管 3 0 3 0 2 — 1 から 3 0 3 0 2 — N まで、輝度を順に変化させる。なお、図 4 1 の (C) においては、一定時間変化させる輝度は、元の輝度より小さいものとしたが、元の輝度より大きくてもよい。また、冷陰極管 3 0 3 0 2 — 1 から 3 0 3 0 2 — N まで走査するとしたが、逆方向に冷陰極管 3 0 3 0 2 — N から 3 0 3 0 2 — 1 まで走査してもよい。

50

【 0 3 5 2 】

図 4 1 のように駆動することで、バックライトの平均輝度を小さくすることができる。したがって、液晶表示装置の消費電力の大部分を占める、バックライトの消費電力を低減することができる。

【 0 3 5 3 】

なお、走査型バックライトの光源として、LEDを用いてもよい。その場合の走査型バックライトは、図 4 1 の (B) のようになる。図 4 1 の (B) に示す走査型バックライトは、拡散板 3 0 3 1 1 と、LEDを並置した光源 3 0 3 1 2 — 1 から 3 0 3 1 2 — N と、を備える。走査型バックライトの光源として、LEDを用いた場合、バックライトを薄く、軽くできる利点がある。また、色再現範囲を広げることができるという利点がある。さらに、LEDを並置した光源 3 0 3 1 2 — 1 から 3 0 3 1 2 — N のそれぞれに並置したLEDも、同様に走査することができるので、点走査型のバックライトとすることもできる。点走査型とすれば、動画像の画質をさらに向上させることができる。

10

【 0 3 5 4 】

なお、バックライトの光源としてLEDを用いた場合も、図 4 1 の (C) に示すように輝度を変化させて駆動することができる。

【 0 3 5 5 】

次に、高周波駆動について、図 4 2 を参照して説明する。図 4 2 の (A) は、1 フレーム期間 3 0 4 0 0 に 1 つの画像および 1 つの中間画像を表示するときの図である。3 0 4 0 1 は当該フレームの画像、3 0 4 0 2 は当該フレームの中間画像、3 0 4 0 3 は次フレームの画像、3 0 4 0 4 は次フレームの中間画像である。

20

【 0 3 5 6 】

なお、当該フレームの中間画像 3 0 4 0 2 は、当該フレームおよび次フレームの映像信号を元に作成された画像であってもよい。また、当該フレームの中間画像 3 0 4 0 2 は、当該フレームの画像 3 0 4 0 1 から作成された画像であってもよい。また、当該フレームの中間画像 3 0 4 0 2 は、黒画像であってもよい。こうすることで、ホールド型表示装置の動画像の画質を向上できる。また、1 フレーム期間 3 0 4 0 0 に 1 つの画像および 1 つの中間画像を表示する場合は、映像信号のフレームレートと整合性が取り易く、画像処理回路が複雑にならないという利点がある。

【 0 3 5 7 】

30

図 4 2 の (B) は、1 フレーム期間 3 0 4 0 0 が 2 つ連続する期間 (2 フレーム期間) に 1 つの画像および 2 つの中間画像を表示するときの図である。3 0 4 1 1 は当該フレームの画像、3 0 4 1 2 は当該フレームの中間画像、3 0 4 1 3 は次フレームの中間画像、3 0 4 1 4 は次々フレームの画像である。

【 0 3 5 8 】

なお、当該フレームの中間画像 3 0 4 1 2 および次フレームの中間画像 3 0 4 1 3 は、当該フレーム、次フレーム、次々フレームの映像信号を元に作成された画像であってもよい。また、当該フレームの中間画像 3 0 4 1 2 および次フレームの中間画像 3 0 4 1 3 は、黒画像であってもよい。2 フレーム期間に 1 つの画像および 2 つの中間画像を表示する場合は、周辺駆動回路の動作周波数をそれほど高速化することなく、効果的に動画像の画質を向上できるという利点がある。

40

【 0 3 5 9 】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容 (一部でもよい) は、別の図で述べた内容 (一部でもよい) に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【 0 3 6 0 】

同様に、本実施の形態の各々の図で述べた内容 (一部でもよい) は、別の実施の形態の図で述べた内容 (一部でもよい) に対して、適用、組み合わせ、又は置き換えなどを自由に

50

行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

【 0 3 6 1 】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【 0 3 6 2 】

[実施の形態 9]

本実施形態においては、本発明を適用できる半導体装置が薄膜トランジスタ（ＴＦＴ）を素子として有する場合の半導体装置の作製方法について、図面を参照して説明する。

【 0 3 6 3 】

図４３は、本発明を適用できる半導体装置が有することのできるＴＦＴの構造および製造プロセスの例を示す図である。図４３（Ａ）は、本発明を適用できる半導体装置が有することのできるＴＦＴの構造の例を示す図である。また、図４３（Ｂ）乃至（Ｇ）は、本発明を適用できる半導体装置が有することのできるＴＦＴの製造プロセスの例を示す図である。

【 0 3 6 4 】

なお、本発明を適用できる半導体装置が有することのできるＴＦＴの構造および製造プロセスは、図４３に示すものに限定されず、様々な構造および製造プロセスを用いることができる。

【 0 3 6 5 】

まず、図４３（Ａ）を参照し、本発明を適用できる半導体装置が有することのできるＴＦＴの構造の例について説明する。図４３（Ａ）は複数の異なる構造を有するＴＦＴの断面図である。ここで、図４３（Ａ）においては、複数の異なる構造を有するＴＦＴを並置して示しているが、これは、発明を適用できる半導体装置が有することのできるＴＦＴの構造を説明するための表現であり、発明を適用できる半導体装置が有することのできるＴＦＴが、実際に図４３（Ａ）のように並置されている必要はなく、必要に応じてつくり分けることができる。

【 0 3 6 6 】

次に、本発明を適用できる半導体装置が有することのできるＴＦＴを構成する各層の特徴について説明する。

【 0 3 6 7 】

基板１１０１１１は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板またはステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）に代表されるプラスチック又はアクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。可撓性を有する基板を用いることによって、折り曲げが可能である半導体装置を作製することが可能となる。また、可撓性を有す基板であれば、基板の面積及び基板の形状に大きな制限はないため、基板１１０１１１として、例えば、１辺が１メートル以上であって、矩形状のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。

【 0 3 6 8 】

絶縁膜１１０１１２は、下地膜として機能する。基板１１０１１１からＮａなどのアルカリ金属又はアルカリ土類金属が、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。絶縁膜１１０１１２としては、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素又は窒素を有する絶縁膜の単層構造若しくはこれらの積層構造で設けることができる

10

20

30

40

50

。例えば、絶縁膜 1 1 0 1 1 2 を 2 層構造で設ける場合、1 層目の絶縁膜として窒化酸化珪素膜を設け、2 層目の絶縁膜として酸化窒化珪素膜を設けるとよい。また、絶縁膜 1 1 0 1 1 2 を 3 層構造で設ける場合、1 層目の絶縁膜として酸化窒化珪素膜を設け、2 層目の絶縁膜として窒化酸化珪素膜を設け、3 層目の絶縁膜として酸化窒化珪素膜を設けるとよい。

【0369】

なお、絶縁膜 1 1 0 1 1 2 の下に、導電膜を配置してもよい。その導電膜は、共通電極として機能する場合がある。

【0370】

半導体膜 1 1 0 1 1 3、1 1 0 1 1 4、1 1 0 1 1 5 は、非晶質（アモルファス）半導体またはセミアモルファス半導体（SAS）で形成することができる。あるいは、多結晶半導体膜を用いても良い。SAS は、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5 ~ 20 nm の結晶領域を観測することができ、珪素を主成分とする場合にはラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている。X 線回折では珪素結晶格子に由来するとされる（1 1 1）、（2 2 0）の回折ピークが観測される。未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも 1 原子%またはそれ以上含ませている。SAS は、珪化物気体をグロー放電分解（プラズマ CVD）して形成する。珪化物気体としては、 SiH_4 、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。あるいは、 GeF_4 を混合させても良い。この珪化物気体を H_2 、または、 H_2 と He 、 Ar 、 Kr 、 Ne から選ばれた一種または複数種の希ガス元素で希釈してもよい。希釈率は 2 ~ 1000 倍の範囲。圧力は概略 0.1 Pa ~ 133 Pa の範囲、電源周波数は 1 MHz ~ 120 MHz、好ましくは 13 MHz ~ 60 MHz。基板加熱温度は 300 以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は $1 \times 10^{20}\text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19}\text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19}\text{ cm}^{-3}$ 以下とする。ここでは、公知の手段（スパッタ法、LPCVD 法、プラズマ CVD 法等）を用いてシリコン（Si）を主成分とする材料（例えば $\text{Si}_x\text{Ge}_{1-x}$ 等）で非晶質半導体膜を形成し、当該非晶質半導体膜をレーザ結晶化法、RTA 又はファーンエスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの公知の結晶化法により結晶化させる。

【0371】

絶縁膜 1 1 0 1 1 6 は、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素または窒素を有する絶縁膜の単層構造、若しくはこれらの積層構造で設けることができる。

【0372】

ゲート電極 1 1 0 1 1 7 は、単層の導電膜、または二層、三層の導電膜の積層構造とすることができる。ゲート電極 1 1 0 1 1 7 の材料としては、公知の導電膜を用いることができる。たとえば、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）などの元素の単体膜、または、前記元素の窒化膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または、前記元素を組み合わせた合金膜（代表的には Mo-W 合金、Mo-Ta 合金）、または、前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）などを用いることができる。なお、上述した単体膜、窒化膜、合金膜、シリサイド膜などは、単層で用いてもよいし、積層して用いてもよい。

【0373】

絶縁膜 1 1 0 1 1 8 は、公知の手段（スパッタ法やプラズマ CVD 法等）によって、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素または窒素を有する絶縁膜や DLC

(ダイヤモンドライクカーボン)等の炭素を含む膜の単層構造、若しくはこれらの積層構造で設けることができる。

【0374】

絶縁膜110119は、シロキサン樹脂、または、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、または、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料、からなる単層若しくは積層構造で設けることができる。なお、シロキサン樹脂とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。なお、本発明に適用できる半導体装置において、絶縁膜110118を設けずにゲート電極110117を覆うように直接絶縁膜110119を設けることも可能である。

10

【0375】

導電膜110123は、 Al 、 Ni 、 C 、 W 、 Mo 、 Ti 、 Pt 、 Cu 、 Ta 、 Au 、 Mn などの元素の単体膜、または、前記元素の窒化膜、または、前記元素を組み合わせた合金膜、または、前記元素のシリサイド膜などを用いることができる。例えば、前記元素を複数含む合金として、 C 及び Ti を含有した Al 合金、 Ni を含有した Al 合金、 C 及び Ni を含有した Al 合金、 C 及び Mn を含有した Al 合金等を用いることができる。また、積層構造で設ける場合、 Al を Mo または Ti などで挟み込んだ構造とすることができる。こうすることで、 Al の熱や化学反応に対する耐性を向上することができる。

20

【0376】

次に、図43(A)に示した、複数の異なる構造を有するTFETの断面図を参照して、各々の構造の特徴について説明する。

【0377】

110101は、シングルドレインTFETであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体膜110113、110115は、それぞれ不純物の濃度が異なり、半導体膜110113はチャネル領域、半導体膜110115はソースおよびドレイン領域として用いる。このように、不純物の量を制御することで、半導体膜の抵抗率を制御できる。また、半導体膜と導電膜110123との電気的な接続状態を、オーミック接続に近づけることができる。なお、不純物の量の異なる半導体膜を作り分ける方法としては、ゲート電極110117をマスクとして半導体膜に不純物をドーピングする方法を用いることができる。

30

【0378】

110102は、ゲート電極110117に一定以上のテーパ角を有するTFETであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体膜110113、110114、110115は、それぞれ不純物濃度が異なり、半導体膜110113はチャネル領域、半導体膜110114は低濃度ドレイン(Lightly Doped Drain: LDD)領域、半導体膜110115はソースおよびドレイン領域として用いる。このように、不純物の量を制御することで、半導体膜の抵抗率を制御できる。また、半導体膜と導電膜110123との電気的な接続状態を、オーミック接続に近づけることができる。また、LDD領域を有するため、TFET内部に高電界がかかりにくく、ホットキャリアによる素子の劣化を抑制することができる。なお、不純物の量の異なる半導体膜を作り分ける方法としては、ゲート電極110117をマスクとして半導体膜に不純物をドーピングする方法を用いることができる。110102においては、ゲート電極110117が一定以上のテーパ角を有しているため、ゲート電極110117を通過して半導体膜にドーピングされる不純物の濃度に勾配を持たせることができ、簡便にLDD領域を形成することができる。

40

50

【0379】

110103は、ゲート電極110117が少なくとも2層で構成され、下層のゲート電極が上層のゲート電極よりも長い形状を有するTFTである。本明細書中においては、上層のゲート電極及び下層のゲート電極の形状を、ハットシェイプ型と呼ぶ。ゲート電極110117の形状がハットシェイプ型であることによって、フォトリソ加工を追加することなく、LDD領域を形成することができる。なお、110103のように、LDD領域がゲート電極110117と重なっている構造を、特にGOLD構造(Gate Overlapped LDD)と呼ぶ。なお、ゲート電極110117の形状をハットシェイプ型とする方法としては、次のような方法を用いてもよい。

【0380】

まず、ゲート電極110117をパターニングする際に、ドライエッチングにより、下層のゲート電極及び上層のゲート電極をエッチングして側面に傾斜(テーパ)のある形状にする。続いて、異方性エッチングにより上層のゲート電極の傾斜を垂直に近くなるように加工する。これにより、断面形状がハットシェイプ型のゲート電極が形成される。その後、2回、不純物元素をドーピングすることによって、チャンネル領域として用いる半導体膜110113、LDD領域として用いる半導体膜110114、ソースおよびドレイン電極として用いる半導体膜110115が形成される。

【0381】

なお、ゲート電極110117と重なっているLDD領域をLov領域、ゲート電極110117と重なっていないLDD領域をLoff領域と呼ぶことにする。ここで、Loff領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、Lov領域はドレイン近傍の電界を緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よって、種々の回路毎に、求められる特性に応じた構造のTFTを作製することが好ましい。たとえば、本発明に適用できる半導体装置を表示装置として用いる場合、画素TFTは、オフ電流値を抑えるために、Loff領域を有するTFTを用いることが好適である。一方、周辺回路におけるTFTは、ドレイン近傍の電界を緩和し、オン電流値の劣化を防止するために、Lov領域を有するTFTを用いることが好適である。

【0382】

110104は、ゲート電極110117の側面に接して、サイドウォール110121を有するTFTである。サイドウォール110121を有することによって、サイドウォール110121と重なる領域をLDD領域とすることができる。

【0383】

110105は、半導体膜にマスクを用いてドーピングすることにより、LDD(Loff)領域を形成したTFTである。こうすることにより、確実にLDD領域を形成することができ、TFTのオフ電流値を低減することができる。

【0384】

110106は、半導体膜にマスクを用いてドーピングすることにより、LDD(Lov)領域を形成したTFTである。こうすることにより、確実にLDD領域を形成することができ、TFTのドレイン近傍の電界を緩和し、オン電流値の劣化を低減することができる。

【0385】

次に、図43(B)乃至(G)を参照して、本発明を適用できる半導体装置が有することのできるTFTの製造プロセスの例を説明する。

なお、本発明を適用できる半導体装置が有することのできるTFTの構造および製造プロセスは、図43に示すものに限定されず、様々な構造および製造プロセスを用いることができる。

【0386】

本実施の形態においては、基板110111の表面に、絶縁膜110112の表面に、半導体膜110113の表面に、110114の表面に、110115の表面に、絶縁膜

10

20

30

40

50

110116の表面に、絶縁膜110118の表面に、または絶縁膜110119の表面に、プラズマ処理を用いて酸化または窒化を行うことにより、半導体膜または絶縁膜を酸化または窒化することができる。このように、プラズマ処理を用いて半導体膜または絶縁膜を酸化または窒化することによって、当該半導体膜または当該絶縁膜の表面を改質し、CVD法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。

【0387】

まず、基板110111の表面をフッ酸(HF)、アルカリまたは純水を用いて洗浄する。基板110111は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板またはステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。なお、ここでは基板110111としてガラス基板を用いる場合を示す。

10

【0388】

ここで、基板110111の表面にプラズマ処理を行うことで、基板110111の表面を酸化または窒化することによって、基板110111の表面に酸化膜または窒化膜を形成してもよい(図43(B))。表面にプラズマ処理を行うことで形成された酸化膜または窒化膜などの絶縁膜を、以下では、プラズマ処理絶縁膜とも記す。図43(B)においては、絶縁膜131がプラズマ処理絶縁膜である。一般的に、ガラス又はプラスチック等の基板上に薄膜トランジスタ等の半導体素子を設ける場合、ガラス又はプラスチック等に含まれるNaなどの、アルカリ金属又はアルカリ土類金属等の不純物元素が半導体素子に混入して汚染することによって、半導体素子の特性に影響を及ぼす恐れがある。しかし、ガラス又はプラスチック等からなる基板の表面を窒化することにより、基板に含まれるNaなどの、アルカリ金属又はアルカリ土類金属等の不純物元素が半導体素子に混入するのを防止することができる。

20

【0389】

なお、プラズマ処理により表面を酸化する場合には、酸素雰囲気下(例えば、酸素(O_2)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下、または、酸素と水素(H_2)と希ガス雰囲気下、または、一酸化二窒素と希ガス雰囲気下)でプラズマ処理を行う。一方、プラズマ処理により半導体膜を窒化する場合には、窒素雰囲気下(例えば、窒素(N_2)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下、または、窒素と水素と希ガス雰囲気下、または、 NH_3 と希ガス雰囲気下)でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。あるいは、ArとKrを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)を含んでいる。たとえば、Arを用いた場合にはプラズマ処理絶縁膜にArが含まれている。

30

【0390】

また、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度が0.5 eV以上1.5 eV以下で行うことが好適である。プラズマの電子密度が高密度であり、被処理物付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化物または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。あるいは、プラズマの電子温度が1 eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも100度以上低い温度でプラズマ処理を行っ

40

50

ても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（ $2 \sim 45 \text{ GHz}$ ）等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【0391】

なお、図43（B）においては、基板110111の表面をプラズマ処理することによってプラズマ処理絶縁膜を形成する場合を示しているが、本実施の形態は、基板110111の表面にプラズマ処理絶縁膜を形成しない場合も含む。

【0392】

なお、図43（C）乃至（G）においては、被処理物の表面をプラズマ処理することによって形成されるプラズマ処理絶縁膜を図示しないが、本実施の形態においては、基板110111、絶縁膜110112、半導体膜110113、110114、110115、絶縁膜110116、絶縁膜110118、または絶縁膜110119の表面に、プラズマ処理を行なうことによって形成されるプラズマ処理絶縁膜が存在する場合も含む。

【0393】

次に、基板110111上に公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いて絶縁膜110112を形成する（図43（C））。絶縁膜110112としては、酸化珪素（ SiO_x ）または酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）を用いることができる。

【0394】

ここで、絶縁膜110112の表面にプラズマ処理を行い、絶縁膜110112を酸化または窒化することによって、絶縁膜110112の表面にプラズマ処理絶縁膜を形成してもよい。絶縁膜110112の表面を酸化することによって、絶縁膜110112の表面を改質しピンホール等の欠陥の少ない緻密な膜を得ることができる。また、絶縁膜110112の表面を酸化することによって、N原子の含有率が低いプラズマ処理絶縁膜を形成することができるため、プラズマ処理絶縁膜に半導体膜を設けた場合にプラズマ処理絶縁膜と半導体膜界面特性が向上する。また、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる。なお、プラズマ処理は上述した条件下で同様に行うことができる。

【0395】

次に、絶縁膜110112上に島状の半導体膜110113、110114を形成する（図43（D））。島状の半導体膜110113、110114は、絶縁膜110112上に公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いてシリコン（Si）を主成分とする材料（例えば $\text{Si}_x\text{Ge}_{1-x}$ 等）等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTA又はファーンズアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等の公知の結晶化法により行うことができる。なお、ここでは、島状の半導体膜の端部を直角に近い形状（ $\theta = 85 \sim 100^\circ$ ）で設ける。あるいは、低濃度ドレイン領域となる半導体膜110114は、マスクを用いて不純物をドーピングすることによって形成されてもよい。

【0396】

ここで、半導体膜110113、110114の表面にプラズマ処理を行い、半導体膜110113、110114の表面を酸化または窒化することによって、半導体膜110113、110114の表面にプラズマ処理絶縁膜を形成してもよい。例えば、半導体膜110113、110114としてSiを用いた場合、プラズマ処理絶縁膜として、酸化珪素（ SiO_x ）または窒化珪素（ SiN_x ）が形成される。あるいは、プラズマ処理により半導体膜110113、110114を酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体膜110113、110114に接して酸化珪素（ SiO_x ）が形成され、当該酸化珪素の表面に窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）が形成される。なお、プラズマ処理により半導体膜を酸化する場合には、酸素

10

20

30

40

50

雰囲気下（例えば、酸素（ O_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、または、酸素と水素（ H_2 ）と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）、でプラズマ処理を行う。一方、プラズマ処理により半導体膜を窒化する場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、または、窒素と水素と希ガス雰囲気下または NH_3 と希ガス雰囲気下）、でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる。たとえば、Arを用いた場合にはプラズマ処理絶縁膜にArが含まれている。

10

【0397】

次に、絶縁膜110116を形成する（図43（E））。絶縁膜110116は、公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いて、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。なお、半導体膜110113、110114の表面をプラズマ処理することにより、半導体膜110113、110114の表面にプラズマ処理絶縁膜を形成した場合には、プラズマ処理絶縁膜を絶縁膜110116として用いることも可能である。

20

【0398】

ここで、絶縁膜110116の表面にプラズマ処理を行い、絶縁膜110116の表面を酸化または窒化することによって、絶縁膜110116の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる。また、プラズマ処理は上述した条件下で同様に行うことができる。

【0399】

あるいは、一旦酸素雰囲気下でプラズマ処理を行うことにより絶縁膜110116を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。このように、絶縁膜110116にプラズマ処理を行い、絶縁膜110116の表面を酸化または窒化することによって、絶縁膜110116の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、CVD法やスパッタ法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、薄膜トランジスタの特性を向上させることができる。

30

【0400】

次に、ゲート電極110117を形成する（図43（F））。ゲート電極110117は、公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いて形成することができる。

【0401】

110101においては、ゲート電極110117を形成した後に不純物ドーピングを行なうことで、ソースおよびドレイン領域として用いる半導体膜110115を形成することができる。

40

【0402】

110102においては、ゲート電極110117を形成した後に不純物ドーピングを行なうことで、LDD領域として用いる110114と、半導体膜ソースおよびドレイン領域として用いる半導体膜110115を形成することができる。

【0403】

110103においては、ゲート電極110117を形成した後に不純物ドーピングを行なうことで、LDD領域として用いる110114と、半導体膜ソースおよびドレイン領域として用いる半導体膜110115を形成することができる。

【0404】

50

110104においては、ゲート電極110117の側面にサイドウォール110121を形成した後、不純物ドーピングを行なうことで、LDD領域として用いる110114と、半導体膜ソースおよびドレイン領域として用いる半導体膜110115を形成することができる。

【0405】

なお、サイドウォール110121は、酸化珪素(SiO_x)または窒化珪素(SiN_x)を用いることができる。サイドウォール110121をゲート電極110117の側面に形成する方法としては、たとえば、ゲート電極110117を形成した後に、酸化珪素(SiO_x)または窒化珪素(SiN_x)を公知の方法で成膜した後に、異方性エッチングによって酸化珪素(SiO_x)または窒化珪素(SiN_x)膜をエッチングする方法を用いることができる。こうすることで、ゲート電極110117の側面にのみ酸化珪素(SiO_x)または窒化珪素(SiN_x)膜を残すことができるので、ゲート電極110117の側面にサイドウォール110121を形成することができる。

10

【0406】

110105においては、ゲート電極110117を覆うようにマスク110122を形成した後、不純物ドーピングを行なうことで、LDD(Lo f f)領域として用いる110114と、半導体膜ソースおよびドレイン領域として用いる半導体膜110115を形成することができる。

【0407】

110106においては、ゲート電極110117を形成した後に不純物ドーピングを行なうことで、LDD(Lo v)領域として用いる110114と、半導体膜ソースおよびドレイン領域として用いる半導体膜110115を形成することができる。

20

【0408】

次に、絶縁膜110118を形成する(図43(G))。絶縁膜110118は、公知の手段(スパッタ法やプラズマCVD法等)により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜の単層構造、またはこれらの積層構造で設けることができる。

【0409】

ここで、絶縁膜110118の表面にプラズマ処理を行い、絶縁膜110118の表面を酸化または窒化することによって、絶縁膜110118の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス(He 、 Ne 、 Ar 、 Kr 、 Xe の少なくとも一つを含む)を含んでいる。また、プラズマ処理は上述した条件下で同様に行うことができる。

30

【0410】

次に、絶縁膜110119を形成する。絶縁膜110119は、公知の手段(スパッタ法やプラズマCVD法等)により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜を用いることができる他に、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂の単層構造、またはこれらの積層構造で設けることができる。なお、シロキサン樹脂とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、プラズマ処理絶縁膜には、プラズマ処理に用いた希ガス(He 、 Ne 、 Ar 、 Kr 、 Xe の少なくとも一つを含む)が含まれており、例えば Ar を用いた場合にはプラズマ処理絶縁膜中に Ar が含まれている。

40

【0411】

50

絶縁膜 110119 としてポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂等を用いた場合、絶縁膜 110119 の表面をプラズマ処理により酸化または窒化することにより、当該絶縁膜の表面を改質することができる。表面を改質することによって、絶縁膜 110119 の強度が向上し開口部形成時等におけるクラックの発生やエッチング時の膜減り等の物理的ダメージを低減することが可能となる。また、絶縁膜 110119 の表面が改質されることによって、絶縁膜 110119 上に導電膜 110123 を形成する場合に導電膜との密着性が向上する。例えば、絶縁膜 110119 としてシロキサン樹脂を用いてプラズマ処理を用いて窒化を行った場合、シロキサン樹脂の表面が窒化されることにより窒素または希ガスを含むプラズマ処理絶縁膜が形成され、物理的強度が向上する。

10

【0412】

次に、半導体膜 110115 と電氣的に接続された導電膜 110123 を形成するため、絶縁膜 110119、絶縁膜 110118、絶縁膜 110116 にコンタクトホールを形成する。なお、コンタクトホールの形状はテーパ状であってもよい。こうすることで、導電膜 110123 のカバレッジを向上させることができる。

【0413】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

20

【0414】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0415】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

30

【0416】

[実施の形態 10]

本実施形態においては、表示装置の一例、特に光学的な取り扱いを行なう場合について説明する。

【0417】

図 44 (A) 及び (B) に示す背面投影型表示装置 130100 は、プロジェクタユニット 130111、ミラー 130112、スクリーンパネル 130101 を備えている。その他に、スピーカ 130102、操作スイッチ類 130104 を備えていてもよい。このプロジェクタユニット 130111 は、背面投影型表示装置 130100 の筐体 130110 の下部に配設され、映像信号に基づいて映像を映し出す投射光をミラー 130112 に向けて投射する。背面投影型表示装置 130100 はスクリーンパネル 130101 の背面から投影される映像を表示する構成となっている。

40

【0418】

一方、図 45 は、前面投影型表示装置 130200 を示している。前面投影表示装置 130200 は、プロジェクタユニット 130111 と投射光学系 130201 を備えている。この前面投影光学系 130200 は前面に配設するスクリーン等に映像を投影する構成となっている。

【0419】

50

図４４に示す背面投影型表示装置１３０１００、図４５に示す前面投影型表示装置１３０２００に適用されるプロジェクタユニット１３０１１１の構成を以下に説明する。

【０４２０】

図４６は、プロジェクタユニット１３０１１１の一構成例を示している。このプロジェクタユニット１３０１１１は、光源ユニット１３０３０１及び変調ユニット１３０３０４を備えている。光源ユニット１３０３０１は、レンズ類を含んで構成される光源光学系１３０３０３と、光源ランプ１３０３０２を備えている。光源ランプ１３０３０２は迷光が拡散しないように筐体内に収納されている。光源ランプ１３０３０２としては、大光量の光を放射可能な、例えば、高圧水銀ランプやキセノンランプなどが用いられる。光源光学系１３０３０３は、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフ

10

【０４２１】

各光路には、所定の波長若しくは波長帯の光を透過するカラーフィルターと、表示パネル１３０３０８が備えられている。透過型である表示パネル１３０３０８は映像信号に基づいて透過光を変調する。表示パネル１３０３０８を透過した各色の光は、プリズム１３

20

【０４２２】

図４７で示すプロジェクタユニット１３０１１１は、反射型の表示パネル１３０４０７、１３０４０８、１３０４０９を備えた構成を示している。

【０４２３】

図４７で示すプロジェクタユニット１３０１１１は、光源ユニット１３０３０１と変調ユニット１３０４００を備えている。光源ユニット１３０３０１は、図４６と同様の構成であつてもよい。光源ユニット１３０３０１からの光は、ダイクロイックミラー１３０４

30

【０４２４】

光源ユニット１３０３０１から放射された光は、ダイクロイックミラー１３０４０１で赤の波長領域の光のみを透過し、緑および青の波長領域の光を反射する。さらに、ダイクロイックミラー１３０４０２では、緑の波長領域の光のみが反射される。ダイクロイックミラー１３０４０１を透過した赤の波長領域の光は、全反射ミラー１３０４０３で反射され、偏光ビームスプリッタ１３０４０４へ入射する、また、青の波長領域の光は偏光ビームスプリッタ１３０４０５へ入射し、緑の波長領域の光は偏光ビームスプリッタ１３０４

40

50

【 0 4 2 5 】

各色に対応する反射型表示パネル 1 3 0 4 0 7、1 3 0 4 0 8、1 3 0 4 0 9 には各色に対応する S 偏光のみが入射する。なお、反射型表示パネル 1 3 0 4 0 7、1 3 0 4 0 8、1 3 0 4 0 9 は液晶パネルであってもよい。このとき、液晶パネルは電界制御複屈折モード (E C B) で動作する。また、液晶分子は基板に対してある角度をもって垂直配向している。よって、反射型表示パネル 1 3 0 4 0 7、1 3 0 4 0 8、1 3 0 4 0 9 は画素がオフ状態にある時は入射光の偏光状態を変化させないで反射させるように表示分子が配向している。また、画素がオン状態にある時は表示分子の配向状態が変化し、入射光の偏光状態が変化する。

【 0 4 2 6 】

図 4 7 に示すプロジェクタユニット 1 3 0 1 1 1 は、図 4 4 に示す背面投影型表示装置 1 3 0 1 0 0 及び、図 4 5 に示す前面投影型表示装置 1 3 0 2 0 0 に適用することができる。

【 0 4 2 7 】

図 4 8 で示すプロジェクタユニットは単板式の構成を示している。図 4 8 (A) に示したプロジェクタユニット 1 3 0 1 1 1 は、光源ユニット 1 3 0 3 0 1、表示パネル 1 3 0 5 0 7、投射光学系 1 3 0 5 1 1、位相差板 1 3 0 5 0 4 を備えている。投射光学系 1 3 0 5 1 1 は一つ又は複数のレンズにより構成されている。表示パネル 1 3 0 5 0 7 にはカラーフィルターが備えられていてもよい。

【 0 4 2 8 】

図 4 8 (B) は、フィールドシーケンシャル方式で動作するプロジェクタユニット 1 3 0 1 1 1 の構成を示している。フィールドシーケンシャル方式は、赤、緑、青などの各色の光を時間的にずらせて順次表示パネルに入射させて、カラーフィルター無しでカラー表示を行う方式である。特に、入力信号変化に対する応答速度の大きい表示パネルと組み合わせると、高精細な映像を表示することができる。図 4 8 (B) では、光源ユニット 1 3 0 3 0 1 と表示パネル 1 3 0 5 0 8 の間に、赤、緑、青などの複数のカラーフィルターが備えられた回動式のカラーフィルター板 1 3 0 5 0 5 を備えている。

【 0 4 2 9 】

図 4 8 (C) で示すプロジェクタユニット 1 3 0 1 1 1 は、カラー表示の方式として、マクロレンズを使った色分離方式の構成を示している。この方式は、マイクロレンズアレイ 1 3 0 5 0 6 を表示パネル 1 3 0 5 0 9 の光入射側に備え、各色の光をそれぞれの方向から照明することでカラー表示を実現する方式である。この方式を採用するプロジェクタユニット 1 3 0 1 1 1 は、カラーフィルターによる光の損失が少ないので、光源ユニット 1 3 0 3 0 1 からの光を有効に利用することができるという特徴を有している。図 4 8 (C) に示すプロジェクタユニット 1 3 0 1 1 1 は、表示パネル 1 3 0 5 0 9 に対して各色の光をそれぞれの方向から照明するように、ダイクロイックミラー 1 3 0 5 0 1、ダイクロイックミラー 1 3 0 5 0 2、赤色光用ダイクロイックミラー 1 3 0 5 0 3 を備えている。

【 0 4 3 0 】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容 (一部でもよい) は、別の図で述べた内容 (一部でもよい) に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【 0 4 3 1 】

同様に、本実施の形態の各々の図で述べた内容 (一部でもよい) は、別の実施の形態の図で述べた内容 (一部でもよい) に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【 0 4 3 2 】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【0433】

[実施の形態 1 1]

本実施形態においては、本発明に係る電子機器の例について説明する。

【0434】

図49は表示パネル900101と、回路基板900111を組み合わせた表示パネルモジュールを示している。表示パネル900101は画素部900102、走査線駆動回路900103及び信号線駆動回路900104を有している。回路基板900111には、例えば、コントロール回路900112及び信号分割回路900113などが形成されている。表示パネル900101と回路基板900111とは接続配線900114によって接続されている。接続配線にはFPC等を用いることができる。

10

【0435】

表示パネル900101は、画素部900102と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にTFTを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）などで表示パネル900101に実装してもよい。こうすることで、回路基板900111の面積を削減でき、小型の表示装置を得ることができる。あるいは、そのICチップをTAB（Tape Auto Bonding）やプリント基板を用いて表示パネル900101に実装してもよい。こうすることで、表示パネル900101の面積を小さくできるので、額縁サイズの小さい表示装置を得ることができる。

20

【0436】

例えば、消費電力の低減を図るため、ガラス基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOGまたはTABで表示パネルに実装してもよい。

【0437】

図49に示した表示パネルモジュールによって、テレビ受像機を完成させることができる。図50は、テレビ受像機の主要な構成を示すブロック図である。チューナ900201は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路900202と、映像信号増幅回路900202から出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路900203と、その映像信号を駆動回路の入力仕様に換するためのコントロール回路900212により処理される。コントロール回路900212は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路900213を設け、入力デジタル信号をm個（mは正の整数）に分割して供給する構成としても良い。

30

【0438】

チューナ900201で受信した信号のうち、音声信号は音声信号増幅回路900205に送られ、その出力は音声信号処理回路900206を経てスピーカー900207に供給される。制御回路900208は受信局（受信周波数）及び音量の制御情報を入力部900209から受け、チューナ900201や音声信号処理回路900206に信号を送出する。

40

【0439】

また、図50とは別の形態の表示パネルモジュールを組み込んだテレビ受像器について図51（A）に示す。図51（A）において、筐体900301内に収められた表示画面900302は、表示パネルモジュールで形成される。なお、スピーカー900303、操作スイッチ900304などが適宜備えられていてもよい。

50

【 0 4 4 0 】

また、図 5 1 (B) に、ワイヤレスでディスプレイのみを持ち運び可能なテレビ受像器を示す。筐体 9 0 0 3 1 2 にはバッテリー及び信号受信器が内蔵されており、そのバッテリーで表示部 9 0 0 3 1 3 やスピーカー部 9 0 0 3 1 7 を駆動させる。バッテリーは充電器 9 0 0 3 1 0 で繰り返し充電が可能となっている。また、充電器 9 0 0 3 1 0 は映像信号を送受信することが可能で、その映像信号をディスプレイの信号受信器に送信することができる。筐体 9 0 0 3 1 2 は操作キー 9 0 0 3 1 6 によって制御する。あるいは、図 5 1 (B) に示す装置は、操作キー 9 0 0 3 1 6 を操作することによって、筐体 9 0 0 3 1 2 から充電器 9 0 0 3 1 0 に信号を送ることが可能である、映像音声双方向通信装置であってもよい。あるいは、操作キー 9 0 0 3 1 6 を操作することによって、筐体 9 0 0 3 1 2 から充電器 9 0 0 3 1 0 に信号を送り、さらに充電器 9 0 0 3 1 0 が送信できる信号を他の電子機器に受信させることによって、他の電子機器の通信制御も可能である、汎用遠隔制御装置であってもよい。本発明を表示部 9 0 0 3 1 3 に適用することができる。

10

【 0 4 4 1 】

図 5 2 (A) は、表示パネル 9 0 0 4 0 1 とプリント配線基板 9 0 0 4 0 2 を組み合わせたモジュールを示している。表示パネル 9 0 0 4 0 1 は、複数の画素が設けられた画素部 9 0 0 4 0 3 と、第 1 の走査線駆動回路 9 0 0 4 0 4 、第 2 の走査線駆動回路 9 0 0 4 0 5 と、選択された画素にビデオ信号を供給する信号線駆動回路 9 0 0 4 0 6 を備えていてもよい。

【 0 4 4 2 】

プリント配線基板 9 0 0 4 0 2 には、コントローラ 9 0 0 4 0 7 、中央処理装置 (C P U) 9 0 0 4 0 8 、メモリ 9 0 0 4 0 9 、電源回路 9 0 0 4 1 0 、音声処理回路 9 0 0 4 1 1 及び送受信回路 9 0 0 4 1 2 などが備えられている。プリント配線基板 9 0 0 4 0 2 と表示パネル 9 0 0 4 0 1 は、フレキシブル配線基板 (F P C) 9 0 0 4 1 3 により接続されている。プリント配線基板 9 0 0 4 1 3 には、保持容量、バッファ回路などを設け、電源電圧や信号にノイズの発生、及び信号の立ち上がり時間の増大を防ぐ構成としても良い。また、コントローラ 9 0 0 4 0 7 、音声処理回路 9 0 0 4 1 1 、メモリ 9 0 0 4 0 9 、C P U 9 0 0 4 0 8 、電源回路 9 0 0 4 1 0 などは、C O G (C h i p O n G l a s s) 方式を用いて表示パネル 9 0 0 4 0 1 に実装することもできる。C O G 方式により、プリント配線基板 9 0 0 4 0 2 の規模を縮小することができる。

20

30

【 0 4 4 3 】

プリント配線基板 9 0 0 4 0 2 に備えられたインターフェース (I / F) 部 9 0 0 4 1 4 を介して、各種制御信号の入出力が行われる。また、アンテナとの間の信号の送受信を行うためのアンテナ用ポート 9 0 0 4 1 5 が、プリント配線基板 9 0 0 4 0 2 に設けられている。

【 0 4 4 4 】

図 5 2 (B) は、図 5 2 (A) に示したモジュールのブロック図を示す。このモジュールは、メモリ 9 0 0 4 0 9 として V R A M 9 0 0 4 1 6 、D R A M 9 0 0 4 1 7 、フラッシュメモリ 9 0 0 4 1 8 などが含まれている。V R A M 9 0 0 4 1 6 にはパネルに表示する画像のデータが、D R A M 9 0 0 4 1 7 には画像データまたは音声データが、フラッシュメモリには各種プログラムが記憶されている。

40

【 0 4 4 5 】

電源回路 9 0 0 4 1 0 は、表示パネル 9 0 0 4 0 1 、コントローラ 9 0 0 4 0 7 、C P U 9 0 0 4 0 8 、音声処理回路 9 0 0 4 1 1 、メモリ 9 0 0 4 0 9 、送受信回路 9 0 0 4 1 2 を動作させる電力を供給する。またパネルの仕様によっては、電源回路 9 0 0 4 1 0 に電流源が備えられている場合もある。

【 0 4 4 6 】

C P U 9 0 0 4 0 8 は、制御信号生成回路 9 0 0 4 2 0 、デコーダ 9 0 0 4 2 1 、レジスタ 9 0 0 4 2 2 、演算回路 9 0 0 4 2 3 、R A M 9 0 0 4 2 4 、C P U 9 0 0 4 0 8 用のインターフェース 9 0 0 4 1 9 などを有している。インターフェース 9 0 0 4 1 9 を介

50

してCPU900408に入力された各種信号は、一旦レジスタ900422に保持された後、演算回路900423、デコーダ900421などに入力される。演算回路900423では、入力された信号に基づき演算を行い、各種命令を送る場所を指定する。一方デコーダ900421に入力された信号はデコードされ、制御信号生成回路900420に入力される。制御信号生成回路900420は入力された信号に基づき、各種命令を含む信号を生成し、演算回路900423において指定された場所、具体的にはメモリ900409、送受信回路900412、音声処理回路900411、コントローラ900407などに送る。

【0447】

メモリ900409、送受信回路900412、音声処理回路900411、コントローラ900407は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

【0448】

入力手段900425から入力された信号は、インターフェイス900414を介してプリント配線基板900402に実装されたCPU900408に送られる。制御信号生成回路900420は、ポインティングデバイスやキーボードなどの入力手段900425から送られてきた信号に従い、VRAM900416に格納してある画像データを所定のフォーマットに変換し、コントローラ900407に送付する。

【0449】

コントローラ900407は、パネルの仕様に合わせてCPU900408から送られてきた画像データを含む信号にデータ処理を施し、表示パネル900401に供給する。またコントローラ900407は、電源回路900410から入力された電源電圧やCPU900408から入力された各種信号をもとに、Hsync信号、Vsync信号、クロック信号CLK、交流電圧(AC Cont)、切り替え信号L/Rを生成し、表示パネル900401に供給する。

【0450】

送受信回路900412では、アンテナ900428において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、VCO(Voltage Controlled Oscillator)、LPF(Low Pass Filter)、カプラ、バランなどの高周波回路を含んでいてもよい。送受信回路900412において送受信される信号のうち音声情報を含む信号が、CPU900408からの命令に従って、音声処理回路900411に送られる。

【0451】

CPU900408の命令に従って送られてきた音声情報を含む信号は、音声処理回路900411において音声信号に復調され、スピーカ900427に送られる。またマイク900426から送られてきた音声信号は、音声処理回路900411において変調され、CPU900408からの命令に従って、送受信回路900412に送られる。

【0452】

コントローラ900407、CPU900408、電源回路900410、音声処理回路900411、メモリ900409を、本実施形態のパッケージとして実装することができる。

【0453】

勿論、本実施の形態はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【0454】

次に、図53を参照して、本発明に係る携帯電話の構成例について説明する。

【0455】

表示パネル900501はハウジング900530に脱着自在に組み込まれる。ハウジング900530は表示パネル900501のサイズに合わせて、形状や寸法を適宜変更

10

20

30

40

50

することができる。表示パネル 900501 を固定したハウジング 900530 はプリント基板 900531 に嵌入されモジュールとして組み立てられる。

【0456】

表示パネル 900501 は FPC 900513 を介してプリント基板 900531 に接続される。プリント基板 900531 には、スピーカー 900532、マイクロフォン 900533、送受信回路 900534、CPU 及びコントローラなどを含む信号処理回路 900535 が形成されている。このようなモジュールと、入力手段 900536、バッテリー 900537 を組み合わせ、筐体 900539 に収納する。表示パネル 900501 の画素部は筐体 900539 に形成された開口窓から視認できるように配置する。

【0457】

表示パネル 900501 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上に TFT を用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を IC チップ上に形成し、その IC チップを COG (Chip On Glass) で表示パネル 900501 に実装しても良い。あるいは、その IC チップを TAB (Tape Auto Bonding) やプリント基板を用いてガラス基板と接続してもよい。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

【0458】

また、図 54 で示す携帯電話機は、操作スイッチ類 900604、マイクロフォン 900605 などが備えられた本体 (A) 900601 と、表示パネル (A) 900608、表示パネル (B) 900609、スピーカー 900606 などが備えられた本体 (B) 900602 とが、蝶番 900610 で開閉可能に連結されている。表示パネル (A) 900608 と表示パネル (B) 900609 は、回路基板 900607 と共に本体 (B) 900602 の筐体 900603 の中に収納される。表示パネル (A) 900608 及び表示パネル (B) 900609 の画素部は筐体 900603 に形成された開口窓から視認できるように配置される。

【0459】

表示パネル (A) 900608 と表示パネル (B) 900609 は、その携帯電話機 900600 の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネル (A) 900608 を主画面とし、表示パネル (B) 900609 を副画面として組み合わせることができる。

【0460】

本実施形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、蝶番 900610 の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。また、操作スイッチ類 900604、表示パネル (A) 900608、表示パネル (B) 900609 を一つの筐体内に納めた構成としても、上記した作用効果を奏することができる。また、表示部を複数個そなえた情報表示端末に本実施形態の構成を適用しても、同様な効果を得ることができる。

【0461】

本発明を様々な電子機器に適用することができる。具体的には、電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。

【0462】

図 55 (A) はディスプレイであり、筐体 900711、支持台 900712、表示部 900713 等を含む。

10

20

30

40

50

【 0 4 6 3 】

図 5 5 (B) はカメラであり、本体 9 0 0 7 2 1、表示部 9 0 0 7 2 2、受像部 9 0 0 7 2 3、操作キー 9 0 0 7 2 4、外部接続ポート 9 0 0 7 2 5、シャッター 9 0 0 7 2 6 等を含む。

【 0 4 6 4 】

図 5 5 (C) はコンピュータであり、本体 9 0 0 7 3 1、筐体 9 0 0 7 3 2、表示部 9 0 0 7 3 3、キーボード 9 0 0 7 3 4、外部接続ポート 9 0 0 7 3 5、ポインティングデバイス 9 0 0 7 3 6 等を含む。

【 0 4 6 5 】

図 5 5 (D) はモバイルコンピュータであり、本体 9 0 0 7 4 1、表示部 9 0 0 7 4 2、スイッチ 9 0 0 7 4 3、操作キー 9 0 0 7 4 4、赤外線ポート 9 0 0 7 4 5 等を含む。

10

【 0 4 6 6 】

図 5 5 (E) は記録媒体を備えた携帯型の画像再生装置（たとえば、DVD 再生装置）であり、本体 9 0 0 7 5 1、筐体 9 0 0 7 5 2、表示部 A 9 0 0 7 5 3、表示部 B 9 0 0 7 5 4、記録媒体（DVD 等）読み込み部 9 0 0 7 5 5、操作キー 9 0 0 7 5 6、スピーカー部 9 0 0 7 5 7 等を含む。表示部 A 9 0 0 7 5 3 は主として画像情報を表示し、表示部 B 9 0 0 7 5 4 は主として文字情報を表示することができる。

【 0 4 6 7 】

図 5 5 (F) はゴーグル型ディスプレイであり、本体 9 0 0 7 6 1、表示部 9 0 0 7 6 2、イヤホン 9 0 0 7 6 3、支持部 9 0 0 7 6 4 を含む。

20

【 0 4 6 8 】

図 5 5 (G) は携帯型遊技機であり、筐体 9 0 0 7 7 1、表示部 9 0 0 7 7 2、スピーカー部 9 0 0 7 7 3、操作キー 9 0 0 7 7 4、記憶媒体挿入部 9 0 0 7 7 5 等を含む。本発明の表示装置を表示部 9 0 0 7 7 2 に用いた携帯型遊技機は、鮮やかな色彩を表現することができる。

【 0 4 6 9 】

図 5 5 (H) はテレビ受像機能付きデジタルカメラであり、本体 9 0 0 7 8 1、表示部 9 0 0 7 8 2、操作キー 9 0 0 7 8 3、スピーカー 9 0 0 7 8 4、シャッター 9 0 0 7 8 5、受像部 9 0 0 7 8 6、アンテナ 9 0 0 7 8 7 等を含む。

【 0 4 7 0 】

図 5 5 (A) 乃至 (E) に示したように、本発明に係る電子機器は、何らかの情報を表示するための表示部を有することの特徴とする。また、本発明に係る電子機器は、広い視野角を有しており、かつ従来と比べて製造コストが低い液晶表示装置を有している。

30

【 0 4 7 1 】

次に、本発明に係る半導体装置の応用例を説明する。

【 0 4 7 2 】

図 5 6 に、本発明に係る半導体装置を、建造物と一体化して設けた例について示す。図 5 6 は、筐体 9 0 0 8 1 0、表示部 9 0 0 8 1 1、操作部であるリモコン装置 9 0 0 8 1 2、スピーカー部 9 0 0 8 1 3 等を含む。本発明に係る半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

40

【 0 4 7 3 】

図 5 7 に、建造物内に本発明に係る半導体装置を、建造物と一体化して設けた別の例について示す。表示パネル 9 0 0 9 0 1 は、ユニットバス 9 0 0 9 0 2 と一体に取り付けられており、入浴者は表示パネル 9 0 0 9 0 1 の視聴が可能になる。表示パネル 9 0 0 9 0 1 は入浴者が操作することで情報を表示したり、広告や娯楽手段として利用できる機能を有する。

【 0 4 7 4 】

なお、本発明に係る半導体装置は、図 5 7 で示したユニットバス 9 0 0 9 0 2 の側壁だけではなく、様々な場所に設置することができる。たとえば、鏡面の一部や浴槽自体と一体にするなどとしてもよい。このとき、表示パネル 9 0 0 9 0 1 の形状は、鏡面や浴槽の

50

形状に合わせたものとなっていてよい。

【0475】

図58に、本発明に係る半導体装置を、建造物と一体化して設けた別の例について示す。表示パネル901002は、柱状体901001の曲面に合わせて湾曲させて取り付けられている。なお、ここでは柱状体901001を電柱として説明する。

【0476】

図58に示す表示パネル901002は、人間の視点より高い位置に設けられている。電柱のように屋外で繰り返し林立している建造物に表示パネル901002を設置することで、不特定多数の視認者に広告を行なうことができる。ここで、表示パネル901002は、外部からの制御により、同じ画像を表示させること、また、瞬時に画像を切替えることが容易であるため、極めて効率的な情報表示、及び広告効果が期待できる。また、表示パネル901002に自発光型の表示素子を設けることで、夜間であっても、視認性の高い表示媒体として有用であるといえる。また、電柱に設置することで、表示パネル901002の電力供給手段の確保が容易である。また、災害発生時などの非常事態の際には、被災者に素早く正確な情報を伝達する手段ともなり得る。

【0477】

なお、表示パネル901002としては、たとえば、フィルム状の基板に有機トランジスタなどのスイッチング素子を設けて表示素子を駆動することにより画像の表示を行なう表示パネルを用いることができる。

【0478】

なお、本実施形態において、建造物として壁、柱状体、ユニットバスを例としたが、本実施形態はこれに限定されず、様々な建造物に本発明に係る半導体装置を設置することができる。

【0479】

次に、本発明に係る半導体装置を、移動体と一体化して設けた例について示す。

【0480】

図59は、本発明に係る半導体装置を、自動車と一体化して設けた例について示した図である。表示パネル901102は、自動車の車体901101と一体に取り付けられており、車体の動作や車体内外から入力される情報をオンデマンドに表示することができる。また、ナビゲーション機能を有していてもよい。

【0481】

なお、本発明に係る半導体装置は、図59で示した車体901101だけではなく、様々な場所に設置することができる。たとえば、ガラス窓、ドア、ハンドル、シフトレバー、座席シート、ルームミラー等と一体にしてもよい。このとき、表示パネル901102の形状は、設置するもの形状に合わせたものとなっていてよい。

【0482】

図60は、本発明に係る半導体装置を、列車車両と一体化して設けた例について示した図である。

【0483】

図60(a)は、列車車両のドア901201のガラスに表示パネル901202を設けた例について示した図である。従来の紙による広告に比べて、広告切替えの際に必要な人件費がかからないという利点がある。また、表示パネル901202は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、たとえば、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替えることができ、より効果的な広告効果が期待できる。

【0484】

図60(b)は、列車車両のドア901201のガラスの他に、ガラス窓901203、及び天井901204に表示パネル901202を設けた例について示した図である。このように、本発明に係る半導体装置は、従来では設置が困難であった場所に容易に設置することが可能であるため、効果的な広告効果を得ることができる。また、本発明に係る

半導体装置は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、広告切替え時のコストおよび時間が削減でき、より柔軟な広告の運用および情報伝達が可能となる。

【0485】

なお、本発明に係る半導体装置は、図60で示したドア901201、ガラス窓901203、及び天井901204だけではなく、様々な場所に設置することができる。たとえば、つり革、座席シート、てすり、床等と一体にしてもよい。このとき、表示パネル901202の形状は、設置するものの形状に合わせたものとなってもよい。

【0486】

図61は、本発明に係る半導体装置を、旅客用飛行機と一体化して設けた例について示した図である。

10

【0487】

図61(a)は、旅客用飛行機の座席上部の天井901301に表示パネル901302を設けたときの、使用時の形状について示した図である。表示パネル901302は、天井901301とヒンジ部901303を介して一体に取り付けられており、ヒンジ部901303の伸縮により乗客は表示パネル901302の視聴が可能になる。表示パネル901302は乗客が操作することで情報を表示したり、広告や娯楽手段として利用できる機能を有する。また、図61(b)に示すように、ヒンジ部を折り曲げて天井901301に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させることで、情報伝達手段および誘導灯としても利用可能

20

【0488】

なお、本発明に係る半導体装置は、図61で示した天井901301だけではなく、様々な場所に設置することができる。たとえば、座席シート、座席テーブル、肘掛、窓等と一体にしてもよい。また、多数の人が同時に視聴できる大型の表示パネルを、機体の壁に設置してもよい。このとき、表示パネル901302の形状は、設置するものの形状に合わせたものとなってもよい。

【0489】

なお、本実施形態において、移動体としては電車車両本体、自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車(自動車、バス等を含む)、電車(モノレール、鉄道等を含む)、船舶等、様々なものに設置することができる。本発明に係る半導体装置は、外部からの信号により、移動体内における表示パネルの表示を瞬時に切り替えることが可能であるため、移動体に本発明に係る半導体装置を設置することにより、移動体を不特定多数の顧客を対象とした広告表示板、災害発生時の情報表示板、等の用途に用いることが可能となる。

30

【0490】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

40

【0491】

同様に、本実施の形態の各々の図で述べた内容(一部でもよい)は、別の実施の形態の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

【0492】

なお、本実施の形態は、他の実施の形態で述べた内容(一部でもよい)を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを

50

示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【実施例 1】

【0493】

本実施例では、実施の形態 1 の構成を用いて、実際に液晶表示装置を作製する例について、図 14 (A) ~ 図 14 (B)、図 15 (A) ~ 図 15 (D)、図 16 (A) ~ 図 16 (C)、図 17 (A) ~ 図 17 (C)、図 18 を用いて説明する。ただし基本の構成は実施の形態 1 で述べられて構成のみならず、実施の形態 2 の構成、実施の形態 3 の構成、実施の形態 4 の構成、実施の形態 5 の構成、実施の形態 6 の構成のそれぞれの部分を援用して、本実施例を完成させることは可能である。

10

【0494】

すなわち、実施の形態 2 で述べたボトムゲート型 TFT、実施の形態 3 で述べた画素電極を直接島状半導体膜に接続させる構成、実施の形態 4 に述べた電極接続構成、実施の形態 5 の画素電極形状、実施の形態 6 で述べたカラーフィルタなどを、必要に応じて本実施例に組み合わせることができるのは言うまでもない。

【0495】

図 14 (A) に本実施の形態の液晶表示装置の上面図、図 14 (B) に断面図を示す。本実施の形態は、実施の形態 1 に示した構造を有する液晶表示装置の製造方法の一例である。このため、共通電極 (図 1 の導電膜 115 に相当) と画素電極 (図 1 の画素電極 113 及び 114 に相当) の間隔の自由度が向上する。画素電極が有する開口 (図 3 の溝 117 に相当) の配置間隔や開口の幅は、画素電極と共通電極との間の距離によって、最適値が変わってくるため、開口の大きさや幅や間隔も自由に配置することができる。そして、電極間に加わる電界の勾配を制御することができるようになり、例えば基板と平行方向の電界を増やすこと等を容易に行うことができる。すなわち、液晶を用いた表示装置においては、基板と平行に配向している液晶分子 (いわゆるホモジニアス配向) を、基板と平行な方向で制御できるため、最適な電界を加えることで、視野角が広がる。

20

【0496】

まず、図 15 (A) に示すように、基板 800 上に光透過性を有する導電膜 801 を形成する。基板 800 は、ガラス基板、石英基板、アルミナなど絶縁物で形成される基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板、シリコン基板、または金属板である。また、基板 100 は、ステンレスなどの金属または半導体基板などの表面に酸化珪素や窒化珪素などの絶縁膜を形成した基板であってもよい。なお、基板 800 にプラスチック基板を用いる場合、PC (ポリカーボネート)、PES (ポリエーテルサルホン)、PET (ポリエチレンテレフタレート) もしくは PEN (ポリエチレンナフタレート) 等のガラス転移点が比較的高いものを用いることが好ましい。

30

【0497】

また、導電膜 801 は、例えばインジウム錫酸化物 (Indium Tin Oxide (ITO)) 膜、Si 元素を含むインジウム錫酸化物膜、酸化インジウムにさらに 2 ~ 20 wt % の酸化亜鉛 (ZnO) を混合したターゲットを用いて形成された材料 (本明細書では「IZO (Indium Zinc Oxide)」ともいう) を用いた膜である。

40

【0498】

次いで、導電膜 801 上及び基板 800 上に下地膜として絶縁膜 802 を形成する。絶縁膜 802 は、例えば窒化珪素膜上に酸化珪素膜を積層したものであるが、他の絶縁物 (例えば窒素を含む酸化珪素膜、または酸素を含む窒化珪素膜であってもよい)。

【0499】

ここで、酸化珪素膜や窒素を含む酸化珪素膜などからなる絶縁膜 802 の表面に高密度プラズマによる窒化処理を行うことによって、絶縁膜 802 の表面に窒化珪素膜を形成してもよい。

【0500】

高密度プラズマは、例えば 2 . 45 GHz のマイクロ波を用いることによって生成され

50

、電子密度が $1 \times 10^{11} \sim 1 \times 10^{13} / \text{cm}^3$ かつ電子温度が 2 eV 以下、イオンエネルギーが 5 eV 以下のものであるとする。このような高密度プラズマは活性種の運動エネルギーが低く、従来のプラズマ処理と比較してプラズマによるダメージが少なく、欠陥の少ない膜を形成することができる。マイクロ波を発生するアンテナから絶縁膜 802 までの距離は $20 \sim 80 \text{ mm}$ 、好ましくは $20 \sim 60 \text{ mm}$ とするとよい。

【0501】

窒素雰囲気、例えば窒素と希ガスを含む雰囲気下、または窒素と水素と希ガスを含む雰囲気下、またはアンモニアと希ガスを含む雰囲気下において、上記高密度プラズマ処理を行うことによって絶縁膜 802 の表面を窒化することができる。

【0502】

窒化珪素膜は基板 800 からの不純物の拡散を抑制することができ、また上記高密度プラズマ処理によって極めて薄く形成できるため、その上に形成される半導体膜への応力の影響を少なくできる。

【0503】

次いで、図 15 (B) に示すように、絶縁膜 802 上に、半導体膜 803 として、結晶性半導体膜（例えば多結晶珪素膜）を形成する。結晶性半導体膜の形成方法としては、絶縁膜 802 上に直接結晶性半導体膜を形成する方法、及び、絶縁膜 802 上に非晶質半導体膜を形成した後に結晶化させる方法が挙げられる。

【0504】

非晶質半導体膜を結晶化させる方法としては、レーザー光を照射する方法、半導体膜の結晶化を助長させる元素（例えばニッケル等の金属元素）を用いて加熱して結晶化させる方法、又は、半導体膜の結晶化を助長させる元素を用いて加熱して結晶化させた後、レーザー光を照射する方法を用いることができる。もちろん前記元素を用いずに非晶質半導体膜を熱結晶化させる方法を用いることもできる。ただし基板が石英基板、シリコンウエハなど高温に耐えられるものに限られる。

【0505】

レーザー照射を用いる場合、連続発振型のレーザービーム（CWレーザービーム）やパルス発振型のレーザービーム（パルスレーザービーム）を用いることができる。ここで用いることができるレーザービームは、Ar レーザー、Kr レーザー、エキシマレーザーなどの気体レーザー、単結晶の YAG、YVO₄、フォルステライト（Mg₂SiO₄）、YAlO₃、GdVO₄、若しくは多結晶（セラミック）の YAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄ に、ドーパントとして Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta のうち 1 種または複数種添加されているものを媒質とするレーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、Ti：サファイアレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち 1 種または複数種から発振されるものを用いることができる。このようなレーザービームの基本波、及びこれらの基本波の第 2 高調波から第 4 高調波のレーザービームを照射することで、大粒径の結晶を得ることができる。例えば、Nd：YVO₄ レーザー（基本波 1064 nm ）の第 2 高調波（ 532 nm ）や第 3 高調波（ 355 nm ）を用いることができる。このときレーザーのエネルギー密度は $0.01 \sim 100 \text{ MW/cm}^2$ 程度（好ましくは $0.1 \sim 10 \text{ MW/cm}^2$ ）が必要である。そして、走査速度を $10 \sim 2000 \text{ cm/sec}$ 程度として照射する。

【0506】

なお、単結晶の YAG、YVO₄、フォルステライト（Mg₂SiO₄）、YAlO₃、GdVO₄、若しくは多結晶（セラミック）の YAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄ に、ドーパントとして Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta のうち 1 種または複数種添加されているものを媒質とするレーザー、Ar イオンレーザー、または Ti：サファイアレーザーは、連続発振をさせることが可能であり、Q スイッチ動作やモード同期などを行うことによって 10 MHz 以上の発振周波数でパルス発振をさせることも可能である。 10 MHz 以上の発振周波数でレーザービームを発振させると、半導体膜がレーザーによって溶融してから固化するまでの間に、次のパルスが半導体膜に

10

20

30

40

50

照射される。従って、発振周波数が低いパルスレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0507】

媒質としてセラミック（多結晶）を用いると、短時間かつ低コストで自由な形状に媒質を形成することが可能である。単結晶を用いる場合、通常、直径数mm、長さ数十mmの円柱状の媒質が用いられているが、セラミックを用いる場合はさらに大きいものを作ることが可能である。

【0508】

発光に直接寄与する媒質中のNd、Ybなどのドーパントの濃度は、単結晶中でも多結晶中でも大きくは変えられないため、濃度を増加させることによるレーザーの出力向上にはある程度限界がある。しかしながら、セラミックの場合、単結晶と比較して媒質の大きさを著しく大きくすることができるため大幅な出力を向上させることが可能となる。

【0509】

さらに、セラミックの場合では、平行六面体形状や直方体形状の媒質を容易に形成することが可能である。このような形状の媒質を用いて、発振光を媒質の内部でジグザグに進行させると、発振光路を長くとることができる。そのため、増幅が大きくなり、大出力で発振させることが可能になる。また、このような形状の媒質から射出されるレーザービームは射出時の断面形状が四角形状であるため、丸状のビームと比較すると、線状ビームに整形するのに有利である。このように射出されたレーザービームを、光学系を用いて整形することによって、短手の長さ1mm以下、長手の長さ数mm～数mの線状ビームを容易に得ることが可能となる。また、励起光を媒質に均一に照射することにより、線状ビームは長手方向にエネルギー分布の均一なものとなる。

【0510】

この線状ビームを半導体膜に照射することによって、半導体膜の全面をより均一にアニールすることが可能になる。線状ビームの両端まで均一なアニールが必要な場合は、その両端にスリットを配置し、エネルギーの減衰部を遮光するなどの工夫が必要となる。

【0511】

このようにして得られた強度が均一な線状ビームを用いて半導体膜をアニールし、この半導体膜を用いて電子機器を作製すると、その電子機器の特性は、良好かつ均一である。

【0512】

非晶質半導体膜の結晶化を助長させる元素を用いて加熱して結晶化させる方法としては、非晶質半導体膜（アモルファスシリコン膜とも呼ばれる）に対して結晶化を助長する金属元素を添加し、加熱処理を行うことで添加領域を起点として非晶質半導体膜を結晶化させるものである。

【0513】

また、加熱処理の代わりに強光の照射を行うことにより、非晶質半導体膜の結晶化を行うこともできる。この場合、赤外光、可視光、または紫外光のいずれか一またはそれらの組み合わせを用いることが可能であるが、代表的には、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いる。ランプ光源を1～60秒、好ましくは30～60秒点灯させ、それを1回～10回、好ましくは2～6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的に600～1000程度にまで加熱されるようにする。なお、必要であれば、強光を照射する前に非晶質構造を有する非晶質半導体膜に含有する水素を放出させる熱処理を行ってもよい。また、加熱処理と強光の照射の双方を行うことにより結晶化を行ってもよい。

【0514】

加熱処理後に結晶性半導体膜の結晶化率（膜の全体積における結晶成分の割合）を高め、結晶粒内に残される欠陥を補修するために、結晶性半導体膜に対してレーザー光を大気または酸素雰囲気中で照射してもよい。レーザー光としては、上述したものを用いることが

可能である。

【0515】

また、添加した元素を結晶性半導体膜から除去することが必要であるが、その方法を以下に説明する。

【0516】

まずオゾン含有水溶液（代表的にはオゾン水）で結晶性半導体膜の表面を処理することにより、結晶性半導体膜の表面に酸化膜（ケミカルオキサイドと呼ばれる）からなるバリア層を1nm～10nmの厚さで形成する。バリア層は、後の工程でゲッターリング層のみを選択的に除去する際にエッチングストッパーとして機能する。

【0517】

10

次いで、バリア層上に希ガス元素を含むゲッターリング層をゲッターリングサイトとして形成する。ここでは、CVD法又はスパッタリング法により希ガス元素を含む半導体膜をゲッターリング層として形成する。ゲッターリング層を形成するときには、希ガス元素がゲッターリング層に添加されるようにスパッタリング条件を適宜調節する。希ガス元素としては、ヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）から選ばれた一種または複数種を用いる。

【0518】

なお、不純物元素であるリンを含む原料ガスを用いた場合やリンを含むターゲットを用いてゲッターリング層を形成した場合、希ガス元素によるゲッターリングに加え、リンのクーロン力を利用してゲッターリングを行うことができる。

20

また、ゲッターリングの際、金属元素（例えばニッケル）は酸素濃度の高い領域に移動しやすい傾向があるため、ゲッターリング層に含まれる酸素濃度は、例えば $5 \times 10^{18} \text{ cm}^{-3}$ 以上とすることが望ましい。

【0519】

次いで結晶性半導体膜、バリア層およびゲッターリング層に熱処理（例えば加熱処理または強光を照射する処理）を行って、金属元素（例えばニッケル）のゲッターリングを行い、結晶性半導体膜中における金属元素を低濃度化し、又は除去する。

【0520】

次いでバリア層をエッチングストッパーとして公知のエッチング方法を行い、ゲッターリング層のみを選択的に除去する。その後酸化膜からなるバリア層を、例えばフッ酸を含むエッチャントにより除去する。

30

【0521】

ここで、作製されるTFETのしきい値特性を考慮して不純物イオンをドーピングしてもよい。

【0522】

次いで、半導体膜803上にフォトレジスト膜（図示せず）を塗布法により塗布し、このフォトレジスト膜を露光及び現像する。塗布法とはスピンコート法、スプレー法、スクリーン印刷法、ペイント法などのことである。これにより、半導体膜803上にはレジストが形成される。次いで、このレジストをマスクとして半導体膜803をエッチングする。これにより、絶縁膜802上には、薄膜トランジスタが形成される島状半導体膜872、873、874が形成される。

40

【0523】

次いで、島状半導体膜872～874の表面をフッ酸含有エッチャントなどで洗浄した後、島状半導体膜872～874上にゲート絶縁膜804を10nm～200nmの厚さで形成する。ゲート絶縁膜804は、珪素を主成分とする絶縁膜、例えば酸化珪素膜、窒化珪素膜、窒素を含む酸化珪素膜、酸素を含む窒化珪素膜などで形成される。また単層であっても積層膜であってもよい。なお、絶縁膜802上にもゲート絶縁膜804が形成される。

【0524】

ゲート絶縁膜804形成後、ゲート電極865、866、867、868、及び電極8

50

69の形成、並びに、不純物領域807a、807b、808a、808b、809a、809b、810a、810b、813a、813b、813c、814a、814b、814c、814d、チャネル形成領域895、896、897(897a、897b)の形成を行う(図15(C)参照)。

【0525】

TFT827のゲート電極865は、下層ゲート電極805a及び上層ゲート電極806aを有している。TFT829のゲート電極866は、下層ゲート電極805b及び上層ゲート電極806bを有している。TFT825のゲート電極867は、下層ゲート電極805c及び上層ゲート電極806cを有しており、ゲート電極868は、下層ゲート電極805d及び上層ゲート電極806dを有している。

10

【0526】

また電極869は、下層電極861及び上層電極862を有している。

【0527】

不純物領域807a及び807bのそれぞれは、TFT827のソース領域またはドレイン領域であり、不純物領域808a及び808bは、TFT827の低濃度不純物領域である。不純物領域808a及び808bの間にはチャネル形成領域895が位置している。

【0528】

不純物領域809a及び809bのそれぞれは、TFT829のソース領域またはドレイン領域であり、不純物領域810a及び810bは、TFT829の低濃度不純物領域である。不純物領域810a及び810bの間にはチャネル形成領域896が位置している。

20

【0529】

不純物領域813a及び813cのそれぞれは、TFT825のソース領域またはドレイン領域であり、不純物領域813は、不純物領域813a及び813cのそれぞれと同じ工程で形成されている。不純物領域814a、814b、814c、814dは、TFT825の低濃度不純物領域である。不純物領域814a及び814bの間にはチャネル形成領域897a、不純物領域814c及び814dの間にはチャネル形成領域897bが位置している。

【0530】

30

本実施例において、不純物領域809a~809b、810a~810b、813a~813c、814a~814dは、n型不純物領域であり、n型を付与する不純物元素、例えばリン(P)やヒ素(As)を含んでいる。不純物領域809a~809b、813a~813cは高濃度不純物領域でもあり、それぞれ、低濃度不純物領域である不純物領域810a~810b、814a~814dそれぞれよりも不純物濃度が高い。

【0531】

また本実施例において、不純物領域807a~807b、808a~808bは、p型不純物領域であり、p型を付与する不純物元素、例えばホウ素(B)を含んでいる。不純物領域807a~807bは高濃度不純物領域でもあり、それぞれ、低濃度不純物領域である不純物領域808a~808bそれぞれよりも不純物濃度が高い。

40

【0532】

すなわち、TFT829及び825はnチャネル型TFTであり、TFT827はpチャネル型TFTである。

【0533】

ゲート電極865~868及び電極869の作製方法について以下に説明する。

【0534】

ゲート絶縁膜804を形成後、ゲート絶縁膜804を洗浄する。次いでゲート絶縁膜804上に、第1の導電膜及び第2の導電膜を、この順に形成する。第1の導電膜は、例えばタンゲステン膜であり、第2の導電膜は窒化タンタル膜である。

【0535】

50

次いで、第2の導電膜上にフォトリソ膜を塗布し、このフォトリソ膜を露光及び現像する。これにより、第2の導電膜上にはレジストが形成される。次いで、このレジストをマスクとして、第1の導電膜及び第2の導電膜を第1の条件でエッチングし、さらに、第2の導電膜を第2の条件でエッチングする。これにより、島状半導体膜872上には下層ゲート電極805a及び上層ゲート電極806a、島状半導体膜873上には下層ゲート電極805b及び上層ゲート電極806b、島状半導体膜874上には下層ゲート電極805c及び上層ゲート電極806c、並びに下層ゲート電極805d及び上層ゲート電極806dが形成される。

【0536】

下層ゲート電極805a～805dそれぞれの側面の傾斜角は、上層ゲート電極806a～806dそれぞれの側面の傾斜角より緩やかである。

10

【0537】

また、下層電極861及び上層電極862が同時に形成される。

【0538】

その後、フォトリソ膜を除去する。

【0539】

不純物領域807a、807b、808a、808b、809a、809b、810a、810b、813a、813b、813c、814a、814b、814c、814dは、ゲート電極865～868をマスクとして自己整合的に不純物を導入して形成してもよいし、レジストマスクを用いて不純物元素を導入して形成してもよい。

20

【0540】

その後、ほぼ全面を覆う絶縁膜（図示せず）を形成する。この絶縁膜は、例えば酸化珪素膜であり、プラズマCVD法により形成される。

【0541】

次いで、島状半導体膜872～874に熱処理を行い、それぞれに添加された添加された不純物元素を活性化する。この熱処理は、ランプ光源を用いたラビッドサーマルアニール法（RTA法）、或いはYAGレーザーまたはエキシマレーザーを裏面から照射する方法、或いは炉を用いた熱処理、或いはこれらの方法を複数組み合わせた方法による処理である。

30

【0542】

上記した熱処理により、不純物元素が活性化すると同時に、島状半導体膜873～874を結晶化する際に触媒として使用した元素（例えばニッケル等の金属元素）が、高濃度の不純物（例えばリン）を含む不純物領域809a～809b、813a～813cにゲッタリングされ、島状半導体膜873、874のうち主にチャネル形成領域896、897a～897bとなる部分中のニッケル濃度が低減する。その結果、チャネル形成領域の結晶性がよくなる。従って、TFTのオフ電流値は下がり、かつ高い電界効果移動度が得られる。このようにして、良好な特性を有するTFTが得られる。

【0543】

次いで、島状半導体膜872～874の上方を含む全面上に、絶縁膜815を形成する。絶縁膜815は、例えば窒化珪素膜であり、プラズマCVD法により形成される。

40

【0544】

次いで、絶縁膜815上に、層間絶縁膜816となる平坦化膜を形成する。層間絶縁膜816としては、透光性を有する無機材料（酸化珪素、窒化珪素、酸素を含む窒化珪素など）、感光性または非感光性の有機材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン）、またはこれらの積層などを用いる。また、平坦化膜に用いる他の透光性を有する膜としては、塗布法によって得られるアルキル基を含むSiO_x膜からなる絶縁膜、例えばシリカガラス、アルキルシロキサンポリマー、アルキルシルセスキオキサンポリマー、水素化シルセスキオキサンポリマー、水素化アルキルシルセスキオキサンポリマーなどを用いて形成された絶縁膜を用いることができる。シロキサン系ポリマーの一例としては、東レ製塗布絶縁膜材料であるPSB-K1、P

50

S B - K 3 1 や触媒化成製塗布絶縁膜材料である Z R S - 5 P H が挙げられる。層間絶縁膜 8 1 6 は単層膜であっても多層膜であってもよい。

【 0 5 4 5 】

次いで、層間絶縁膜 8 1 6 上にフォトリジスト膜（図示せず）を塗布し、このフォトリジスト膜を露光及び現像する。これにより、層間絶縁膜 8 1 6 上にはレジストが形成される。次いで、このレジストをマスクとして層間絶縁膜 8 1 6、絶縁膜 8 1 5、及びゲート絶縁膜 8 0 4 をエッチングする。これにより、層間絶縁膜 8 1 6、絶縁膜 8 1 5、及びゲート絶縁膜 8 0 4 には、コンタクトホール 8 1 7 a、8 1 7 b、8 1 7 c、8 1 7 d、8 1 7 e、8 1 7 f、8 1 7 g、8 1 7 h が形成される（図 1 6（A）参照）。

【 0 5 4 6 】

コンタクトホール 8 1 7 a は、不純物領域 8 0 7 a 上に位置しており、コンタクトホール 8 1 7 b は、不純物領域 8 0 7 b 上に位置している。コンタクトホール 8 1 7 c は、不純物領域 8 0 9 a 上に位置しており、コンタクトホール 8 1 7 d は、不純物領域 8 0 9 b 上に位置している。コンタクトホール 8 1 7 e は、不純物領域 8 1 3 a 上に位置しており、コンタクトホール 8 1 7 f は、不純物領域 8 1 3 c 上に位置している。コンタクトホール 8 1 7 g は導電膜 8 0 1 上に位置しており、コンタクトホール 8 1 7 h は電極 8 6 9 上に位置している。

【 0 5 4 7 】

その後、レジストを除去する。

【 0 5 4 8 】

次いで、図 1 6（B）に示すように、コンタクトホール 8 1 7 a ~ 8 1 7 h それぞれの中、及び層間絶縁膜 8 1 6 上に、第 1 の導電膜 8 7 5 を形成する。第 1 の導電膜 8 7 5 は透光性を有する導電膜であり、例えばインジウム錫酸化物膜、珪素を含むインジウム錫酸化物や、酸化インジウムに更に 2 ~ 2 0 w t % の酸化亜鉛を混合したターゲットを用いて形成された導電膜である。次いで、第 1 の導電膜 8 7 5 上に第 2 の導電膜 8 7 6 を形成する。第 2 の導電膜 8 7 6 は例えば金属膜である。

【 0 5 4 9 】

次いで、第 2 の導電膜 8 7 6 上にフォトリジスト膜 8 2 0 を塗布する。次いで、フォトリジスト膜 8 2 0 の上方に、レチクル 8 4 0 を配置する。レチクル 8 4 0 は、ガラス基板上に半透膜 8 4 2 a、8 4 2 b、8 4 2 c、8 4 2 d、8 4 2 e、8 4 2 f、8 4 2 g を形成し、さらに半透膜 8 4 2 a ~ 8 4 2 g それぞれの上に、遮光 8 4 1 a、8 4 1 b、8 4 1 c、8 4 1 d、8 4 1 e、8 4 1 f、8 4 1 g を形成したものである。半透膜 8 4 2 a 及び遮光 8 4 1 a はコンタクトホール 8 1 7 a の上方に位置し、半透膜 8 4 2 b 及び遮光 8 4 1 b はコンタクトホール 8 1 7 b 及びコンタクトホール 8 1 7 c の上方に位置し、半透膜 8 4 2 c 及び遮光 8 4 1 c はコンタクトホール 8 1 7 c の上方に位置し、半透膜 8 4 2 d 及び遮光 8 4 1 d はコンタクトホール 8 1 7 d の上方に位置し、半透膜 8 4 2 e 及び遮光 8 4 1 e はコンタクトホール 8 1 7 e の上方に位置し、半透膜 8 4 2 f 及び遮光 8 4 1 f はコンタクトホール 8 1 7 f の上方に位置し、半透膜 8 4 2 g 及び遮光 8 4 1 g はコンタクトホール 8 1 7 g 及び 8 1 7 h の上方に位置している。

【 0 5 5 0 】

次いで、レチクル 8 4 0 をマスクとして、フォトリジスト膜 8 2 0 を露光する。これにより、フォトリジスト膜 8 2 0 は、遮光 8 4 1 a ~ 8 4 1 g の下方に位置する部分、及び半透膜 8 4 2 a ~ 8 4 2 g の下方に位置する部分の下層を除いて感光する。なお、領域 8 2 1 a、8 2 1 b、8 2 1 c、8 2 1 d、8 2 1 e、8 2 1 f、8 2 1 g は、感光していない領域を示している。

【 0 5 5 1 】

次いで、図 1 7（A）に示すように、フォトリジスト膜 8 2 0 を現像する。これにより、フォトリジスト膜 8 2 0 のうち感光している部分が除去され、レジスト 8 2 2 a、8 2 2 b、8 2 2 c、8 2 2 d、8 2 2 e、8 2 2 f、8 2 2 g が形成される。レジスト 8 2 2 a はコンタクトホール 8 1 7 a の上方に位置している。レジスト 8 2 2 b はコンタクト

10

20

30

40

50

ホール 8 1 7 b の上方に位置している。レジスト 8 2 2 c はコンタクトホール 8 1 7 c の上方に位置している。レジスト 8 2 2 d はコンタクトホール 8 1 7 d の上方に位置している。レジスト 8 2 2 e はコンタクトホール 8 1 7 e の上方に位置している。レジスト 8 2 2 f はコンタクトホール 8 1 7 f の上方に位置している。レジスト 8 2 2 g はコンタクトホール 8 1 7 g 及び 8 1 7 h の上方に位置している。

【 0 5 5 2 】

次いで、図 1 7 (B) に示すように、レジスト 8 2 2 a ~ 8 2 2 g をマスクとして第 1 の導電膜 8 7 5 及び第 2 の導電膜 8 7 6 をエッチングする。これにより、レジスト 8 2 2 a ~ 8 2 2 g に覆われていない領域からは、第 1 の導電膜 8 7 5 及び第 2 の導電膜 8 7 6 が除去される。

10

【 0 5 5 3 】

その後、レジスト 8 2 2 a ~ 8 2 2 g を除去する。

【 0 5 5 4 】

このようにして、一枚のレジスト及び一回のエッチング処理によって、下層電極 8 2 4 a 及び上層電極 8 2 3 a を有する電極 8 8 1、下層電極 8 2 4 b 及び上層電極 8 2 3 b を有する電極 8 8 2、下層電極 8 2 4 c 及び上層電極 8 2 3 c を有する電極 8 8 3、下層電極 8 2 4 d 及び上層電極 8 2 3 d を有する電極 8 8 4、下層電極 8 2 4 e 及び上層電極 8 2 3 e を有する電極 8 8 5、下層電極 8 2 4 f 及び上層電極 8 2 3 f を有する電極 8 8 6、下層電極 8 6 3 及び上層電極 8 6 4 を有する電極 8 8 7 が形成される。

20

【 0 5 5 5 】

電極 8 8 1 ~ 8 8 7 は、配線を別に形成して電氣的に接続させてもよいし、配線として形成してもよい。その場合は配線 8 8 1 ~ 8 8 7 となる。

【 0 5 5 6 】

電極 8 8 1 は不純物領域 8 0 7 a、電極 8 8 2 は不純物領域 8 0 7 b、電極 8 8 3 は不純物領域 8 0 9 a、電極 8 8 4 は不純物領域 8 0 9 b、電極 8 8 5 は不純物領域 8 1 3 a、電極 8 8 6 は不純物領域 8 1 3 c と電氣的に接続されている。また電極 8 8 7 は、導電膜 8 0 1 と電極 8 6 9 を電氣的に接続している。

【 0 5 5 7 】

次いで層間絶縁膜 8 1 6 及び電極 8 8 1 ~ 8 8 7 上に、層間絶縁膜 8 4 5 を形成する (図 1 7 (C) 参照)。層間絶縁膜 8 4 5 は層間絶縁膜 8 1 6 と同様の材料で形成すればよい。

30

【 0 5 5 8 】

次いで層間絶縁膜 8 4 5 中に、電極 8 8 6 に到達するコンタクトホールを形成し、コンタクトホールを介して電極 8 8 6 に電氣的に接続する、画素電極 8 9 1 (8 9 1 a、8 9 1 b、8 9 1 c、8 9 1 d、...) を形成する (図 1 8 参照)。画素電極 8 9 1 は透光性を有する材料で形成すればよく、導電膜 8 7 5 と同様の材料を用いればよい。画素電極 8 9 1 には溝 8 9 2 (8 9 2 a、8 9 2 b、8 9 2 c、...) が形成されており、画素電極 8 9 1 及び溝 8 9 2 の形状は、図 4、図 7、図 8 (A) ~ 図 8 (D)、図 9 (A) ~ 図 9 (D) を参考にすればよい。

【 0 5 5 9 】

その後、第 1 の配向膜 8 2 6 を形成する。このようにして、アクティブマトリクス基板が形成される。

40

【 0 5 6 0 】

なお、T F T 8 2 7 及び 8 2 9 は、ゲート信号線駆動回路 8 5 4 に形成されている。図 1 4 (B) ではそれぞれ独立した T F T で示されているが、電極 8 8 2 と 8 8 3 を電氣的に接続して、T F T 8 2 7 及び 8 2 9 を C M O S 回路として形成してもよい。

【 0 5 6 1 】

また、アクティブマトリクス基板と外部とを接続する第 1 の端子電極 8 3 8 a 及び第 2 の端子電極 8 3 8 b (図 1 4 (B) に図示) が形成される。

【 0 5 6 2 】

50

その後、図 1 4 (A) の平面図及び図 1 4 (B) の K - L 断面図に示すように、アクティブマトリクス基板上にアクリル樹脂膜等の有機樹脂膜を形成し、この有機樹脂膜を、マスク膜を用いたエッチングにより選択的に除去する。これにより、アクティブマトリクス基板上には、柱状のスペーサ 8 3 3 が形成される。次いで、封止領域 8 5 3 にシール材 8 3 4 を形成した後、アクティブマトリクス基板上に液晶を滴下する。液晶を滴下する前に、シール材上に、シール材と液晶が反応することを防ぐ保護膜を形成してもよい。

【 0 5 6 3 】

その後、アクティブマトリクス基板に対向する位置に、カラーフィルタ 8 3 2 及び第 2 の配向膜 8 3 1 が形成された対向基板 8 3 0 を配置し、これら 2 つの基板をシール材 8 3 4 で張り合わせる。このとき、スペーサ 8 3 3 によって、アクティブマトリクス基板と対向基板 8 3 0 は、均一な間隔を持って貼り合わせられる。次いで、封止材 (図示せず) を用いて、両基板の間を完全に封止する。このようにしてアクティブマトリクス基板と対向基板の間には液晶 8 4 6 が封止される。

10

【 0 5 6 4 】

次いで、必要に応じて、アクティブマトリクス基板または対向基板もしくは双方の基板を、所望の形状に分断する。さらに、偏光板 8 3 5 a、8 3 5 b を設ける。なお基板 8 0 0 と偏光板 8 3 5 a との間、並びに、対向基板 8 3 0 と偏光板 8 3 5 b との間に位相差板を設けてもよい。さらに位相差板は、基板と偏光板との間ではなく、偏光板 8 3 5 a 及び 8 3 5 b の、基板と接している面とは逆側の面に配置してもよい。

20

【 0 5 6 5 】

次いで、フレキシブルプリント基板 (Flexible Print Circuit : 以下 F P C と記載) 8 3 7 を、異方性導電膜 8 3 6 を介して、外部端子接続領域 8 5 2 に配置された第 2 の端子電極 8 3 8 b に接続する。

【 0 5 6 6 】

このようにして形成された液晶モジュールの構成を説明する。アクティブマトリクス基板の中央には、画素領域 8 5 6 が配置されている。画素領域 8 5 6 には複数の画素が形成されている。図 1 4 (A) において、画素領域 8 5 6 の上下それぞれには、ゲート信号線を駆動するためのゲート信号線駆動回路 8 5 4 が配置されている。また、画素領域 8 5 6 と F P C 8 3 7 の間に位置する領域には、ソース信号線を駆動するためのソース信号線駆動回路 8 5 7 が配置されている。ゲート信号線駆動回路 8 5 4 は片側のみの配置でも良く、液晶モジュールにおける基板サイズ等を考慮して、設計者が適宜選択すれば良い。ただし、回路の動作信頼性や駆動効率等を考えると、画素領域 8 5 6 を挟んで対称に配置されるのが望ましい。そして各駆動回路への信号の入力は、F P C 8 3 7 から行われる。

30

【 実施例 2 】

【 0 5 6 7 】

実施例 1 に係る液晶表示モジュールについて、図 1 9 (A) ~ 図 1 9 (B) 及び図 2 0 (A) ~ 図 2 0 (B) の各図を用いて説明する。各図において、画素部 9 3 0 の構成は、実施例 1 で示した画素領域 8 5 6 の構成と同様であり、基板 1 0 0 上に複数の画素が形成されている。

【 0 5 6 8 】

図 1 9 (A) は液晶表示モジュールの平面図であり、図 1 9 (B) はソースドライバ (ソース信号線駆動回路ともいう) 9 1 0 の回路構成を説明する為の図である。図 1 9 (A) に示すようにゲートドライバ (ゲート信号線駆動回路ともいう) 9 2 0 及びソースドライバ 9 1 0 の双方が、画素部 9 3 0 と同一の基板 1 0 0 上に一体的に形成されている。ソースドライバ 9 1 0 は、図 1 9 (B) に示すように、入力されたビデオ信号をいずれのソース信号線に伝達するかを制御する複数の薄膜トランジスタ 9 1 2 と、複数の薄膜トランジスタ 9 1 2 を制御するシフトレジスタ 9 1 1 とを有している。

40

【 0 5 6 9 】

図 2 0 (A) は液晶表示モジュールの平面図であり、図 2 0 (B) は複数のアナログスイッチ T F T 9 4 0 の回路構成を説明する為の図である。図 2 0 (A) に示すように、基

50

板 1 0 0 上に形成された複数のアナログスイッチ T F T 9 4 0 と、基板 1 0 0 とは別体の I C 9 5 0 とで構成されている。I C 9 5 0 と複数のアナログスイッチ T F T 9 4 0 とは、例えば F P C 9 6 0 で電氣的に接続されている。

【 0 5 7 0 】

I C 9 5 0 は、例えば単結晶珪素基板を用いて形成されており、複数のアナログスイッチ T F T 9 4 0 を制御し、かつ複数のアナログスイッチ T F T 9 4 0 にビデオ信号を入力する。複数のアナログスイッチ T F T 9 4 0 は、I C からの制御信号に基づいて、いずれのソース信号線にビデオ信号を伝達するかを制御する。

【 0 5 7 1 】

本発明により、広い視野角を有しており、かつ従来と比べて製造コストが低い液晶表示装置を提供することができる。

10

【 0 5 7 2 】

本発明では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高い液晶表示装置を得ることが可能となる。

【 0 5 7 3 】

また本発明においては、トップゲート型薄膜トランジスタを有する液晶表示装置を作製した場合、バックゲートの電位が安定するので、信頼性の高い液晶表示装置を得ることができる。

【 実施例 3 】

20

【 0 5 7 4 】

本発明を電子機器に応用した例について、図 2 1 (A) ~ 図 2 1 (H) を参照しつつ説明する。この電子機器は、上記したいずれかの実施形態及び実施例で示した表示装置又は表示モジュールを搭載したものである。

【 0 5 7 5 】

この電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には D i g i t a l V e r s a t i l e D i s c (D V D) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図 2 1 (A) ~ 図 2 1 (H) に示す。

30

【 0 5 7 6 】

図 2 1 (A) はテレビ受像器又はパーソナルコンピュータのモニターである。筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3、スピーカ部 2 0 0 4、ビデオ入力端子 2 0 0 5 等を含む。表示部 2 0 0 3 には、上記したいずれかの実施の形態または実施例で示した表示装置又は表示モジュールが用いられている。本発明のモニターは、広い視野角を有しており、かつ従来と比べて製造コストを低くすることができる。また本発明のモニターの表示部では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高いモニターを得ることが可能となる。また本発明のモニターにおいては、トップゲート型薄膜トランジスタを有する表示部を作製した場合、バックゲートの電位が安定するので、信頼性の高いモニターを得ることができる。

40

【 0 5 7 7 】

図 2 1 (B) はデジタルカメラである。本体 2 1 0 1 の正面部分には受像部 2 1 0 3 が設けられており、本体 2 1 0 1 の上面部分にはシャッター 2 1 0 6 が設けられている。また、本体 2 1 0 1 の背面部分には、表示部 2 1 0 2、操作キー 2 1 0 4、及び外部接続ポート 2 1 0 5 が設けられている。表示部 2 1 0 2 には、上記したいずれかの実施の形態または実施例で示した表示装置又は表示モジュールが用いられている。本発明のデジタルカメラは、広い視野角を有しており、かつ従来と比べて製造コストを低くすることができる。また本発明のデジタルカメラの表示部では、導電膜を基板全面に形成するので、基板か

50

らの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高いデジタルカメラを得ることが可能となる。また本発明のデジタルカメラにおいては、トップゲート型薄膜トランジスタを有する表示部を作製した場合、バックゲートの電位が安定するので、信頼性の高いデジタルカメラを得ることができる。

【 0 5 7 8 】

図 2 1 (C) はノート型パーソナルコンピュータである。本体 2 2 0 1 には、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 が設けられている。また、本体 2 2 0 1 には、表示部 2 2 0 3 を有する筐体 2 2 0 2 が取り付けられている。表示部 2 2 0 3 には、上記したいずれかの実施の形態または実施例で示した表示装置又は表示モジュールが用いられている。本発明のコンピュータは、広い視野角を有しており、かつ従来と比べて製造コストを低くすることができる。また本発明のコンピュータの表示部では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高いコンピュータを得ることが可能となる。また本発明のコンピュータにおいては、トップゲート型薄膜トランジスタを有する表示部を作製した場合、バックゲートの電位が安定するので、信頼性の高いコンピュータを得ることができる。

10

【 0 5 7 9 】

図 2 1 (D) はモバイルコンピュータであり、本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含む。表示部 2 3 0 2 にはアクティブマトリクス表示装置が設けられている。表示部 2 3 0 2 には、上記したいずれかの実施の形態または実施例で示した表示装置又は表示モジュールが用いられている。本発明のコンピュータは、広い視野角を有しており、かつ従来と比べて製造コストを低くすることができる。また本発明のコンピュータの表示部では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高いコンピュータを得ることが可能となる。また本発明のコンピュータにおいては、トップゲート型薄膜トランジスタを有する表示部を作製した場合、バックゲートの電位が安定するので、信頼性の高いコンピュータを得ることができる。

20

【 0 5 8 0 】

図 2 1 (E) は画像再生装置である。本体 2 4 0 1 には、表示部 B 2 4 0 4、記録媒体読み込み部 2 4 0 5 及び操作キー 2 4 0 6 が設けられている。また、本体 2 4 0 1 には、スピーカ部 2 4 0 7 及び表示部 A 2 4 0 3 それぞれを有する筐体 2 4 0 2 が取り付けられている。表示部 A 2 4 0 3 及び表示部 B 2 4 0 4 それぞれには、上記したいずれかの実施の形態または実施例で示した表示装置又は表示モジュールが用いられている。本発明の画像再生装置は、広い視野角を有しており、かつ従来と比べて製造コストを低くすることができる。また本発明の画像再生装置の表示部では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高い画像再生装置を得ることが可能となる。また本発明の画像再生装置においては、トップゲート型薄膜トランジスタを有する表示部を作製した場合、バックゲートの電位が安定するので、信頼性の高い画像再生装置を得ることができる。

30

【 0 5 8 1 】

図 2 1 (F) は電子書籍である。本体 2 5 0 1 には操作キー 2 5 0 3 が設けられている。また、本体 2 5 0 1 には複数の表示部 2 5 0 2 が取り付けられている。表示部 2 5 0 2 には、上記したいずれかの実施の形態または実施例で示した表示装置又は表示モジュールが用いられている。本発明の電子書籍は、広い視野角を有しており、かつ従来と比べて製造コストを低くすることができる。また本発明の電子書籍の表示部では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高い電子書籍を得ることが可能となる。また本発明の電子書籍においては、トップゲート型薄膜トランジスタを有する表示部を作製した場合、バックゲートの電位が安定するので、信頼性の高い電子書籍を得ることができる。

40

【 0 5 8 2 】

50

図 2 1 (G) はビデオカメラであり、本体 2 6 0 1 には外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9、及び接眼部 2 6 1 0 が設けられている、また、本体 2 6 0 1 には、表示部 2 6 0 2 を有する筐体 2 6 0 3 が取り付けられている。表示部 2 6 0 2 には、上記したいずれかの実施の形態または実施例で示した表示装置又は表示モジュールが用いられている。本発明のビデオカメラは、広い視野角を有しており、かつ従来と比べて製造コストを低くすることができる。また本発明のビデオカメラの表示部では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高いビデオカメラを得ることが可能となる。また本発明のビデオカメラにおいては、トップゲート型薄膜トランジスタを有する表示部を作製した場合、バックゲートの電位が安定するので、信頼性の高いビデオカメラを得ることができる。

10

【 0 5 8 3 】

図 2 1 (H) は携帯電話であり、本体 2 7 0 1、筐体 2 7 0 2、表示部 2 7 0 3、音声入力部 2 7 0 4、音声出力部 2 7 0 5、操作キー 2 7 0 6、外部接続ポート 2 7 0 7、アンテナ 2 7 0 8 等を含む。表示部 2 7 0 3 には、上記したいずれかの実施の形態または実施例で示した表示装置又は表示モジュールが用いられている。本発明のビデオカメラは、広い視野角を有しており、かつ従来と比べて製造コストを低くすることができる。また本発明の携帯電話の表示部では、導電膜を基板全面に形成するので、基板からの不純物が活性層に混入されるのを防ぐことができる。これにより信頼性の高い携帯電話を得ることが可能となる。また本発明の携帯電話においては、トップゲート型薄膜トランジスタを有する表示部を作製した場合、バックゲートの電位が安定するので、信頼性の高い携帯電話を得ることができる。

20

【 図面の簡単な説明 】

【 0 5 8 4 】

【 図 1 】 トップゲート型薄膜トランジスタを用いた画素部の構成例を示す断面図。

【 図 2 】 ボトムゲート型薄膜トランジスタを用いた画素部の構成例を示す断面図。

【 図 3 】 トップゲート型薄膜トランジスタを用いた画素部の構成例を示す断面図。

【 図 4 】 図 1 乃至図 3 で示す画素部の平面図。

【 図 5 】 本発明の液晶表示装置の断面図。

【 図 6 】 本発明の液晶表示装置の断面図。

30

【 図 7 】 本発明の液晶表示装置の上面図。

【 図 8 】 本発明の液晶表示装置の上面図。

【 図 9 】 本発明の液晶表示装置の上面図。

【 図 1 0 】 本発明の液晶表示装置の断面図。

【 図 1 1 】 本発明の液晶表示装置の上面図。

【 図 1 2 】 本発明の液晶表示装置の断面図。

【 図 1 3 】 本発明の液晶表示装置の上面図。

【 図 1 4 】 本発明の液晶表示装置の上面図及び断面図。

【 図 1 5 】 本発明の液晶表示装置の作製工程を示す断面図。

【 図 1 6 】 本発明の液晶表示装置の作製工程を示す断面図。

40

【 図 1 7 】 本発明の液晶表示装置の作製工程を示す断面図。

【 図 1 8 】 本発明の液晶表示装置の作製工程を示す断面図。

【 図 1 9 】 本発明の液晶表示装置の回路図。

【 図 2 0 】 本発明の液晶表示装置の回路図。

【 図 2 1 】 本発明の液晶表示装置を用いて作製した電子機器の例を示す図。

【 図 2 2 】 本発明の液晶表示装置の断面図。

【 図 2 3 】 本発明の液晶表示装置の上面図。

【 図 2 4 】 本発明の液晶表示装置の断面図。

【 図 2 5 】 本発明の液晶表示装置の断面図。

【 図 2 6 】 本発明の液晶表示装置の断面図。

50

【図 2 7】本発明の液晶表示装置の上面図。	
【図 2 8】本発明の液晶表示装置を示す図。	
【図 2 9】本発明の液晶表示装置を示す図。	
【図 3 0】本発明の液晶表示装置を示す図。	
【図 3 1】本発明の液晶表示装置を示す図。	
【図 3 2】本発明の液晶表示装置を示す図。	
【図 3 3】本発明の液晶表示装置を示す図。	
【図 3 4】本発明の液晶表示装置を示す図。	
【図 3 5】本発明の液晶表示装置を示す図。	
【図 3 6】本発明の液晶表示装置を示す図。	10
【図 3 7】本発明の液晶表示装置を示す図。	
【図 3 8】本発明の液晶表示装置を示す図。	
【図 3 9】本発明の液晶表示装置を示す図。	
【図 4 0】本発明の液晶表示装置を示す図。	
【図 4 1】本発明の液晶表示装置を示す図。	
【図 4 2】本発明の液晶表示装置を示す図。	
【図 4 3】本発明の液晶表示装置を示す図。	
【図 4 4】本発明の液晶表示装置を示す図。	
【図 4 5】本発明の液晶表示装置を示す図。	
【図 4 6】本発明の液晶表示装置を示す図。	20
【図 4 7】本発明の液晶表示装置を示す図。	
【図 4 8】本発明の液晶表示装置を示す図。	
【図 4 9】本発明の液晶表示装置を示す図。	
【図 5 0】本発明の液晶表示装置を示す図。	
【図 5 1】本発明の液晶表示装置を示す図。	
【図 5 2】本発明の液晶表示装置を示す図。	
【図 5 3】本発明の液晶表示装置を示す図。	
【図 5 4】本発明の液晶表示装置を示す図。	
【図 5 5】本発明の液晶表示装置を示す図。	
【図 5 6】本発明の液晶表示装置を示す図。	30
【図 5 7】本発明の液晶表示装置を示す図。	
【図 5 8】本発明の液晶表示装置を示す図。	
【図 5 9】本発明の液晶表示装置を示す図。	
【図 6 0】本発明の液晶表示装置を示す図。	
【図 6 1】本発明の液晶表示装置を示す図。	
【符号の説明】	
【 0 5 8 5 】	
1 0 0	基板
1 0 1	基板
1 0 2	下地膜
1 0 3	半導体膜
1 0 4	ゲート絶縁膜
1 0 5	ゲート電極
1 0 6	層間絶縁膜
1 0 7	電極
1 0 8	電極
1 0 9	電極
1 1 1	層間絶縁膜
1 1 2	配向膜
1 1 3	画素電極
	40
	50

1 1 4	画素電極	
1 1 4 a	画素電極	
1 1 4 b	画素電極	
1 1 4 c	画素電極	
1 1 5	導電膜	
1 1 6	液晶	
1 1 7	溝	
1 1 7 a	溝	
1 1 7 b	溝	
1 1 7 c	溝	10
1 1 9	配線	
1 2 0	対向基板	
1 2 1	T F T	
1 2 2	カラーフィルタ	
1 2 3	配向膜	
1 2 4	偏光板	
1 2 5	電界	
1 2 6	偏光板	
1 3 1 a	領域	
1 3 1 b	領域	20
1 3 2	チャンネル形成領域	
1 4 1	電極	
1 4 2	電極	
1 5 0	画素部	
1 5 2	ソース線駆動回路	
1 5 4	ゲート線駆動回路	
1 6 1	配線	
1 6 2	コンタクトホール	
2 0 1	基板	
2 0 2	導電膜	30
2 0 3	下地膜	
2 0 4	ゲート電極	
2 0 5	電極	
2 0 6	島状半導体膜	
2 0 7 a	電極	
2 0 7 b	電極	
2 0 8 a	領域	
2 0 8 b	領域	
2 0 9	電極	
2 1 0	絶縁膜	40
2 1 1	電極	
2 1 2	T F T	
2 1 3	ゲート絶縁膜	
2 1 4	電極	
2 1 4 a	電極	
2 1 4 b	電極	
2 1 4 c	電極	
2 1 5	配向膜	
2 1 6	液晶	
2 1 7	偏光板	50

2 2 1	対向基板	
2 2 2	カラーフィルタ	
2 2 3	配向膜	
2 2 4	偏光板	
2 2 5	横方向電界	
2 4 1	カラーフィルタ	
2 4 1 B	カラーフィルタ	
2 4 1 G	カラーフィルタ	
2 4 1 R	カラーフィルタ	
2 5 1	電極	10
2 5 3	島状半導体膜	
2 5 6	チャネル形成領域	
2 5 8 a	領域	
2 5 8 b	領域	
8 0 0	基板	
8 0 1	導電膜	
8 0 2	絶縁膜	
8 0 3	半導体膜	
8 0 4	ゲート絶縁膜	
8 0 5 a	下層ゲート電極	20
8 0 5 b	下層ゲート電極	
8 0 5 c	下層ゲート電極	
8 0 5 d	下層ゲート電極	
8 0 6 a	上層ゲート電極	
8 0 6 b	上層ゲート電極	
8 0 6 c	上層ゲート電極	
8 0 6 d	上層ゲート電極	
8 0 7 a	不純物領域	
8 0 7 b	不純物領域	
8 0 8 a	不純物領域	30
8 0 8 b	不純物領域	
8 0 9 a	不純物領域	
8 0 9 b	不純物領域	
8 1 0 a	不純物領域	
8 1 0 b	不純物領域	
8 1 3	不純物領域	
8 1 3 a	不純物領域	
8 1 3 b	不純物領域	
8 1 3 c	不純物領域	
8 1 4 a	不純物領域	40
8 1 4 b	不純物領域	
8 1 4 c	不純物領域	
8 1 4 d	不純物領域	
8 1 5	絶縁膜	
8 1 6	層間絶縁膜	
8 1 7 a	コンタクトホール	
8 1 7 b	コンタクトホール	
8 1 7 c	コンタクトホール	
8 1 7 d	コンタクトホール	
8 1 7 e	コンタクトホール	50

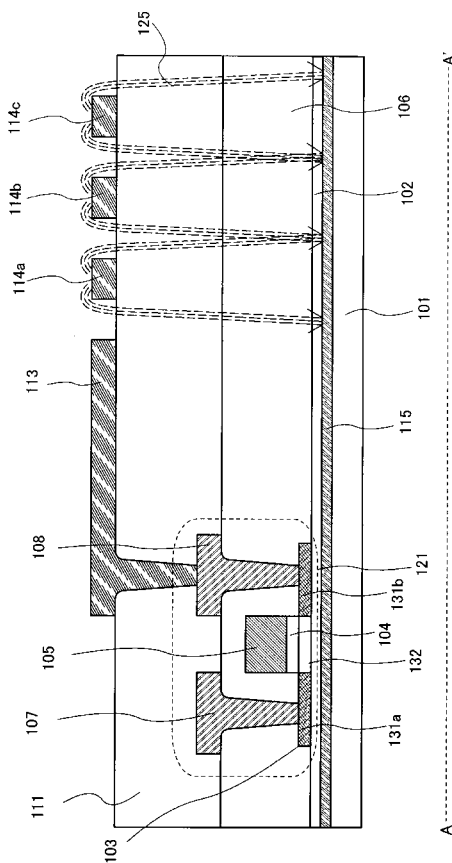
8 1 7 f	コンタクトホール	
8 1 7 g	コンタクトホール	
8 1 7 h	コンタクトホール	
8 2 0	フォトレジスト膜	
8 2 1 a	領域	
8 2 1 b	領域	
8 2 1 c	領域	
8 2 1 d	領域	
8 2 1 e	領域	
8 2 1 f	領域	10
8 2 1 g	領域	
8 2 1 h	領域	
8 2 2 a	レジスト	
8 2 2 b	レジスト	
8 2 2 c	レジスト	
8 2 2 d	レジスト	
8 2 2 e	レジスト	
8 2 2 f	レジスト	
8 2 2 g	レジスト	
8 2 3 a	上層電極	20
8 2 3 b	上層電極	
8 2 3 c	上層電極	
8 2 3 d	上層電極	
8 2 3 e	上層電極	
8 2 3 f	上層電極	
8 2 4 a	下層電極	
8 2 4 b	下層電極	
8 2 4 c	下層電極	
8 2 4 d	下層電極	
8 2 4 e	下層電極	30
8 2 4 f	下層電極	
8 2 5	T F T	
8 2 6	配向膜	
8 2 7	T F T	
8 2 9	T F T	
8 3 0	対向基板	
8 3 1	配向膜	
8 3 2	カラーフィルタ	
8 3 3	スペーサ	
8 3 4	シール材	40
8 3 5 a	偏光板	
8 3 5 b	偏光板	
8 3 6	異方性導電膜	
8 3 7	F P C	
8 3 8 a	端子電極	
8 3 8 b	端子電極	
8 4 0	レチクル	
8 4 1 a	遮光	
8 4 1 b	遮光	
8 4 1 c	遮光	50

8 4 1 d	遮光	
8 4 1 e	遮光	
8 4 1 f	遮光	
8 4 1 g	遮光	
8 4 2 a	半透膜	
8 4 2 b	半透膜	
8 4 2 c	半透膜	
8 4 2 d	半透膜	
8 4 2 e	半透膜	
8 4 2 f	半透膜	10
8 4 2 g	半透膜	
8 4 5	層間絶縁膜	
8 4 6	液晶	
8 5 2	外部端子接続領域	
8 5 3	封止領域	
8 5 4	ゲート信号線駆動回路	
8 5 6	画素領域	
8 5 7	ソース信号線駆動回路	
8 6 1	下層電極	
8 6 2	上層電極	20
8 6 3	下層電極	
8 6 4	上層電極	
8 6 5	ゲート電極	
8 6 6	ゲート電極	
8 6 7	ゲート電極	
8 6 8	ゲート電極	
8 6 9	電極	
8 7 2	島状半導体膜	
8 7 3	島状半導体膜	
8 7 4	島状半導体膜	30
8 7 5	導電膜	
8 7 6	導電膜	
8 8 1	電極	
8 8 2	電極	
8 8 3	電極	
8 8 4	電極	
8 8 5	電極	
8 8 6	電極	
8 8 7	電極	
8 9 1	画素電極	40
8 9 1 a	画素電極	
8 9 1 b	画素電極	
8 9 1 c	画素電極	
8 9 1 d	画素電極	
8 9 2	溝	
8 9 2 a	溝	
8 9 2 b	溝	
8 9 2 c	溝	
8 9 5	チャネル形成領域	
8 9 6	チャネル形成領域	50

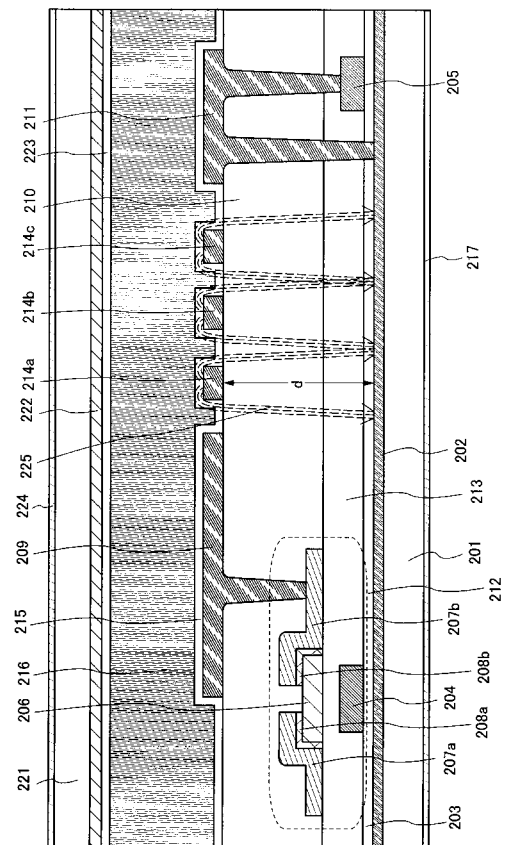
8 9 7 a	チャネル形成領域	
8 9 7 b	チャネル形成領域	
9 1 0	ソースドライバ	
9 1 1	シフトレジスタ	
9 1 2	薄膜トランジスタ	
9 2 0	ゲートドライバ	
9 3 0	画素部	
9 4 0	アナログスイッチ T F T	
9 5 0	I C	
9 6 0	F P C	10
2 0 0 1	筐体	
2 0 0 2	支持台	
2 0 0 3	表示部	
2 0 0 4	スピーカ部	
2 0 0 5	ビデオ入力端子	
2 1 0 1	本体	
2 1 0 2	表示部	
2 1 0 3	受像部	
2 1 0 4	操作キー	
2 1 0 5	外部接続ポート	20
2 1 0 6	シャッター	
2 2 0 1	本体	
2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 0 5	外部接続ポート	
2 2 0 6	ポインティングマウス	
2 3 0 1	本体	
2 3 0 2	表示部	
2 3 0 3	スイッチ	30
2 3 0 4	操作キー	
2 3 0 5	赤外線ポート	
2 4 0 1	本体	
2 4 0 2	筐体	
2 4 0 3	表示部 A	
2 4 0 4	表示部 B	
2 4 0 5	部	
2 4 0 6	操作キー	
2 4 0 7	スピーカ部	
2 5 0 1	本体	40
2 5 0 2	表示部	
2 5 0 3	操作キー	
2 6 0 1	本体	
2 6 0 2	表示部	
2 6 0 3	筐体	
2 6 0 4	外部接続ポート	
2 6 0 5	リモコン受信部	
2 6 0 6	受像部	
2 6 0 7	バッテリー	
2 6 0 8	音声入力部	50

2 6 0 9	操作キー
2 6 1 0	接眼部
2 7 0 1	本体
2 7 0 2	筐体
2 7 0 3	表示部
2 7 0 4	音声入力部
2 7 0 5	音声出力部
2 7 0 6	操作キー
2 7 0 7	外部接続ポート
2 7 0 8	アンテナ

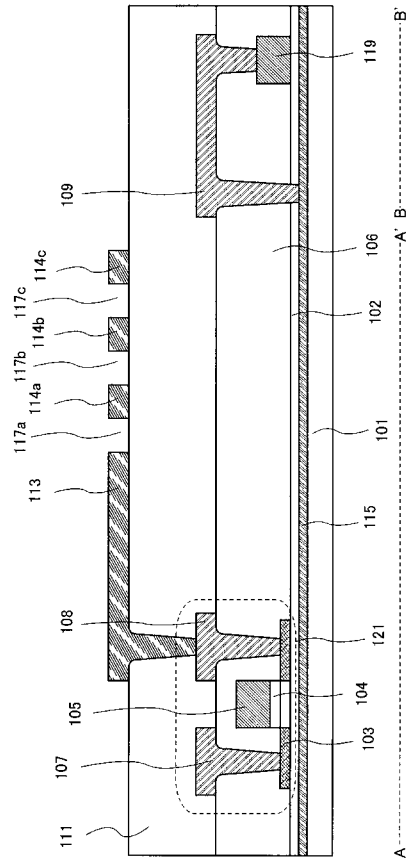
【図 1】



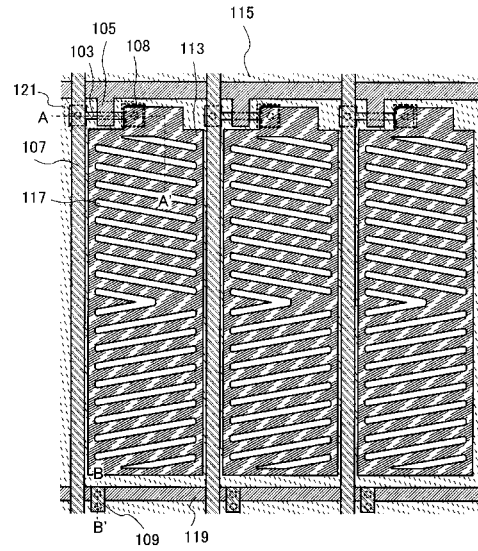
【図 2】



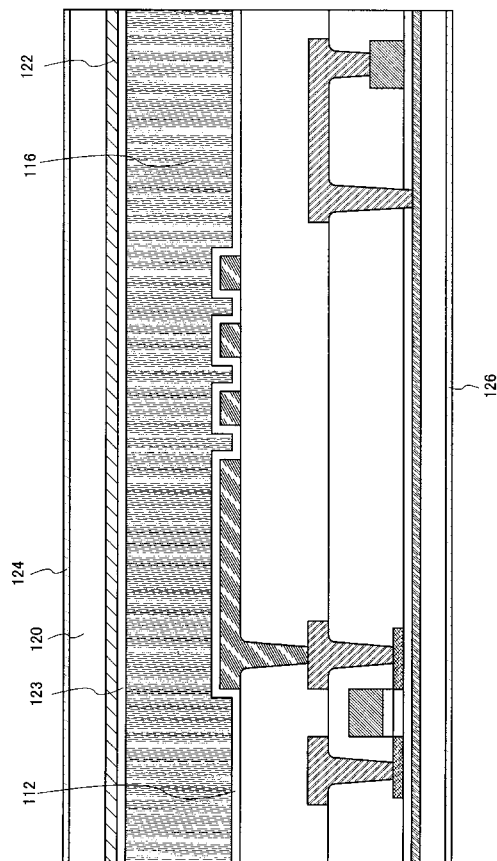
【図 3】



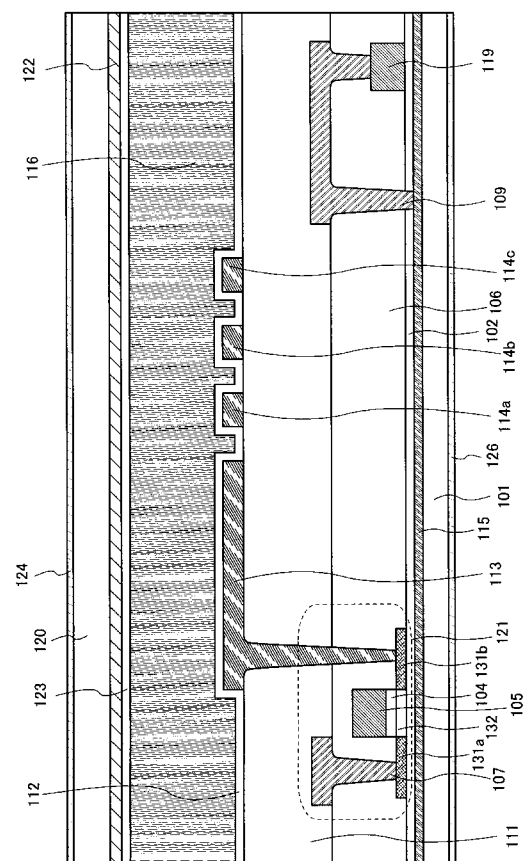
【図 4】



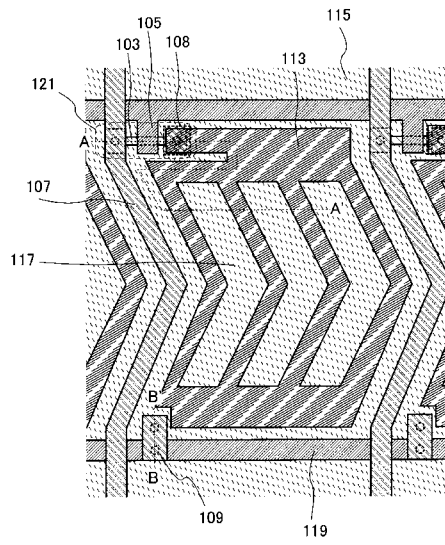
【図 5】



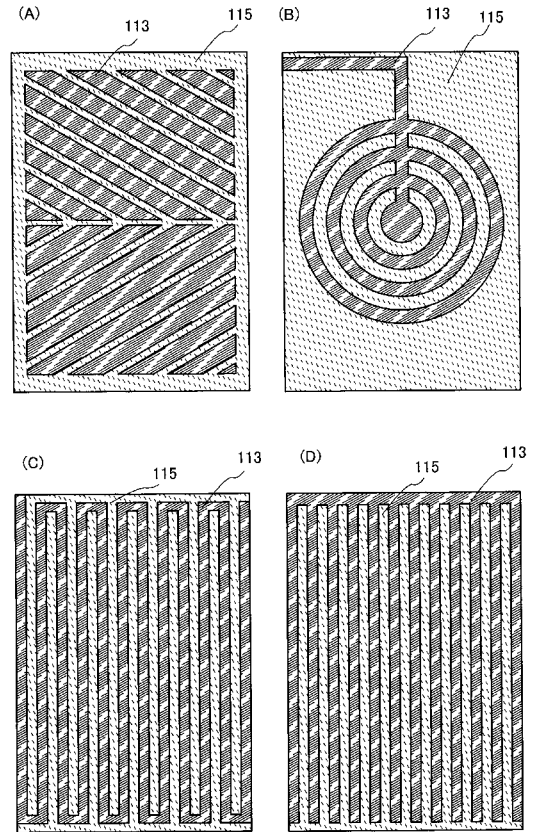
【図 6】



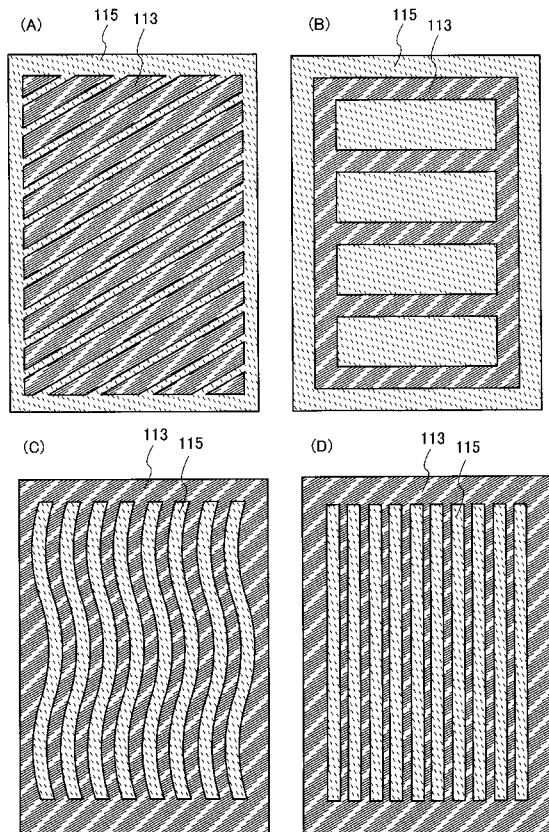
【図 7】



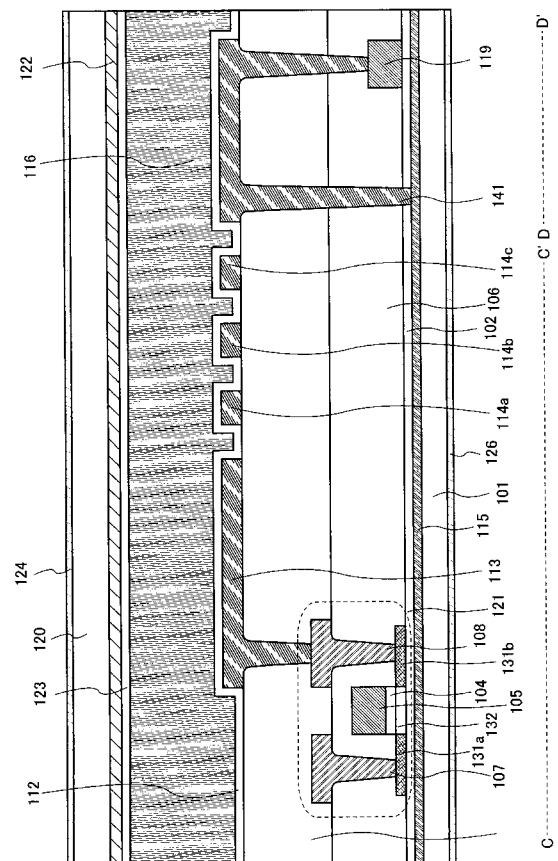
【図 8】



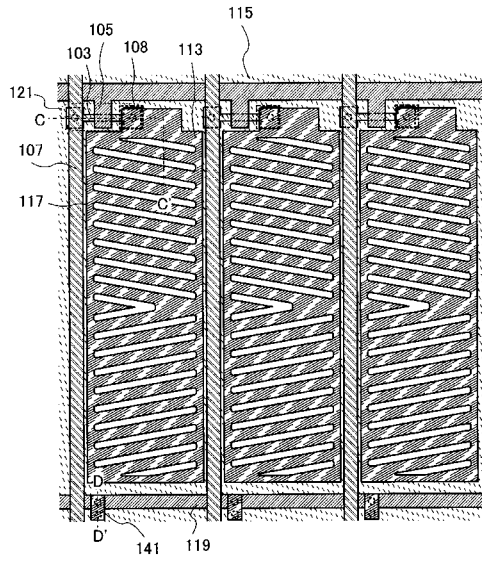
【図 9】



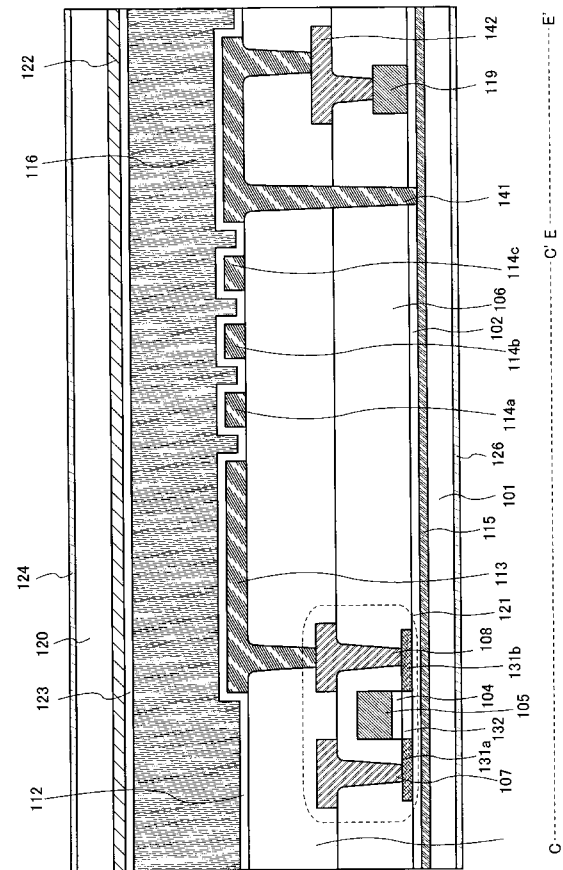
【図 10】



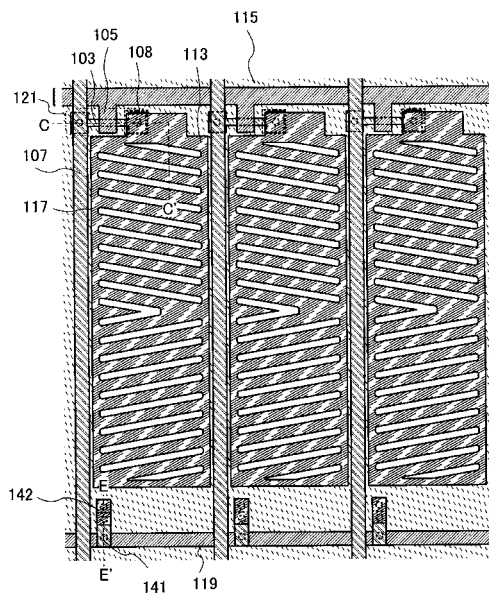
【図 1 1】



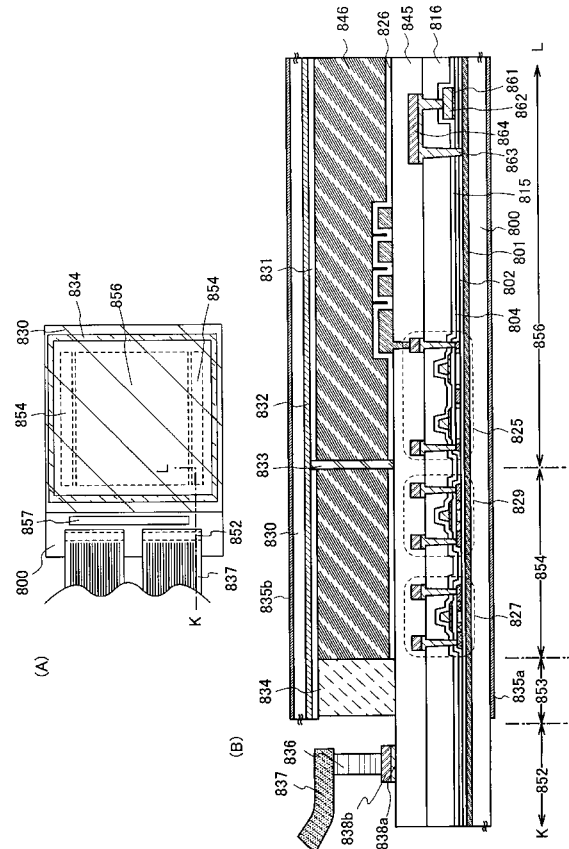
【図 1 2】



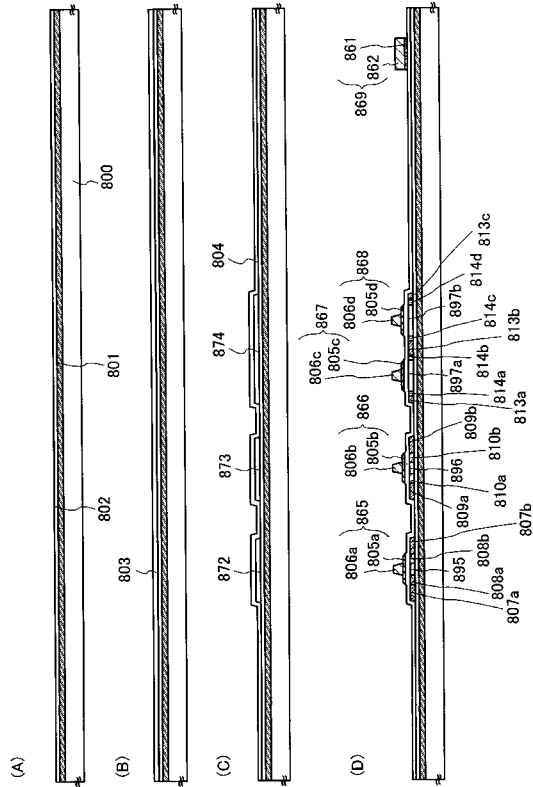
【図 1 3】



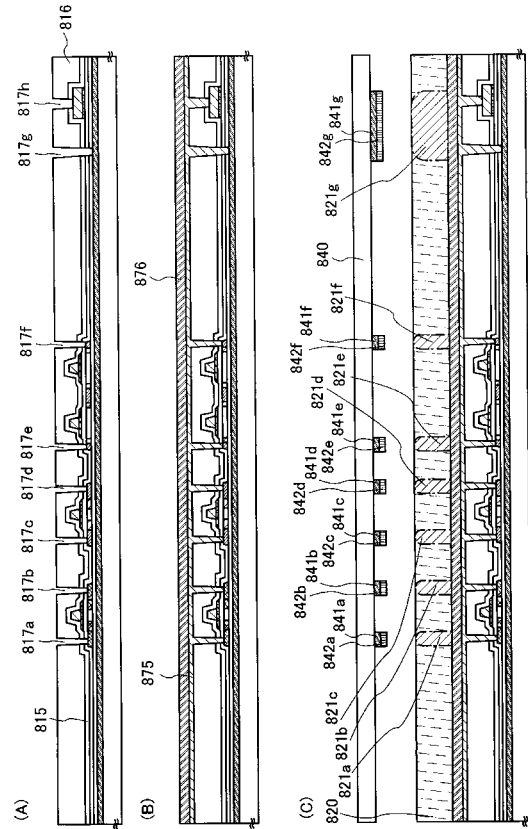
【図 1 4】



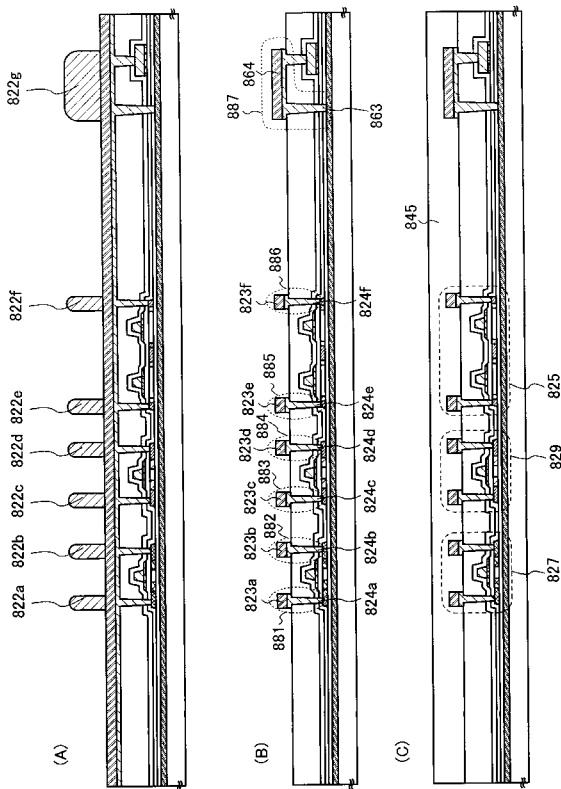
【図 15】



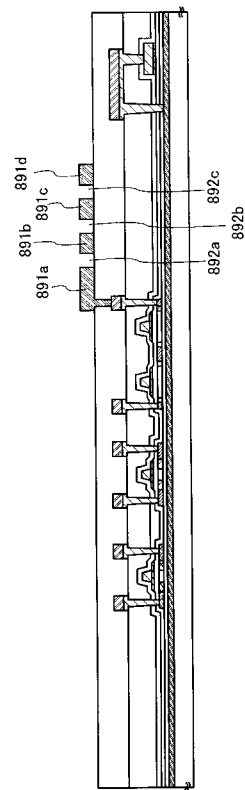
【図 16】



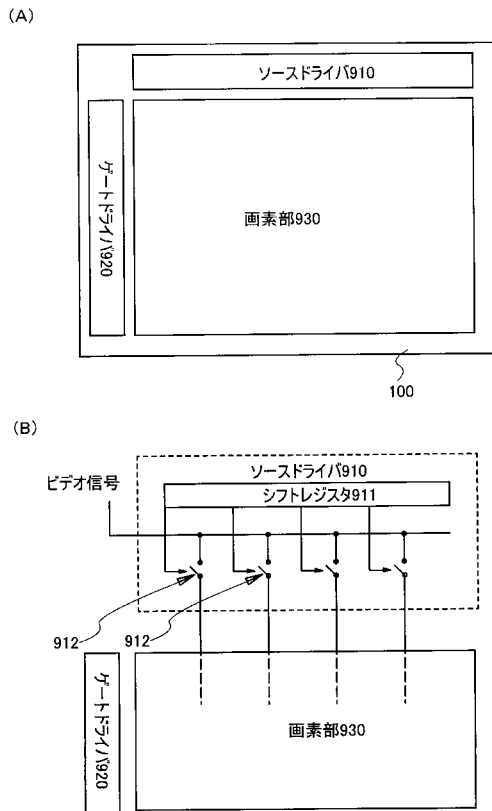
【図 17】



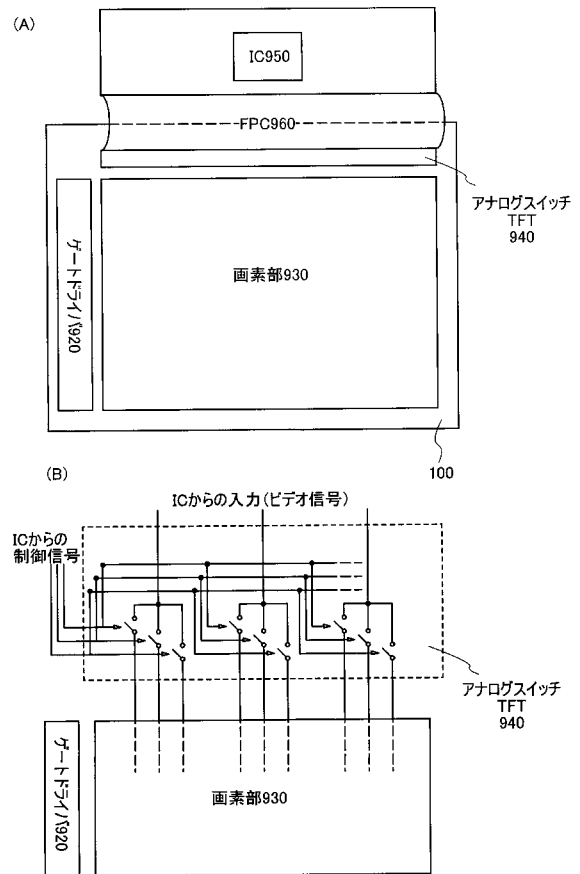
【図 18】



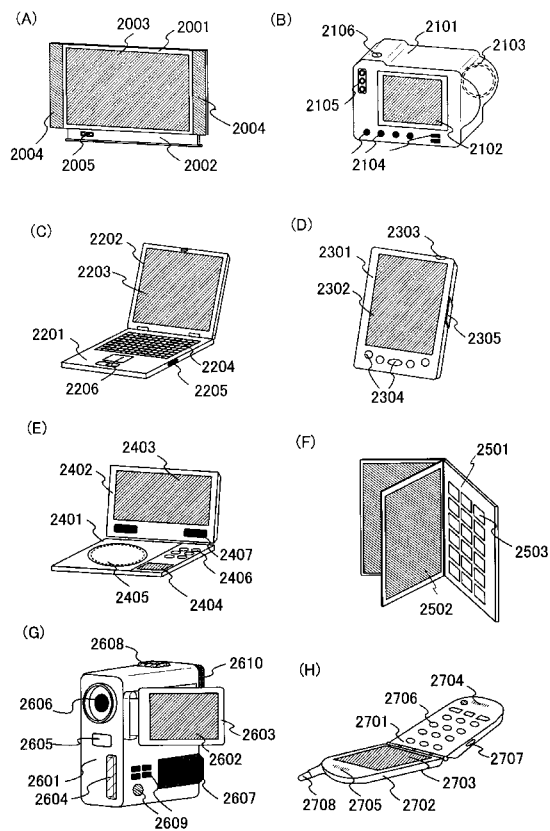
【 図 1 9 】



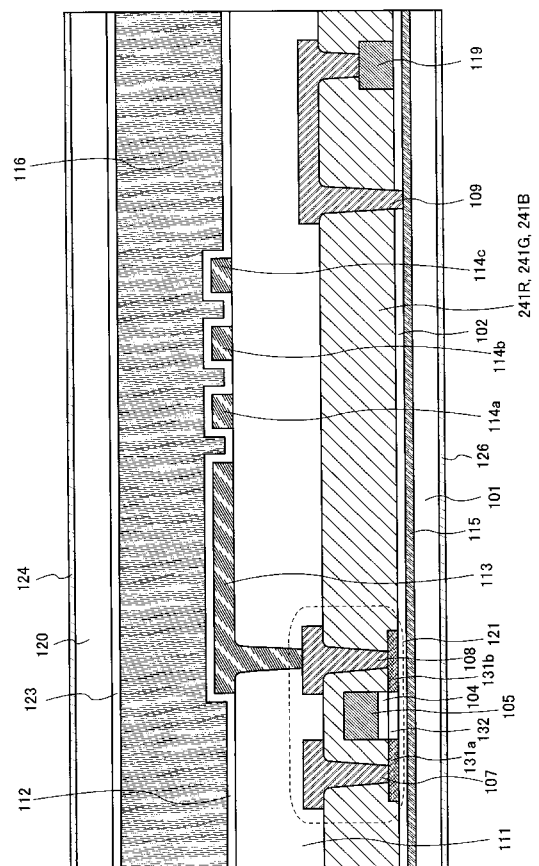
【 図 2 0 】



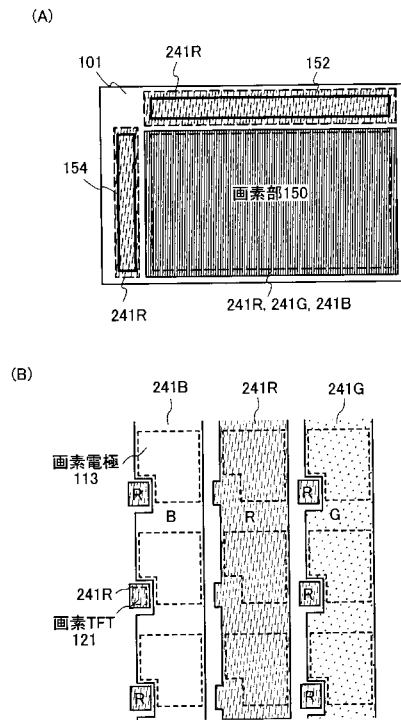
【 図 2 1 】



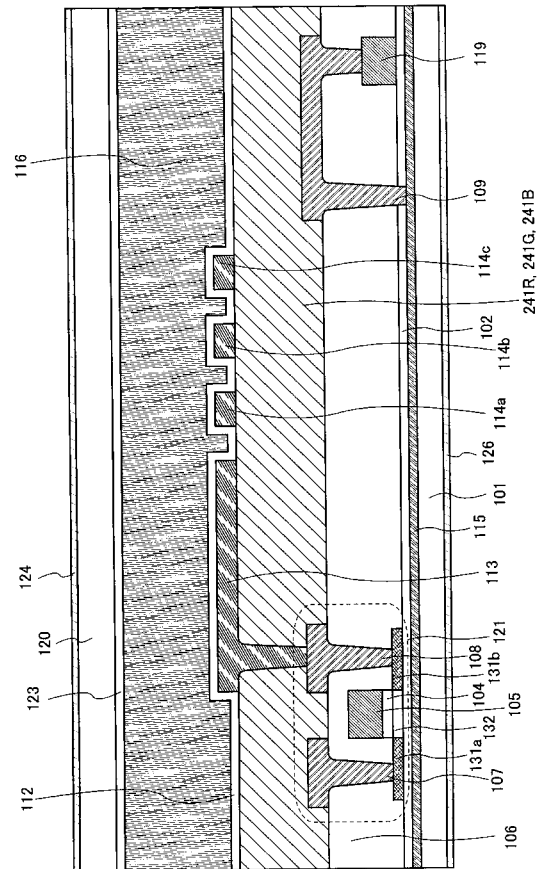
【 ㄨ 2 2 】



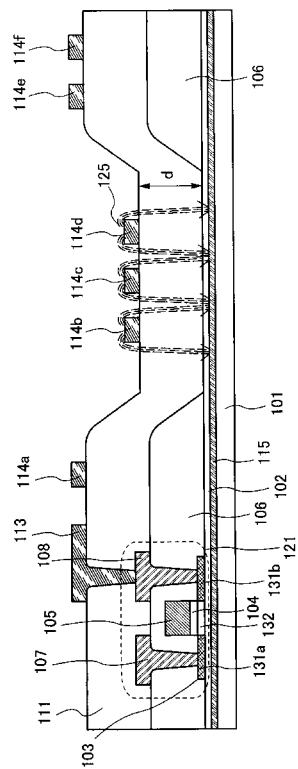
【図 2 3】



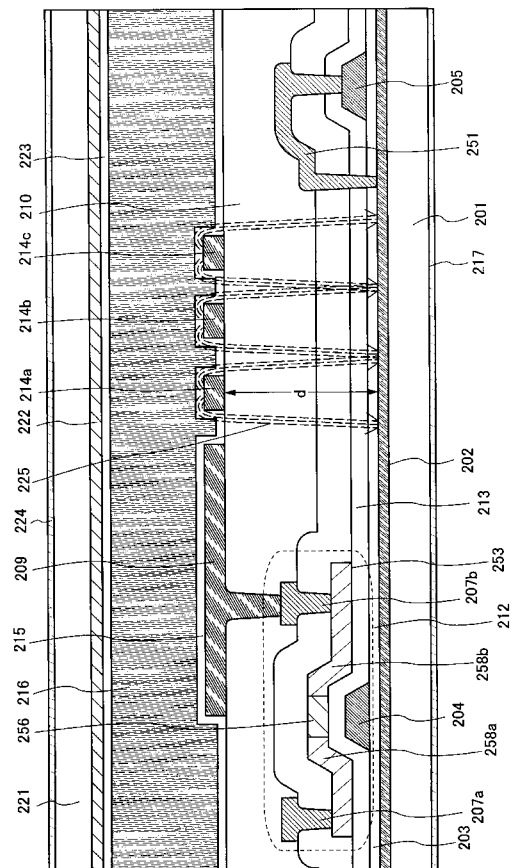
【図 2 4】



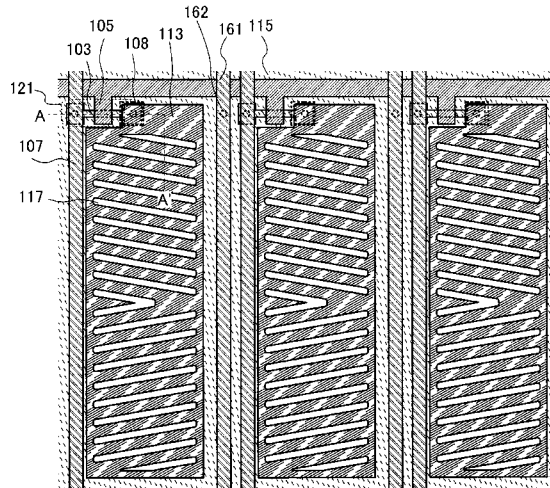
【図 2 5】



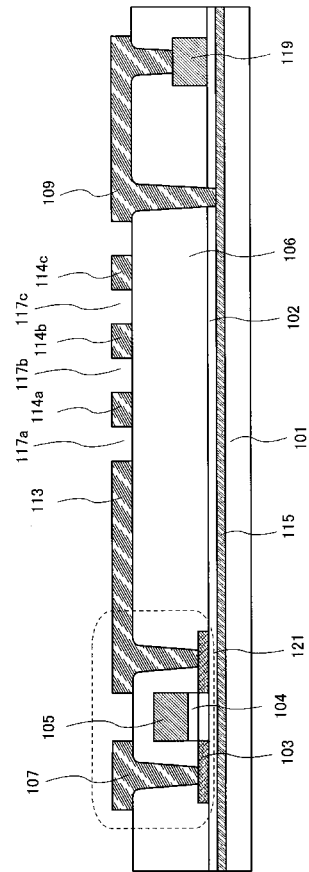
【図 2 6】



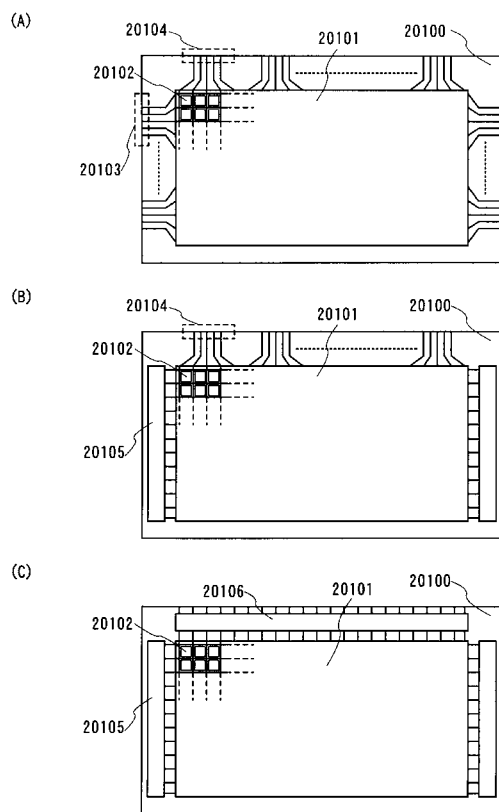
【図 27】



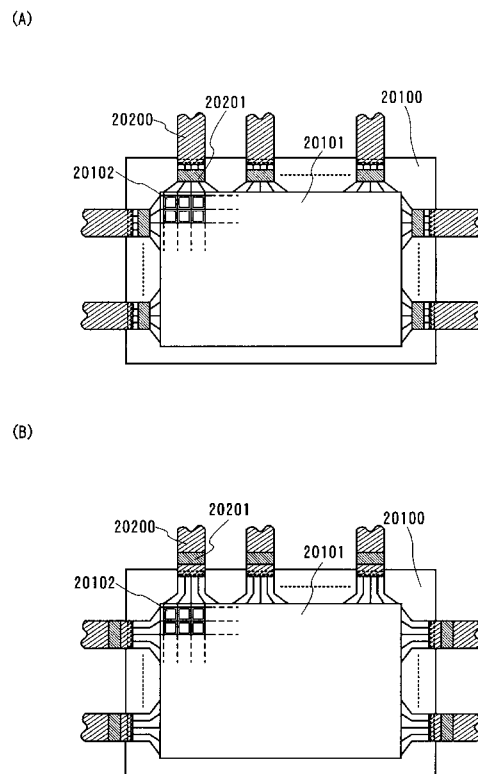
【図 28】



【図 29】

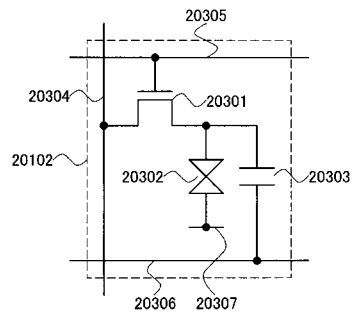


【図 30】

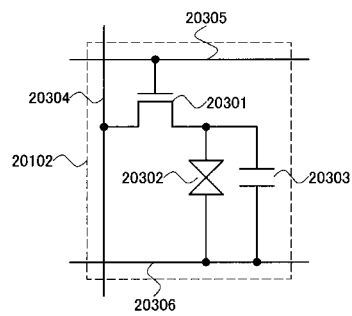


【図 3 1】

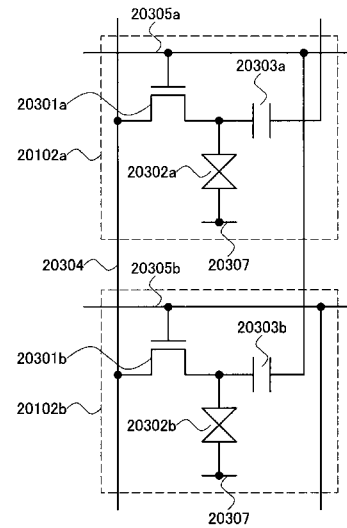
(A)



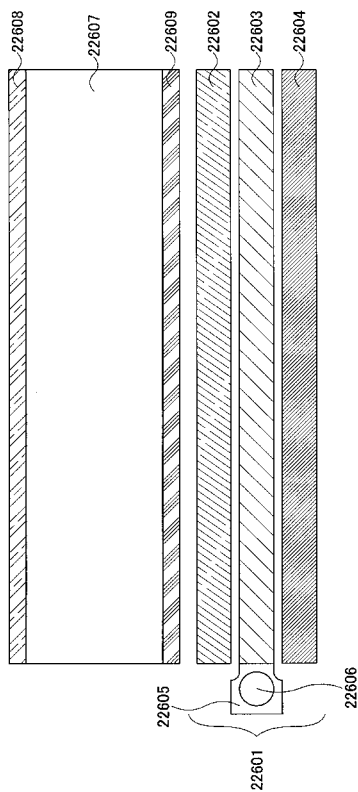
(b)



【図 3 2】

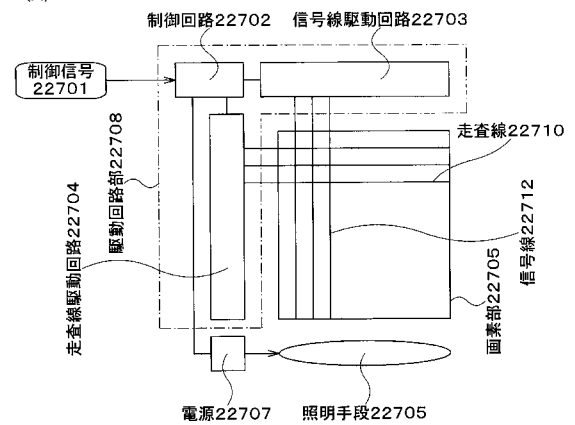


【図 3 3】

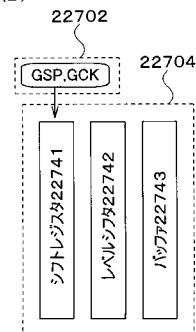


【図 3 4】

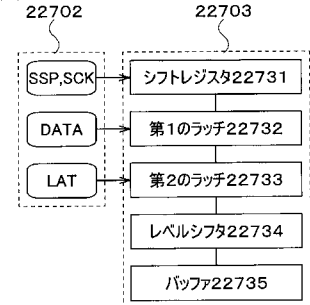
(A)



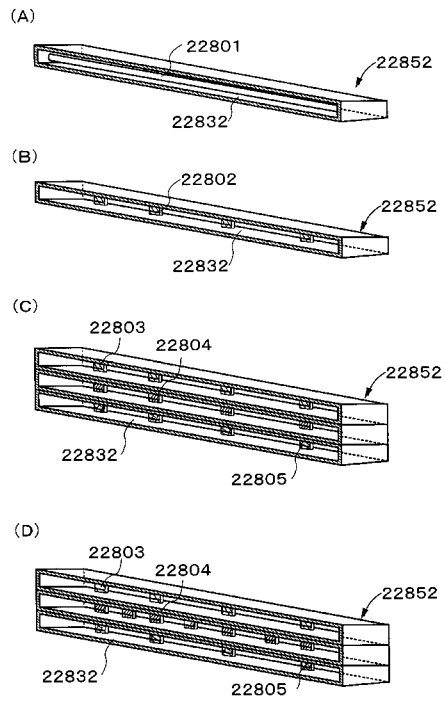
(B)



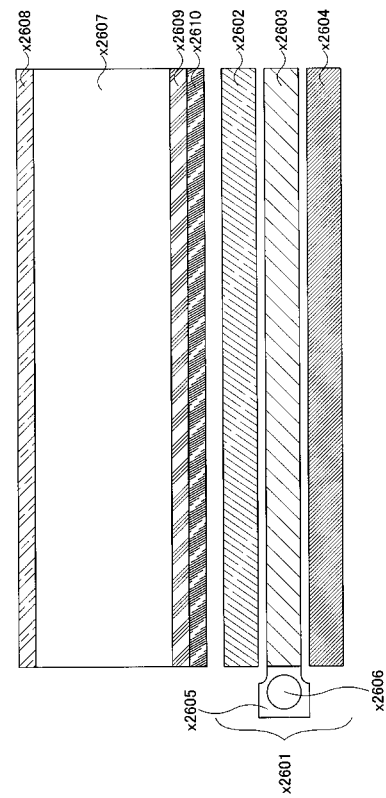
(C)



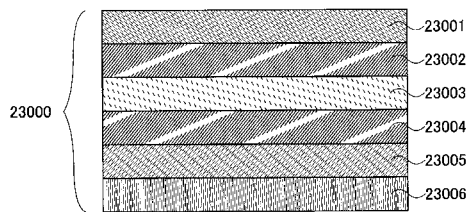
【図 3 5】



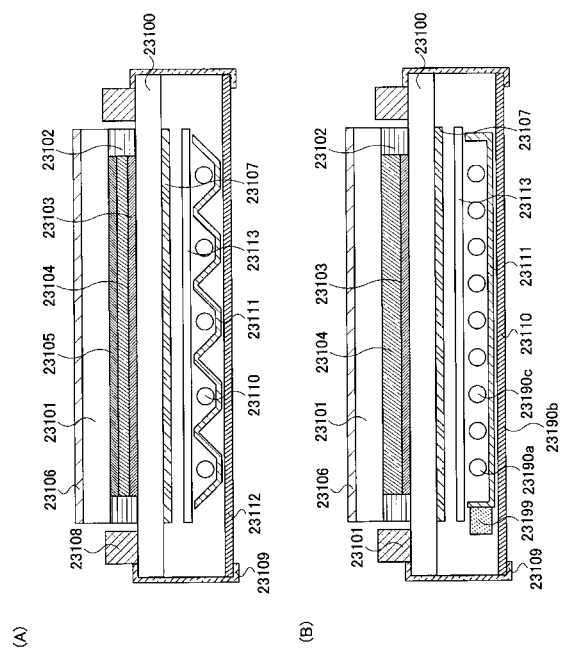
【図 3 6】



【図 3 7】

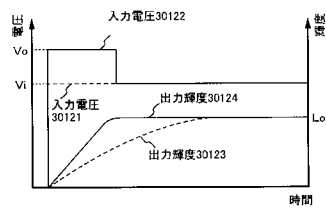


【図 3 8】

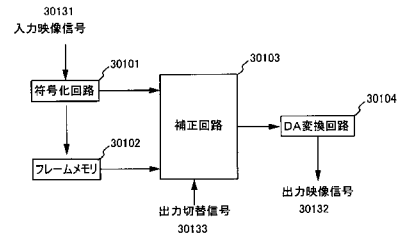


【図 39】

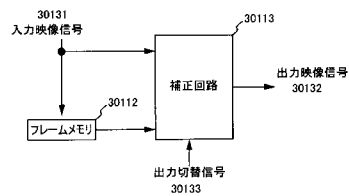
(A)



(B)

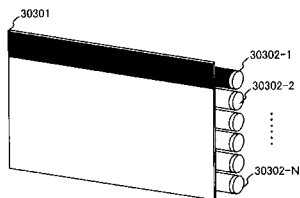


(C)

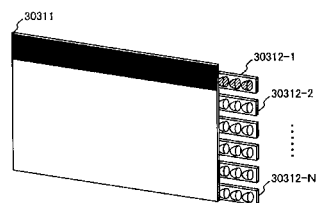


【図 41】

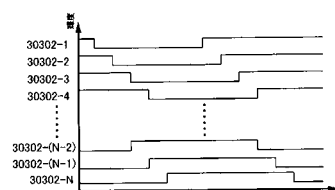
(A)



(B)

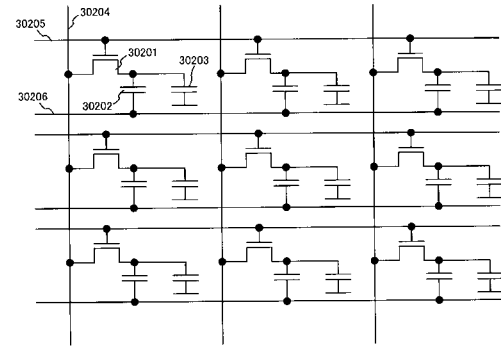


(C)

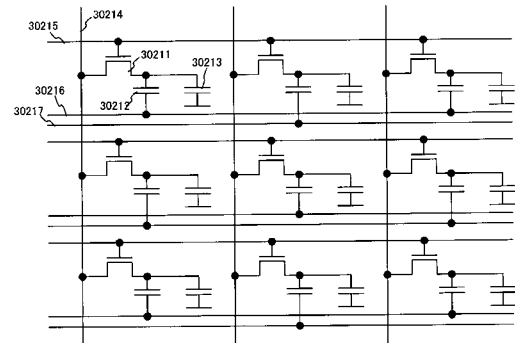


【図 40】

(A)

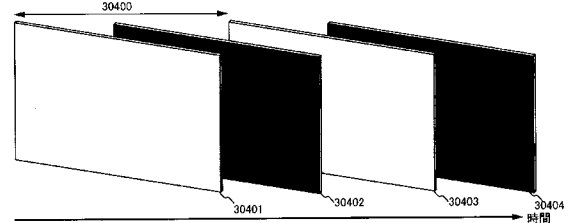


(B)

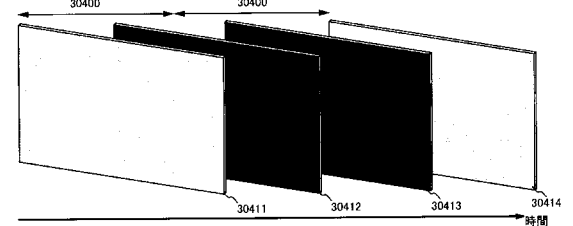


【図 42】

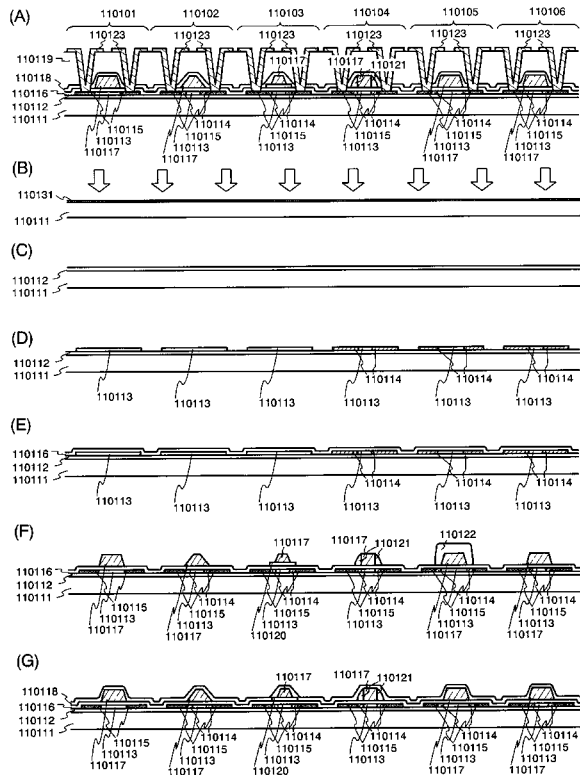
(A)



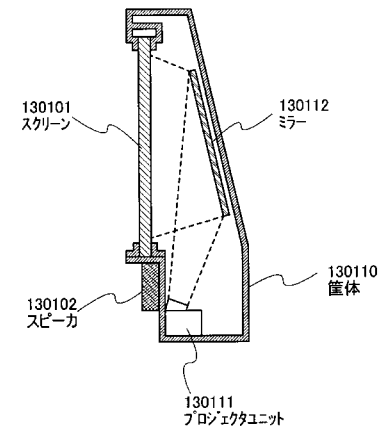
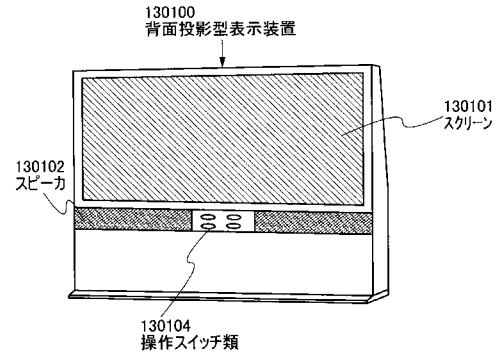
(B)



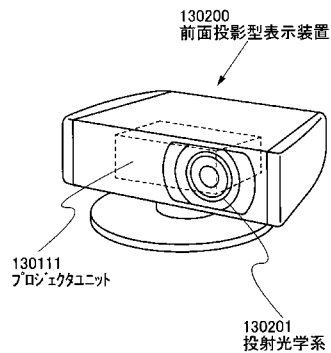
【図 4 3】



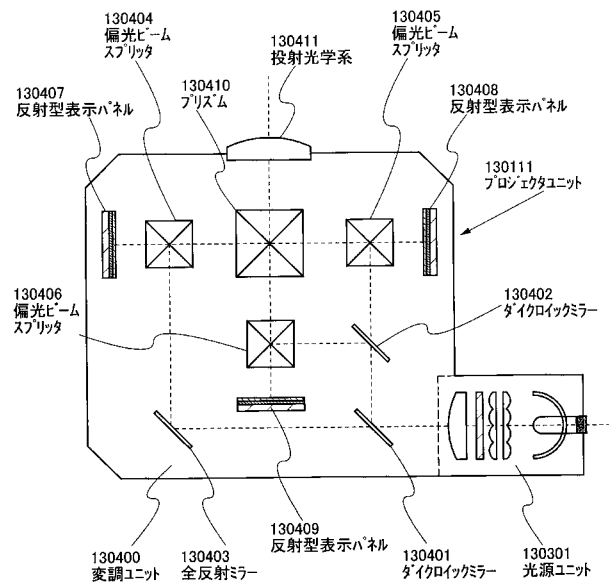
【図 4 4】



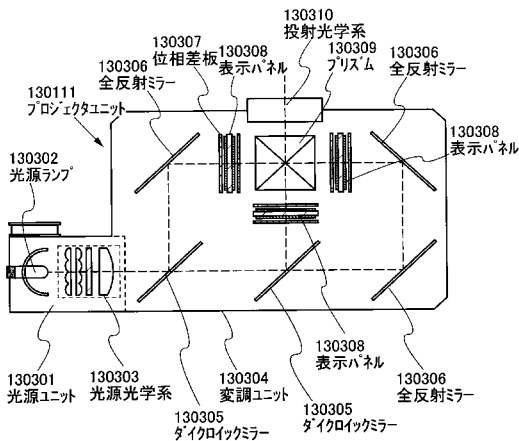
【図 4 5】



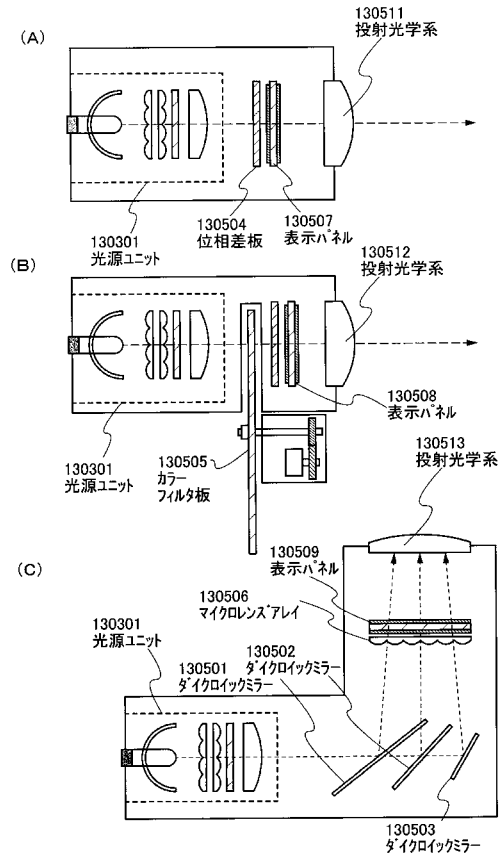
【図 4 7】



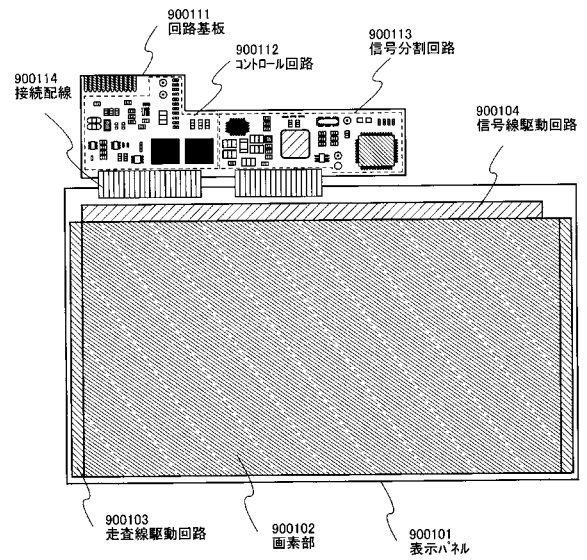
【図 4 6】



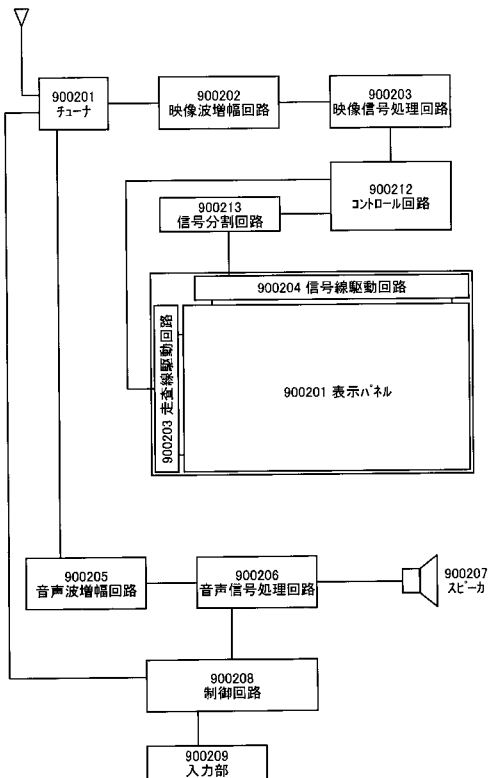
【図 48】



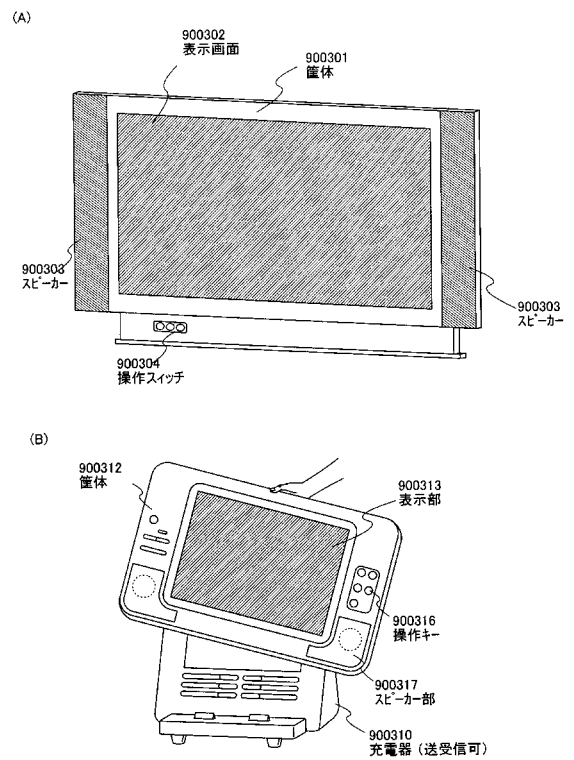
【図 49】



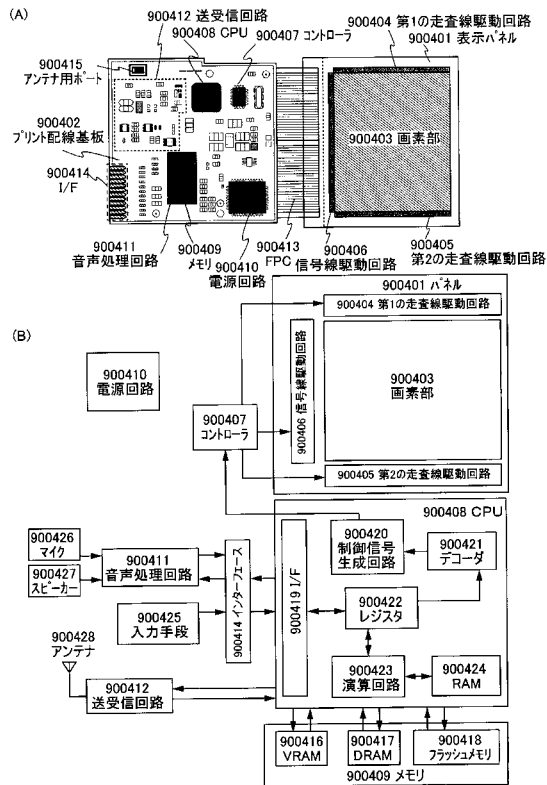
【図 50】



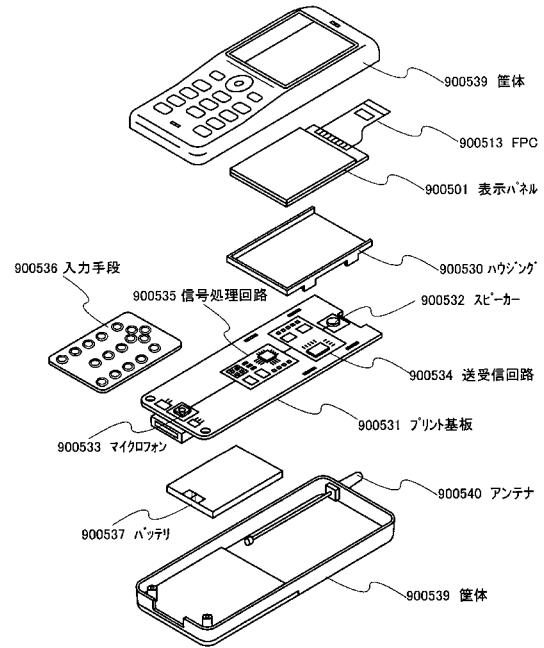
【図 51】



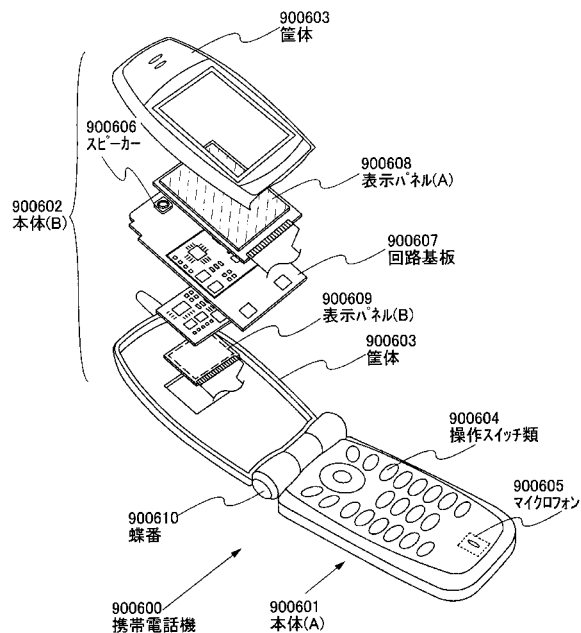
【図 5 2】



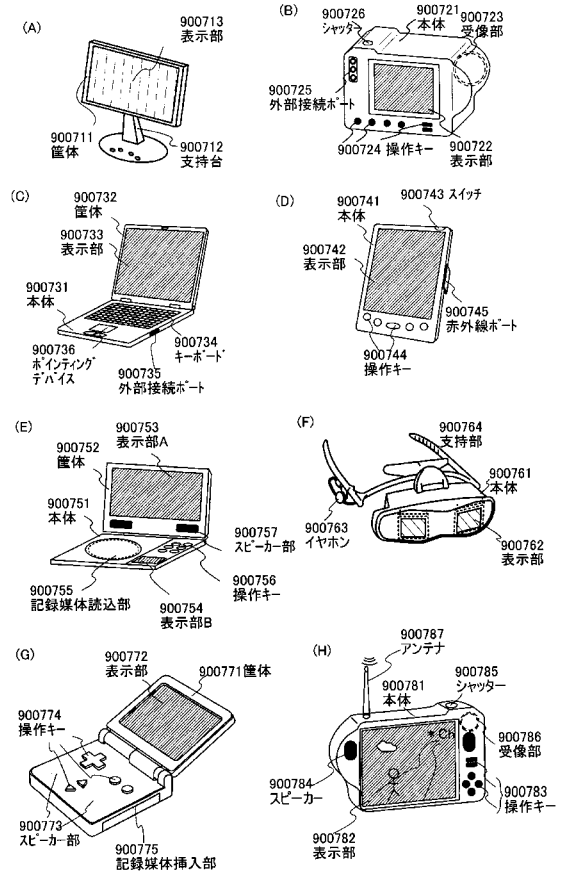
【図 5 3】



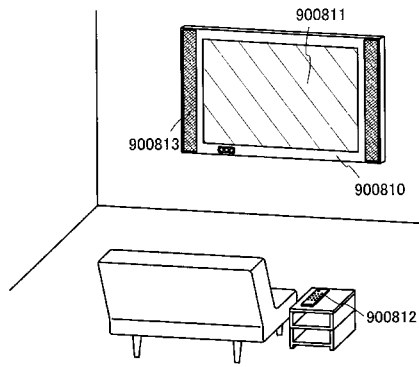
【図 5 4】



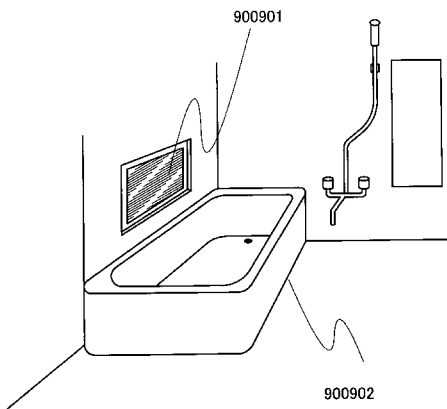
【図 5 5】



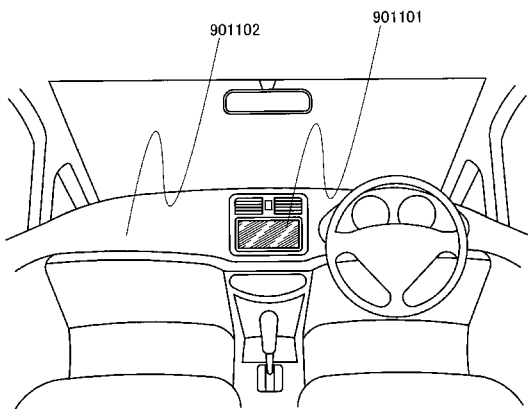
【図 5 6】



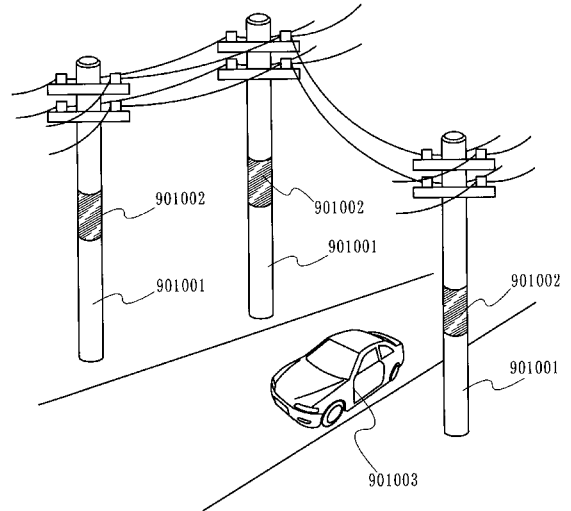
【図 5 7】



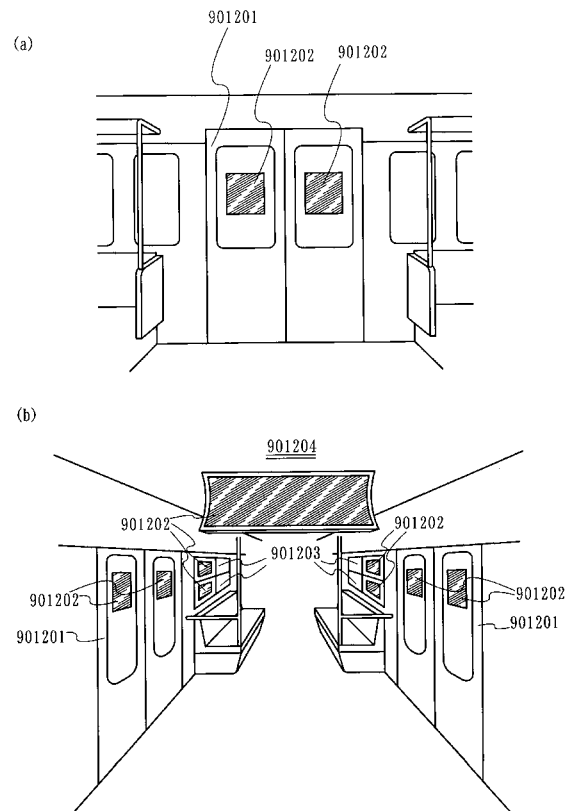
【図 5 9】



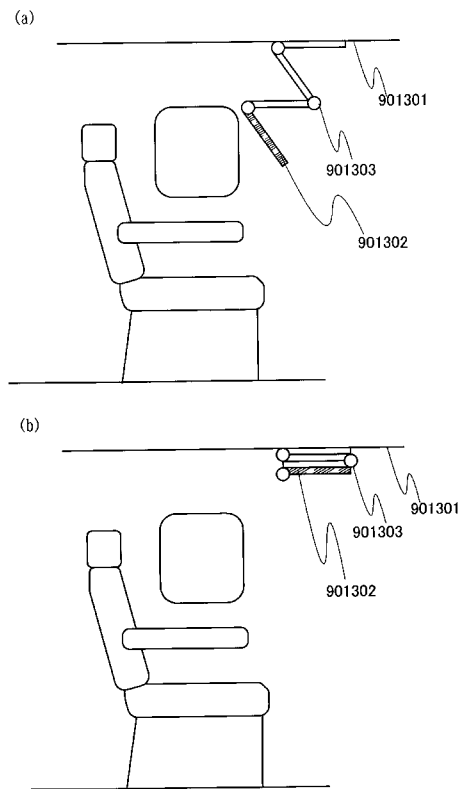
【図 5 8】



【図 6 0】



【図 6 1】



专利名称(译)	液晶显示器		
公开(公告)号	JP2008116502A5	公开(公告)日	2009-11-12
申请号	JP2006297009	申请日	2006-10-31
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇		
发明人	木村 肇		
IPC分类号	G02F1/1343		
FI分类号	G02F1/1343		
F-TERM分类号	2H092/GA12 2H092/GA14 2H092/GA17 2H092/GA25 2H092/HA03 2H092/HA04 2H092/HA05 2H092/JA24 2H092/JA25 2H092/JA26 2H092/NA27 2H092/NA29 2H092/JB05 2H092/JB32 2H192/AA24 2H192/BB13 2H192/BB53 2H192/BB54 2H192/BB73 2H192/BC31 2H192/BC72 2H192/CB02 2H192/CB05 2H192/CB13 2H192/DA02 2H192/DA12 2H192/EA22 2H192/EA43 2H192/FA44 2H192/FA73 2H192/FB02 2H192/FB22 2H192/JB02 2H193/ZA04 2H193/ZE01 2H193/ZE02 2H193/ZG44 2H193/ZQ16		
其他公开文献	JP5216204B2 JP2008116502A		

摘要(译)

要解决的问题：提供具有宽视角的半导体器件，液晶显示器件和电子器件，其制造工艺数量少，掩模数量和制造成本低于现有技术 形成在第一电极上的第一绝缘膜;形成在第一绝缘膜上的薄膜晶体管;形成在第一绝缘膜上的第二绝缘膜;，形成在薄膜晶体管上的第二绝缘膜，形成在第二绝缘膜上并具有多个开口的第二电极，以及形成在第二绝缘膜上的第二电极，其中第一电极和第二电极以及第一电极和第二电极之间的液晶，并通过第一电极和第二电极之间的电场控制液晶。 点域1