

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2004-205851
(P2004-205851A)

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 545	5C006
G09G 3/20	G09G 3/20 611D	5C080
	G09G 3/20 612R	
	G09G 3/20 612U	
審査請求 未請求 請求項の数 1 O L (全 12 頁) 最終頁に続く		

(21) 出願番号	特願2002-375635 (P2002-375635)	(71) 出願人	000006633
(22) 出願日	平成14年12月25日 (2002.12.25)		京セラ株式会社
			京都府京都市伏見区竹田鳥羽殿町6番地
		(72) 発明者	小野寺 朋和
			鹿児島県始良郡隼人町内999番地3 京セラ株式会社鹿児島隼人工場内
		Fターム(参考)	2H093 NA01 NC16 NC27 ND01 ND06 ND15
			5C006 AC24 AC28 AF42 AF51 AF53 BB12 BC12 FA36
			5C080 AA10 BB05 CC01 DD10 EE25 FF12 JJ01 JJ02 JJ04 JJ05

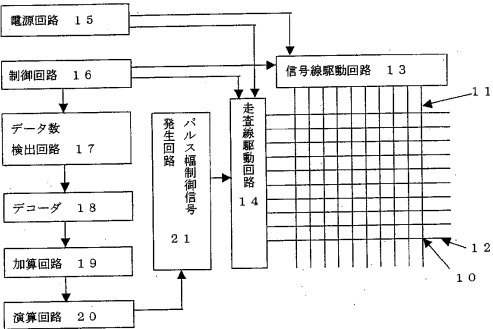
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】横クロストーク現象に対して、負荷に応じた補正を適正に行い、これによってクロストークを緩和し、表示品位をあげる。

【解決手段】単純マトリクス型液晶表示装置において、クロックパルスに同期してデータ信号のオン数を検出するデータ数検出回路と、このデータ数検出回路の出力に対応して所定の値に変換するデコーダ回路と、このデコーダ回路の出力に対応して1走査ライン分加算する加算回路の出力に基づきクロストーク補正パルスのパルス幅を演算する演算回路と、この演算回路の結果に基づきパルス幅の変化する補正パルスを生成するパルス幅制御信号発生回路と補正パルスの幅に応じて走査電圧パルスの幅を変化させ、液晶に印加される実効電圧を変化させる手段とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の信号電極をライン状に配列して信号ラインを形成せしめた基板と、複数の走査電極をライン状に配列して走査ラインを形成せしめた基板とを液晶層を介して配設して画素を形成し、さらに走査ラインに対し電圧印加して駆動せしめる走査線駆動回路及び信号ラインに対し電圧印加して駆動せしめる信号線駆動回路とを設け、信号データを複数の画素に対応してクロックパルスに同期して信号線駆動回路にサンプリングし、1走査ライン分のデータが保持されたことで信号ラインにサンプリングしたデータに応じた信号電圧を出力するように成した単純マトリクス型液晶表示装置において、前記クロックパルスに同期してデータ信号のオン数を検出するデータ数検出回路と、このデータ数検出回路の出力に対応して所定の値に変換するデコーダ回路と、このデコーダ回路の出力に対応して1走査ライン分加算する加算回路の出力に基づきクロストーク補正パルスのパルス幅を演算する演算回路と、この演算回路の結果に基づきパルス幅の変化する補正パルスを生成するパルス幅制御信号発生回路と補正パルスの幅に応じて走査電圧パルスの幅を変化させ、液晶に印加される実効電圧を変化させる手段とを備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に関するものである。

【0002】

【従来の技術】

従来、特許文献1に示すごとく、単純マトリクス液晶のクロストークを補償する手段及び駆動方法の技術が知られている。

【0003】

この技術によれば、信号線（ライン）群を設けた第1の基板と、信号線群と交差配列した走査線（ライン）群を設けた第2の基板との間に、液晶を挟持したマトリクス型の液晶表示装置において、表示データのオンデータ数を計数する計数回路と、走査線上の表示オン数が多い場合には一走査あたりにおける実効電圧を大きくし、走査線上の画素の表示オン数が少ない場合には一走査あたりにおける実効電圧を小さくする演算を施す演算手段と、実効電圧を大きくする又は小さくする演算結果に基づいて前記走査線に送る走査線信号波形幅をそれぞれ広く又は小さくなるように変調させる波形幅調整手段とを備え、画素は信号線駆動波形と走査線信号波形とが印加された差分電圧で表示される液晶表示装置であり、横方向のクロストークを改善するというものである。

【0004】

以下、この技術について図8を参照しながら説明する。

同図において、信号線81は液晶パネルにおける信号ラインであり、走査線82は液晶パネルにおける走査ラインである。信号線81と走査線82とは、マトリクス状に配列され、信号線81と走査線82との交点を画素80としている。信号線81および走査線82は抵抗負荷となり、画素80は容量性の負荷となる。

【0005】

信号駆動回路83は、液晶パネルの信号線81に接続され、信号線81を駆動する。走査線駆動回路84は、液晶パネルの走査線82に接続され、液晶パネルの走査線82を駆動する。電源回路85は、装置に必要な電源を供給する。制御回路86は、表示される表示データ及び同期信号など必要な制御信号を各ブロックに供給する。

【0006】

計数回路89は、制御回路86から送られてくる表示データのうち、画素80をオンさせるデータの一走査期間におけるオン数を計数する。

【0007】

演算回路88は、計数回路89で得た一走査期間のそれぞれのオン画素数から、所定の演算を施す。たとえば、オン画素数が多い場合には、演算回路88は、一走査あたりにお

る実効電圧を大きくするため、走査信号のパルス幅を大きくするように演算する。また、オン画素数が少ない場合には、演算回路 88 は、一走査あたりにおける実効電圧を小さくするため、走査信号のパルス幅を小さくするように演算する。

【0008】

パルス幅制御信号発生回路 87 は、演算回路 88 によって演算を施された結果にしたがって、走査信号の選択パルス幅を広めたり、または狭めたりするよう制御するパルス幅制御信号を発生し、走査線駆動回路 84 に与える。

【0009】

以下、上記のように構成された液晶表示装置の動作について説明する。

図 9 は、図 10 に示す表示パターンを表示する場合の液晶表示装置の走査線 71 に関する各制御信号および駆動波形を示したタイミング図である。なお、液晶の駆動方法としては AP 法が用いられ、液晶に直流電圧を印加させないように極性を反転して駆動する。

【0010】

駆動電圧の極性を正極性および負極性とする、電源回路 85 において供給される液晶駆動電圧は、図 9 に示す通りである。ここで、 V_H は、正の走査線選択電圧、 V_L は、負の走査線選択電圧、 V_M は、走査線非選択電圧、 V_0 は、正の信号線非選択電圧でかつ負の信号線選択電圧、 V_1 は、負の信号線非選択電圧でかつ正の信号線選択電圧である。また、上記の各液晶駆動電圧は、それぞれ、 $V_H > V_0 > V_M > V_1 > V_L$ の関係にあり、 $V_0 - V_M = V_M - V_1$ 、 $V_H - V_M = V_M - V_L$ である。

【0011】

走査線駆動回路 84 は、走査線を一本ずつ順に走査し、走査信号を各走査線 82 に与える。信号線駆動回路 83 は、走査しようとする走査線上の画素の表示状態に応じて、各信号線 81 に所定の液晶駆動信号を印加することにより、線順次駆動を行う。具体的には、液晶の交流化極性が正の時、走査線駆動回路 84 は、走査する走査線 82 に対しては正の走査線選択電圧 V_H を印加し、残りの走査線 82 には走査線非選択電圧 V_M を印加する。また、信号線駆動回路 83 は、走査する走査線 82 上の表示画素のうち、オン画素の信号線 81 については電圧 V_1 を、オフ画素の存在する信号線 81 には電圧 V_0 を印加する。

【0012】

一方、液晶の交流化極性が負の時には、走査線駆動回路 84 は、走査する走査線 82 に対しては負の走査線選択電圧 V_L を印加し、残りの走査線 82 には走査線非選択電圧 V_M を印加する。また、信号線駆動回路 83 は、走査する走査線 82 上の表示画素のうち、オン画素の信号線 81 については電圧 V_0 を、オフ画素の存在する信号線 81 には電圧 V_1 を印加する。

【0013】

次に、図 9 を参照して、液晶表示装置の制御信号および駆動波形について、詳細に説明する。

【0014】

フレーム信号 91 は、フレームの開始位置を示す信号であり、フレーム信号から次のフレーム信号までの期間をフレーム期間 98 といい、フレーム期間 98 で一画面の描画を終える。

【0015】

走査クロック信号 92 は、フレーム期間 98 を走査線数、またはそれ以上の数で分割した制御信号であり、次のパルスまでの期間は、一走査線あたりの走査期間 99 を示している。交流化制御信号 93 は、液晶に印加する極性を制御する信号である。図 9 ではフレーム単位に極性を変化させ、交流化を行う場合を示しているが、走査線ごとに交流化反転を行う方法もある。

【0016】

走査線駆動回路 84 は、走査クロック信号 92 によって、フレーム信号 91 をとりこみ、順次シフトすることによって、走査線を一本ずつ順に走査し、走査信号パルスを順に各走査線に与えている。

10

20

30

40

50

【 0 0 1 7 】

また、図 1 0 は表示パターンを示すが、走査信号波形 9 4 は、同図に示す走査線 1 0 1 の走査線信号波形を示し、信号線駆動波形 9 5 は、同図に示す信号線 1 0 2 の信号線駆動波形を示し、信号線駆動波形 9 6 は、同図に示す信号線 1 0 3 の信号線駆動波形を示す。各表示画素には、信号線駆動波形と走査線信号波形との差分電圧が印加される。

【 0 0 1 8 】

次に、信号駆動波形のオン数により、走査線信号の電圧実効値を補正する方法について説明する。ここで、パルス幅制御信号 1 0 0 は、各走査期間内において走査信号を制御するロジック信号である。

【 0 0 1 9 】

制御回路 8 6 より発生された表示データは、シリアルに計数回路 8 9 に送られる。計数回路 8 9 は、デジタル回路によるカウンタなどが用いられ、走査クロック信号 9 2 によってリセットされ、表示オンデータが送られてくるとに加算し、走査期間終了後、各走査線上の表示オンデータの数を出力する。なお、別に表示オフデータの個数をカウントしても、符号が反転するのみで、同様の結果を得ることができる。すなわち、信号波形のオン数が計算できれば他の方法を用いてもよい。

【 0 0 2 0 】

演算回路 8 8 は、計数回路 8 9 によって計数された走査しようとする走査線上の表示オンデータの数を入力として、所定の演算を施して演算結果を得る。所定の演算に関しては、ROM などを用いた演算テーブルにより実現してもよいし、デジタル演算回路を用いて実現してもよい。

【 0 0 2 1 】

パルス幅制御信号発生回路 8 7 は、演算回路 8 8 によって得られた演算結果に応じて、走査信号パルスのパルス幅を広めたり、または、狭めたりするためのパルス幅制御信号 1 0 0 を発生する。パルス幅制御信号発生回路 8 7 は、デジタル回路によるダウンカウンタなどで構成され、演算回路 8 8 の演算結果をカウンタの初期値として取り込み、クロック信号によって、カウンタを減算する構成とすることで実現できる。

【 0 0 2 2 】

走査線駆動回路 8 4 は、パルス幅制御信号 1 0 0 が例えば L レベルの時、走査する走査線に対して、正極性の場合には正の走査線選択電圧 V_H を、一方、負極性の場合には負の走査線選択電圧 V_L の電圧を与える。また、パルス幅制御信号 1 0 0 が H レベルの時には、走査線駆動回路 8 4 は、走査する走査線に対して走査線非選択電圧 V_M を与える。また、走査線駆動回路 8 4 は、走査していない走査線に対してはパルス幅制御信号 1 0 0 の状態によらず、走査線非選択電圧 V_M を与えるように動作する。

【 0 0 2 3 】

一般に液晶の容量はその表示状態で変化し、オン画素の多い走査線では容量性負荷が大きく、オフ画素が多い走査線では容量性負荷が比較的小さくなる。そのため、走査信号波形は表示状態によって鈍りかたが変化する。この鈍りかたの違いによって液晶にかかる実効電圧値も変化し、横クロストークの原因になる。そのため、1 走査ライン上の表示オン数が多く波形鈍りが大きい場合は、走査信号のパルス幅を広くして実効電圧を多く与える。逆に、表示オフ数が多く、波形鈍りが小さい場合にはパルス幅を狭めて、実効電圧を少なくするように走査電圧を与え、波形鈍りによって生じるクロストークを補正することができる。

【 特許文献 1 】

特開平 9 - 1 8 5 3 4 5 号公報

【 0 0 2 4 】

【 発明が解決しようとする課題 】

ところで、液晶分子には誘電率異方性があり、そのため、液晶分子の傾き、すなわち透過率の状態によって、液晶の容量成分は変化する。

【 0 0 2 5 】

そして、上記の従来技術によれば、オン時の誘電率とオフ時の誘電率の差によって生じる選択パルスの鈍り差による水平ラインに印加される実効電圧差を補正するものであるが、実際には、単純マトリクス型液晶表示装置においては、それに使われる液晶の応答速度は遅く、これにより、この傾きはフレーム毎に印加されるオン及びオフ電圧を平均化した実効電圧に応じて決定される。すなわち、フレームレート制御等の階調制御を行う場合においても、フレーム毎にオンされるデータを計数して行うために、画素毎の実効電圧に従った容量に合わせて補正を加えることができなく、その結果、補正がずれるという課題がある。

【0026】

例えば、3/4階調と3/4点灯表示の違いを示す図6に示すごとく、3/4階調と3/4ドット点灯パターンが同じ量の補正となる。

【0027】

しかしながら、実際には3/4階調のドットの容量成分は、 C_{on} と C_{off} の3/4の値とならなくなり、そのため、異なる補正量が必要になるという問題があった。

【0028】

【課題を解決するための手段】

本発明の液晶表示装置は、複数の信号電極をライン状に配列して信号ラインを形成せしめた基板と、複数の走査電極をライン状に配列して走査ラインを形成せしめた基板とを液晶層を介して配設して画素を形成し、さらに走査ラインに対し電圧印加して駆動せしめる走査線駆動回路及び信号ラインに対し電圧印加して駆動せしめる信号線駆動回路とを設け、信号データを複数の画素に対応してクロックパルスに同期して信号線駆動回路にサンプリングし、1走査ライン分のデータが保持されたことで信号ラインにサンプリングしたデータに応じた信号電圧を出力するように成した単純マトリクス型装置であって、前記クロックパルスに同期してデータ信号のオン数を検出するデータ数検出回路と、このデータ数検出回路の出力に対応して所定の値に変換するデコーダ回路と、このデコーダ回路の出力に対応して1走査ライン分加算する加算回路の出力に基づきクロストーク補正パルスのパルス幅を演算する演算回路と、この演算回路の結果に基づきパルス幅の変化する補正パルス生成するパルス幅制御信号発生回路と補正パルスの幅に応じて走査電圧パルスの幅を変化させ、液晶に印加される実効電圧を変化させる手段とを備えたことを特徴とする。

【0029】

【発明の実施の形態】

以下、本発明の液晶表示装置を図を用いて説明する。

図1は本発明の構成を示すブロック図である。

【0030】

制御回路16は、液晶表示装置を制御するための制御信号を生成し出力する回路であり、液晶表示装置の外部に設けられる。信号線駆動回路13及び走査線駆動回路14は、信号線（信号ライン）11及び走査線（走査ライン）12を駆動する回路である。信号線11と走査線12は対向する信号線基板及び走査線基板に複数本が短冊状に配設され、画素となる各交点10には液晶材料により容量成分 C_{lc} が形成される。電源回路15からは信号線駆動回路13及び走査線駆動回路14にそれぞれ V_{SH} 、 V_{SL} 及び V_{CH} 、 V_{CL} 、 V_M が供給される。

【0031】

制御回路16は、信号線駆動回路13にデータ信号 $D_7 \sim 0$ 、クロック CP 、出力タイミング信号 $LOAD$ 、交流反転信号 DF 、また、走査線駆動回路14に走査開始信号 FRM 、走査クロック $LOAD$ 、交流反転信号 DF を出力する。更に、データ信号 $D_7 \sim 0$ は、データ数検出回路17にも送られる。

【0032】

データ信号 $D_7 \sim 0$ は各ドット（画素）がオンであればHレベル、オフであればLレベルの信号を、水平方向の8ドットずつを平行に転送する信号である。

【0033】

データ数検出回路 17 に送られた D7 ~ 0 は、8 本の信号中の H レベルの数を検出され、結果をデコーダ 18 に出力する。デコーダ 18 は、H レベルの数に応じて、所定の値を加算回路 19 に出力する。加算回路 19 は、所定の値を順次加算し、1 ライン分の加算結果を演算回路 20 に出力する。演算回路 20 は、加算結果から最適な補正パルス幅を演算し、パルス幅制御信号発生回路 21 に出力する。パルス幅制御信号発生回路 21 は、パルス幅制御信号を走査線駆動回路 14 に出力する。パルス幅制御信号は、L アクティブのパルスで、L の期間だけ走査線駆動電圧波形を VM レベルとするように制御するための信号である。パルス幅制御信号を受けた走査線駆動回路は、走査線制御信号のパルスの期間、非選択電圧を出力する。

【0034】

10

以下、各回路部の詳細を説明する。

データ数検出回路 17 はデータラッチ回路及び加算回路から構成される。データラッチ回路はクロックパルス CP により制御回路 15 からの表示データをラッチする。例えば 8 ビットデータバスの場合、8 つのデータをビット毎に分割し、加算回路で各ビット値の加算を行うことで、表示オン数を検出できる。この場合、表示オン数は 0 ~ 8 の値をとる。

【0035】

デコーダ回路 18 においては、データ数検出回路 17 の出力値をもとに、所定の値を加算回路 19 に出力する。データ数検出回路 17 の出力が n であれば、階調レベルは $n / 8$ 階調と判断し、表 1 に示す変換表の値を出力する。

【0036】

20

【表 1】

オンデータ数	デコード値
0	0
1	1
2	3
3	7
4	10
5	17
6	21
7	23
8	24

30

【0037】

データ数とデコード値の関係をグラフにプロットすると、図 7 に示すような結果が得られ、実行電圧 - 透過率特性に近似させることにより、階調レベルによる容量値の違いを反映させることができる。

40

【0038】

加算回路 19 は、クロックパルス CP 毎にデコーダから出力されるデコード値を演算し、1 水平走査ライン分の加算が行われた段階で、結果を演算回路 20 に出力する。演算回路 20 では、1 水平走査ラインの加算結果から最適なパルス幅を演算し、演算結果をパルス幅制御信号発生回路 21 に出力する。

【0039】

例えば 8 ビットのデータバスで、1 水平走査ラインの画素数が 320 画素の場合を例示する。

【0040】

50

1 水平走査ライン全て表示オンである場合、デコーダの出力は、24でそれが40CP分あるので、加算回路19は、 $24 \times 40 = 960$ の出力結果を得る。また、1 水平走査ライン全て表示オフである場合は、デコーダの出力は0であり、加算回路19の出力は、 $0 \times 40 = 0$ となる。更に、1 水平走査ライン全てが、4/8階調である場合、デコーダの出力は10であり、加算回路19の出力は $10 \times 40 = 400$ となる。

【0041】

パルス幅制御信号発生回路21は、演算回路20の出力を受け、数値に比例したパルスを出力する。パルス幅制御信号発生回路21は、ラッチ回路、比較回路、クロック生成回路から構成される。カウンタ回路は、CLKをカウントし、CLK入力毎に1UPするカウンタである。ラッチ回路は、演算回路の出力結果をラッチする。比較回路は、ラッチ回路の出力と、カウンタの出力を比較し、カウンタ出力>ラッチ出力の関係になったときに、パルスを出力する。パルスの出力は、LOAD出力が立ち下がりの瞬間に、ロー(L)レベルとなり、比較回路がハイ(H)になった時に、ハイ(H)レベルとなるように構成する。

10

【0042】

走査線駆動回路14は、パルス幅制御信号発生回路21の出力パルスを受け、出力パルスがLレベルの期間だけ、全ての走査出力がVMレベルとなる。出力パルスがHレベルの期間は、通常の出力動作を行う。

【0043】

次に本実施例における評価パターン及び各制御波形のタイミングについて説明する。

【0044】

20

図2は、本実施例における評価パターンである。

背景色を白、すなわち8/8ドットオンとして、水平方向の中央80%領域に、7/8~0/8までの階調表示パターンを表示する。このときの、走査電極駆動回路に最も近い水平方向10%の領域、及び最も遠い水平方向10%の領域をクロストークの観察領域とする。

【0045】

図5は本発明の実施例における各制御波形のタイミング図である。

本発明の駆動方法にはAP法が用いており、液晶に直流電圧が印加されないように極性を反転して駆動している。

【0046】

30

同図において、51は走査開始信号FRMで走査開始位置を示す。走査開始信号51と次の走査開始信号51までの期間はフレーム期間58として示す。52は走査クロック信号L0ADでフレーム期間58を走査線数またそれ以上の数で分割した制御信号で、次のパルスまでの期間は1走査線あたりの走査期間59を示している。走査線駆動回路14は走査クロック信号52によって、走査開始信号51を取り込み、順次シフトすることによって走査線を1本ずつ順に走査し、走査信号を各走査線に与えている。

【0047】

走査信号波形54は、図1に示す走査線12の走査信号波形であり、信号線駆動波形55は、図2に示す信号線23の信号線駆動波形である。また、信号線駆動波形56は、図2に示す信号線24の信号線駆動波形である。

40

【0048】

次に図4にて各階調表示における階調テーブルの一例を示す。

信号線駆動波形55は同図のような階調テーブルの場合を示す。各表示画素10には信号線駆動波形と走査信号波形との差分電圧が印加される。

【0049】

60はパルス幅制御信号である。パルス幅制御信号発生回路21はデータ数検出回路17、デコーダ回路18、加算回路19、演算回路20によって求められた、最適なパルス幅を走査線駆動回路14に出力する。パルス幅制御信号60を受けた走査線駆動回路14はパルス幅制御信号のパルス期間、非選択電圧を出力する。

【0050】

50

走査線駆動回路 14 はパルス幅制御信号 60 が、例えば H レベルのとき、走査する走査線に対して、正極性の場合には正の走査線選択電圧 V_H を、一方、負極性の場合には、負の走査線選択電圧 V_L の電圧を与える。また、パルス幅制御信号 60 が L レベルの時には、走査線駆動回路 14 は走査する走査線に対して走査線非選択電圧 V_M を与える。また、走査線駆動回路 14 は走査していない走査線に対しては、パルス幅制御信号 60 の状態によらず、走査線非選択電圧 V_M を与えるように動作する。

【0051】

以上述べたように、表示オン数の違いによる、実効電圧の変化によって生じる横クロストークは、表示オン数またはオフ数に応じて走査電圧のパルス幅を変化させ、実効電圧を変調することにより補償する。

10

【0052】

その際、本発明によれば、1 水平走査ラインの画素数を任意の画素数で分割し、分割された領域毎に表示オン数を計数している。また、得られた計数値に対して実効電圧と透過率の特性を考慮した値を重み付けする。各領域での値の和を取ることで、1 水平走査ラインでの重み付けの値を得ることができ、この値をもとに走査電圧パルス幅を変化させ、これにより、実効電圧値を変調させ、その結果、フレーム制御等の階調制御を行う場合においても、階調による誘電率の差を考慮した補正をすることができる。

【0053】

【発明の効果】

以上の通り、本発明によれば、横クロストーク現象に対して、負荷に応じた補正を適正に行うことができるようになり、クロストークを緩和し、表示品位をあげることができる。

20

【図面の簡単な説明】

【図 1】本発明の液晶表示装置の構成を示すブロック図である。

【図 2】本発明の実施例における表示パターンを示す拡大図である。

【図 3】本発明の実施例における表示パターンの詳細を示す拡大図である。

【図 4】階調表示時の点灯パターンの一例を示す説明図である。

【図 5】本発明の実施例における各制御波形のタイミング図である。

【図 6】3/4 階調と 3/4 点灯表示の違いを示す説明図である。

【図 7】実効電圧—透過率特性を示す線図である。

【図 8】従来の液晶表示装置の構成を示すブロック図である。

30

【図 9】従来における各制御波形のタイミング図である。

【図 10】従来における表示パターンを示す説明図である。

【符号の説明】

10、80・・・画素

11、23、24、81、102、103・・・信号線

12、22、82、101・・・走査線

13、83・・・信号線駆動回路

14、84・・・走査線駆動回路

15、85・・・電源回路

16、86・・・制御回路

40

17・・・データ数検出回路

18・・・デコーダ

19・・・加算回路

20・・・演算回路

21・・・パルス幅制御信号発生回路

25・・・階調表示領域

26、27・・・クロストーク観察領域

51、61・・・走査開始信号

52、62・・・走査クロック信号

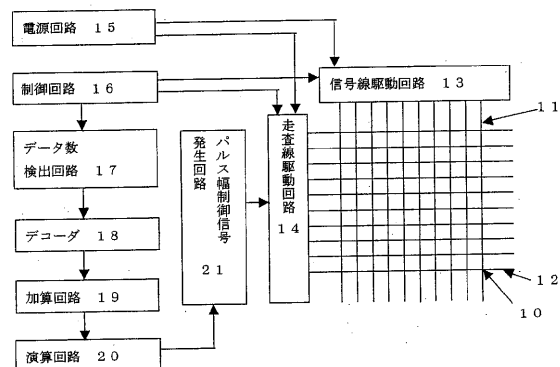
53、83・・・交流化制御信号

50

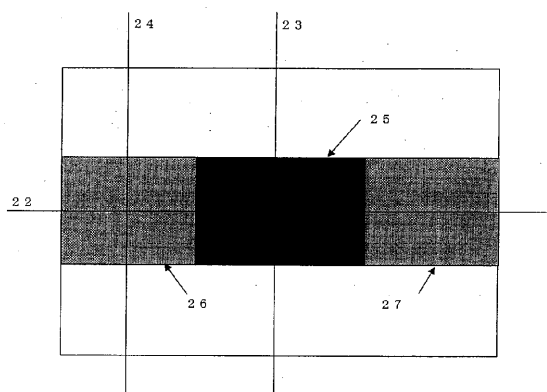
- 5 4、9 4・・・走査線信号波形
- 5 5・・・信号線 2 3 における信号線駆動波形
- 5 6・・・信号線 2 4 における信号線駆動波形
- 5 7・・・階調表示領域の期間
- 5 8、9 8・・・フレーム期間
- 5 9、9 9・・・走査期間
- 6 0・・・パルス幅制御信号
- 8 7・・・従来技術によるパルス幅制御信号発生回路
- 8 8・・・従来技術による演算回路
- 8 9・・・従来技術による計数回路
- 9 5・・・信号線 7 2 における信号線駆動波形
- 9 6・・・信号線 7 3 における信号線駆動波形
- 9 7・・・従来技術の表示パターンにおける表示オフ期間
- 1 0 0・・・従来技術におけるパルス幅制御信号
- 1 0 4・・・従来技術の表示パターンにおける表示オフ領域

10

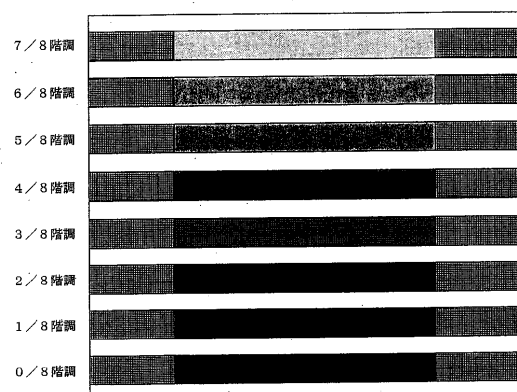
【 圖 1 】



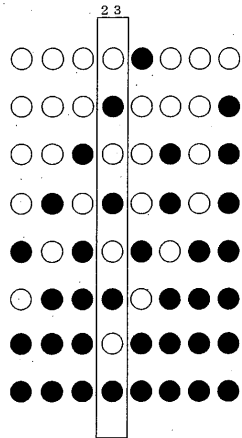
【圖 2】



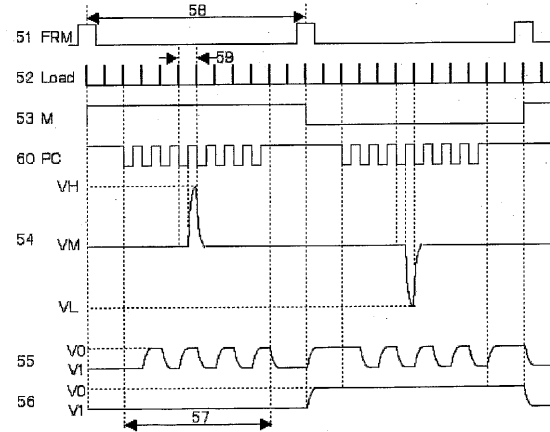
【 圖 3 】



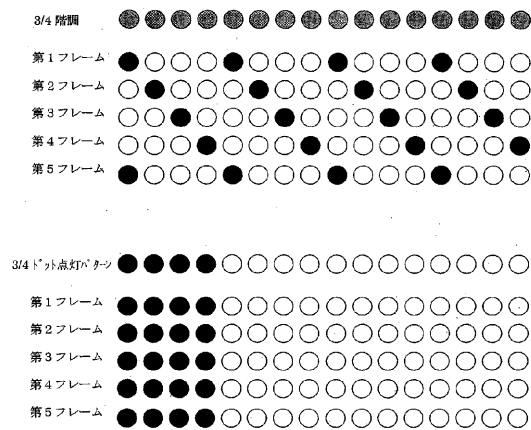
【図 4】



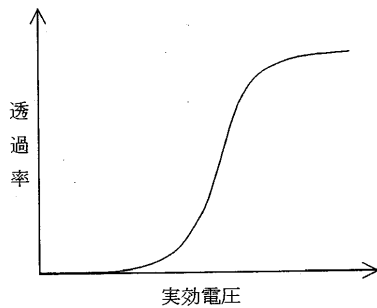
【図 5】



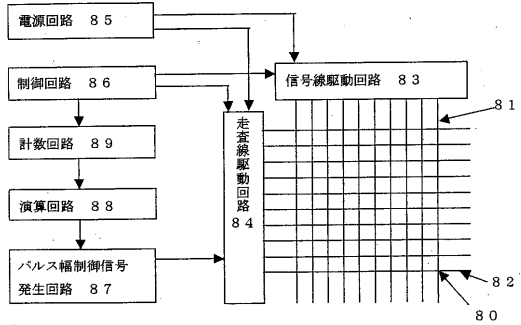
【図 6】



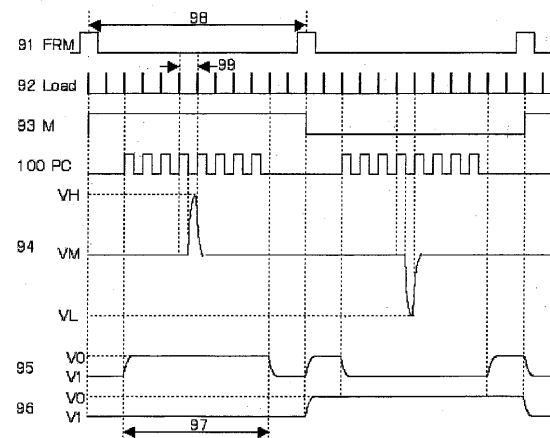
【図 7】



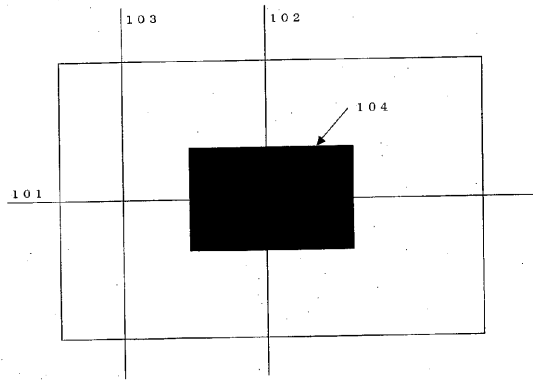
【図 8】



【図 9】



【図 10】



フロントページの続き(51) Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 3 A

专利名称(译)	液晶表示装置		
公开(公告)号	JP2004205851A	公开(公告)日	2004-07-22
申请号	JP2002375635	申请日	2002-12-25
[标]申请(专利权)人(译)	京瓷株式会社		
申请(专利权)人(译)	京瓷株式会社		
[标]发明人	小野寺朋和		
发明人	小野寺 朋和		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.545 G09G3/20.611.D G09G3/20.612.R G09G3/20.612.U G09G3/20.621.B G09G3/20.622.C G09G3/20.622.G G09G3/20.623.A		
F-TERM分类号	2H093/NA01 2H093/NC16 2H093/NC27 2H093/ND01 2H093/ND06 2H093/ND15 5C006/AC24 5C006/AC28 5C006/AF42 5C006/AF51 5C006/AF53 5C006/BB12 5C006/BC12 5C006/FA36 5C080/AA10 5C080/BB05 5C080/CC01 5C080/DD10 5C080/EE25 5C080/FF12 5C080/JJ01 5C080/JJ02 5C080/JJ04 5C080/JJ05 2H193/ZB51		
外部链接	Espacenet		

摘要(译)

要解决的问题：根据负载正确纠正水平串扰现象，从而减轻串扰并提高显示质量。一种简单矩阵型液晶显示装置，包括：数据数检测电路，用于与时钟脉冲同步地检测数据信号的ON数；解码器，用于转换为与数据数检测电路的输出相对应的预定值一种运算电路，它根据加法器电路的输出计算串扰校正脉冲的脉冲宽度，该加法器电路的输出加上对应于解码器电路输出的一条扫描线，并根据运算电路的结果改变脉冲宽度一种脉冲宽度控制信号发生电路，用于产生校正脉冲和用于通过根据校正脉冲的宽度改变扫描电压脉冲的宽度来改变施加到液晶的有效电压的装置。

点域1

