

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4190862号
(P4190862)

(45) 発行日 平成20年12月3日(2008.12.3)

(24) 登録日 平成20年9月26日(2008.9.26)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 611A
	G09G 3/20 621B
	G09G 3/20 621D
	請求項の数 31 (全 47 頁) 最終頁に続く

(21) 出願番号	特願2002-321628 (P2002-321628)	(73) 特許権者	000005049
(22) 出願日	平成14年11月5日(2002.11.5)		シャープ株式会社
(65) 公開番号	特開2003-248468 (P2003-248468A)		大阪府大阪市阿倍野区長池町2番2号
(43) 公開日	平成15年9月5日(2003.9.5)	(74) 代理人	110000338
審査請求日	平成16年12月20日(2004.12.20)		特許業務法人原謙三国際特許事務所
(31) 優先権主張番号	特願2001-384105 (P2001-384105)	(74) 代理人	100080034
(32) 優先日	平成13年12月18日(2001.12.18)		弁理士 原 謙三
(33) 優先権主張国	日本国(JP)	(74) 代理人	100113701
			弁理士 木島 隆一
		(74) 代理人	100115026
			弁理士 圓谷 徹
		(74) 代理人	100116241
			弁理士 金子 一郎
			最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

アクティブ素子を有する複数の画素からなる表示部を備えた表示装置の駆動方法において、

画素のリフレッシュレートを少なくとも2つ設け、

前記表示部を複数の領域に分割し、

前記複数の領域のそれぞれに対して、前記リフレッシュレートのいずれかで画素にデータを書込むとともに、

画素への書込み極性を、極性自動調整手段によって、前回までの書込み極性に基づいて自動調整し、

前記極性自動調整手段は、アキュムレータ、比較器、スイッチ、第1加算器、第2加算器、交流化駆動回路、ラッチする回路、および、パルス通過許可部を備えており、

画素のリフレッシュを行うフレーム期間にアクティブとなる信号をスキャン実行タイミング信号とし、画素のリフレッシュを行わないフレーム期間にアクティブとなる信号をスキャン非実行タイミング信号としたとき、

前記アキュムレータは、前記アキュムレータの第1入力端子にアクティブな信号が入力されると+1をカウントする一方、前記アキュムレータの第2入力端子にアクティブな信号が入力されると-1をカウントして、積算出力を前記比較器に入力し、

前記比較器は、前記アキュムレータから入力される前記積算出力が0以上であれば前記比較器の第1出力端子からアクティブな信号を出力し、前記アキュムレータから入力

される前記積算出力が0未満であれば前記比較器の第2出力端子からアクティブな信号を出力し、

前記スイッチは、入力される前記スキャン実行タイミング信号がアクティブであるときに、前記比較器の前記第1出力端子と前記第1加算器の第1入力端子および前記ラッチする回路の第1入力端子との間の接続を行うとともに、前記比較器の前記第2出力端子と前記第2加算器の第1入力端子および前記ラッチする回路の第2入力端子との間の接続を行い、入力される前記スキャン実行タイミング信号が非アクティブであるときに、前記比較器の前記第1出力端子と前記第1加算器の第1入力端子および前記ラッチする回路の第1入力端子との間の遮断を行うとともに、前記比較器の前記第2出力端子と前記第2加算器の第1入力端子および前記ラッチする回路の第2入力端子との間の遮断を行い、

前記ラッチする回路は、入力される前記スキャン実行タイミング信号がアクティブであるときにラッチ動作を行って、前記ラッチする回路の前記第1入力端子への入力を前記ラッチする回路の第1出力端子に出力するとともに、前記ラッチする回路の前記第2入力端子への入力を前記ラッチする回路の第2出力端子に出力し、

前記パルス通過許可部は、入力される前記スキャン非実行タイミング信号がアクティブであるときに信号の通過を許可する状態となることにより、前記ラッチする回路の前記第1出力端子からの出力を通過させて前記第1加算器の第2入力端子に入力するとともに、前記ラッチする回路の前記第2出力端子からの出力を通過させて前記第2加算器の第2入力端子に入力し、

前記第1加算器は、前記第1加算器の前記第1入力端子への入力と前記第1加算器の前記第2入力端子への入力とを加算して、前記アキュムレータの前記第1入力端子および前記交流化駆動回路の第1入力端子に入力し、

前記第2加算器は、前記第2加算器の前記第1入力端子への入力と前記第2加算器の前記第2入力端子への入力とを加算して、前記アキュムレータの前記第2入力端子および前記交流化駆動回路の第2入力端子に入力し、

前記交流化駆動回路は、入力される前記スキャン実行タイミング信号がアクティブであるときには、前記交流化駆動回路の前記第1入力端子にアクティブな信号が入力されると前記書込み極性を正極性とする駆動信号を発生させるとともに、前記交流化駆動回路の前記第2入力端子にアクティブな信号が入力されると前記書込み極性を負極性とする駆動信号を発生させ、入力される前記スキャン非実行タイミング信号がアクティブであるときには

はいずれの前記駆動信号も発生させない構成である、

ことを特徴とする表示装置の駆動方法。

【請求項2】

前記複数の領域は表示領域と非表示領域との2つの領域であり、

前記表示領域の画素にデータを毎フレーム書込むまたは間欠書込みし、

前記非表示領域の画素にデータを、前記表示領域の画素への書込みよりも低いリフレッシュレートで間欠書込みすることを特徴とする請求項1に記載の表示装置の駆動方法。

【請求項3】

前記非表示領域とする画素への間欠書込みの周期を、表示形態、アクティブ素子の種類、素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに前記表示領域の表示内容および面積の少なくとも1つに基づいて決定することを特徴とする請求項2に記載の表示装置の駆動方法。

【請求項4】

前記非表示領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みすることを特徴とする請求項2または3に記載の表示装置の駆動方法。

【請求項5】

前記非表示領域の画素への書込み極性を、前記極性自動調整手段によって自動調整することを特徴とする請求項4に記載の表示装置の駆動方法。

【請求項6】

10

20

30

40

50

前記複数の領域は2つの表示領域であり、
一方の表示領域の画素にデータを毎フレーム書込むまたは間欠書込みし、
他方の表示領域の画素にデータを、前記一方の表示領域の画素への書込みよりも低いリフレッシュレートで間欠書込みすることを特徴とする請求項1に記載の表示装置の駆動方法。

【請求項7】

前記他方の表示領域の画素への間欠書込みの周期を、表示形態、アクティブ素子の種類、素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに前記一方の表示領域の表示内容および面積の少なくとも1つに基づいて決定することを特徴とする請求項6に記載の表示装置の駆動方法。

10

【請求項8】

前記他方の表示領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みすることを特徴とする請求項6または7に記載の表示装置の駆動方法。

【請求項9】

前記他方の表示領域の画素への書込み極性を、前記極性自動調整手段によって自動調整することを特徴とする請求項8に記載の表示装置の駆動方法。

【請求項10】

前記複数の領域は3つ以上の領域であり、前記3つ以上の領域に対して互いに異なるリフレッシュレートでそれぞれの画素にデータを書込むことを特徴とする請求項1に記載の表示装置の駆動方法。

20

【請求項11】

前記3つ以上の領域の少なくとも1つの領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みすることを特徴とする請求項10に記載の表示装置の駆動方法。

【請求項12】

前記少なくとも1つの領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整することを特徴とする請求項11に記載の表示装置の駆動方法。

【請求項13】

アクティブマトリクス型の表示装置において、
データ信号線駆動回路および走査信号線駆動回路を駆動して表示部の画素へのデータの書込みを制御する制御信号発生回路は、少なくとも2つのリフレッシュレートによって画素へのデータの書込みを制御することができ、前記表示部を複数の領域に分割し、前記複数の領域のそれぞれに対して、前記リフレッシュレートのいずれかで画素へのデータの書込みを制御し、

30

画素への書込み極性を、前回までの書込み極性に基づいて自動調整する極性自動調整手段を有しており、

前記極性自動調整手段は、アキュムレータ、比較器、スイッチ、第1加算器、第2加算器、交流化駆動回路、ラッチする回路、および、パルス通過許可部を備えており、

40

画素のリフレッシュを行うフレーム期間にアクティブとなる信号をスキャン実行タイミング信号とし、画素のリフレッシュを行わないフレーム期間にアクティブとなる信号をスキャン非実行タイミング信号としたとき、

前記アキュムレータは、前記アキュムレータの第1入力端子にアクティブな信号が入力されると+1をカウントする一方、前記アキュムレータの第2入力端子にアクティブな信号が入力されると-1をカウントして、積算出力を前記比較器に入力し、

前記比較器は、前記アキュムレータから入力される前記積算出力が0以上であれば前記比較器の第1出力端子からアクティブな信号を出力し、前記アキュムレータから入力される前記積算出力が0未満であれば前記比較器の第2出力端子からアクティブな信号を出力し、

50

前記スイッチは、入力される前記スキャン実行タイミング信号がアクティブであるときに、前記比較器の前記第1出力端子と前記第1加算器の第1入力端子および前記ラッチする回路の第1入力端子との間の接続を行うとともに、前記比較器の前記第2出力端子と前記第2加算器の第1入力端子および前記ラッチする回路の第2入力端子との間の接続を行い、入力される前記スキャン実行タイミング信号が非アクティブであるときに、前記比較器の前記第1出力端子と前記第1加算器の第1入力端子および前記ラッチする回路の第1入力端子との間の遮断を行うとともに、前記比較器の前記第2出力端子と前記第2加算器の第1入力端子および前記ラッチする回路の第2入力端子との間の遮断を行い、

前記ラッチする回路は、入力される前記スキャン実行タイミング信号がアクティブであるときにラッチ動作を行って、前記ラッチする回路の前記第1入力端子への入力を前記ラッチする回路の第1出力端子に出力するとともに、前記ラッチする回路の前記第2入力端子への入力を前記ラッチする回路の第2出力端子に出力し、

前記パルス通過許可部は、入力される前記スキャン非実行タイミング信号がアクティブであるときに信号の通過を許可する状態となることにより、前記ラッチする回路の前記第1出力端子からの出力を通過させて前記第1加算器の第2入力端子に入力するとともに、前記ラッチする回路の前記第2出力端子からの出力を通過させて前記第2加算器の第2入力端子に入力し、

前記第1加算器は、前記第1加算器の前記第1入力端子への入力と前記第1加算器の前記第2入力端子への入力を加算して、前記アキュムレータの前記第1入力端子および前記交流化駆動回路の第1入力端子に入力し、

前記第2加算器は、前記第2加算器の前記第1入力端子への入力と前記第2加算器の前記第2入力端子への入力を加算して、前記アキュムレータの前記第2入力端子および前記交流化駆動回路の第2入力端子に入力し、

前記交流化駆動回路は、入力される前記スキャン実行タイミング信号がアクティブであるときには、前記交流化駆動回路の前記第1入力端子にアクティブな信号が入力されると前記書込み極性を正極性とする駆動信号を発生させるとともに、前記交流化駆動回路の前記第2入力端子にアクティブな信号が入力されると前記書込み極性を負極性とする駆動信号を発生させ、入力される前記スキャン非実行タイミング信号がアクティブであるときにはいずれの前記駆動信号も発生させない、

ことを特徴とする表示装置。

【請求項14】

前記制御信号発生回路は、

前記複数の領域として表示領域と非表示領域との2つの領域に分割し、前記表示領域とする画素へのデータの書込みを毎フレーム行わせ、前記非表示領域とする画素へは非表示とするためのデータを間欠書込みさせることを特徴とする請求項13に記載の表示装置。

【請求項15】

前記非表示領域とする画素への間欠書込みの周期を、表示形態、アクティブ素子の種類、素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに前記表示領域の表示内容および面積の少なくとも1つに基づいて決定することを特徴とする請求項14に記載の表示装置。

【請求項16】

前記非表示領域の各画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みすることを特徴とする請求項14または15に記載の表示装置。

【請求項17】

前記非表示領域の画素への書込み極性を、前記極性自動調整手段によって自動調整することを特徴とする請求項16に記載の表示装置。

【請求項18】

前記制御信号発生回路は、

前記複数の領域として2つの表示領域に分割し、一方の表示領域の画素へのデータの書

10

20

30

40

50

込みを毎フレーム行わせ、他方の表示領域の画素へはデータを間欠書込みさせることを特徴とする請求項 13 に記載の表示装置。

【請求項 19】

前記他方の表示領域の画素への間欠書込みの周期を、表示形態、アクティブ素子の種類、素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに前記一方の表示領域の表示内容および面積の少なくとも 1 つに基づいて決定することを特徴とする請求項 18 に記載の表示装置。

【請求項 20】

前記他方の表示領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みすることを特徴とする請求項 18 または 19 に記載の表示装置。

10

【請求項 21】

前記他方の表示領域の画素への書込み極性を、前記極性自動調整手段によって自動調整することを特徴とする請求項 20 に記載の表示装置。

【請求項 22】

前記制御信号発生回路は、

前記複数の領域として 3 つ以上の領域に分割し、前記 3 つ以上の領域に対して互いに異なるリフレッシュレートでそれぞれの画素にデータを書込ませることを特徴とする請求項 13 に記載の表示装置。

【請求項 23】

20

前記 3 つ以上の領域の少なくとも 1 つの領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みすることを特徴とする請求項 22 に記載の表示装置。

【請求項 24】

前記少なくとも 1 つの領域の画素への書込み極性を、前記極性自動調整手段によって自動調整することを特徴とする請求項 23 に記載の表示装置。

【請求項 25】

前記データ信号線駆動回路は、

前記複数の領域のうち、少なくとも 1 つの領域の画素へのデータの書込みを行う多階調ドライバと、前記複数の領域のうち、前記多階調ドライバによって書込みが行われる領域以外の領域の画素へのデータの書込みを行う 2 値ドライバとで構成され、

30

前記制御信号発生回路は、

前記多階調ドライバと前記 2 値ドライバとを択一的に駆動することを特徴とする請求項 13 ないし 24 の何れか 1 項に記載の表示装置。

【請求項 26】

前記多階調ドライバは複数のドライバを備え、

前記多階調ドライバの前段側のドライバの最後段のシフトレジスタからの転送パルスは次段側のドライバの最前段のシフトレジスタへ転送する切換え回路をさらに備え、

前記制御信号発生回路は、前記切換え回路による転送パルスの転送の許可および禁止を制御することを特徴とする請求項 25 に記載の表示装置。

40

【請求項 27】

前記 2 値ドライバは、シフトレジスタと、前記 2 値ドライバの前記シフトレジスタの出力パルスにตอบสนองして 2 値の映像信号をラッチするラッチ回路と、前記ラッチ回路からの出力に応じた液晶印加電圧を選択する複数のセクタとを備え、

前記複数のセクタのそれぞれをアクティブあるいは非アクティブとする転送位置指示回路をさらに備え、

前記制御信号発生回路は、前記転送位置指示回路による前記複数のセクタのそれぞれのアクティブおよび非アクティブを制御することを特徴とする請求項 25 または 26 に記載の表示装置。

【請求項 28】

50

前記走査信号線駆動回路は、 m 段のシフトレジスタと m 個の第1の論理回路とを備え、
前記 m 個の第1の論理回路のそれぞれは、前記 m 段のシフトレジスタの対応する段からのパルスが入力されると共に、該パルスの出力の許可および禁止を制御するためのパルス幅制御信号が入力され、

前記制御信号発生回路は、前記パルス幅制御信号のパルス幅を制御することを特徴とする請求項13ないし27の何れか1項に記載の表示装置。

【請求項29】

前記走査信号線駆動回路は、前記 m 段のシフトレジスタと前記 m 個の第1論理回路との間に m 個の第2論理回路をさらに備え、

前記 m 個の第2論理回路のそれぞれは、前記 m 段のシフトレジスタの対応する段の入力パルスと出力パルスとから、前記 m 段のシフトレジスタの対応する段からの前記パルスを作成することを特徴とする請求項28に記載の表示装置。

【請求項30】

前記走査信号線駆動回路は複数のドライバを備え、

前記走査信号線駆動回路の前段側のドライバの最後段のシフトレジスタからの転送パルスを、次段側のドライバの最前段のシフトレジスタへ転送するフレーム制御回路をさらに備え、

前記制御信号発生回路は、前記フレーム制御回路による前記転送パルスの転送の許可および禁止を制御することを特徴とする請求項13ないし29の何れか1項に記載の表示装置。

【請求項31】

前記アクティブ素子が、多結晶シリコン薄膜トランジスタからなることを特徴とする請求項13ないし30の何れか1項に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、TFT等のアクティブ素子を用いる表示装置およびその駆動方法に関し、特に表示領域の一部のみに画像を表示することができる、いわゆるパーシャル駆動が可能なものに関する。

【0002】

【従来の技術】

近年では、画像表示装置の低消費電力化に対する要望が強くなり、たとえば携帯電話の待受け画面のように、前記表示領域の一部のみに、情報として有意な画像を表示する前記パーシャル駆動が行われている。このパーシャル駆動では、表示が行われない非表示領域の走査時には、データ信号線駆動回路が停止し、前記低消費電力化が実現される。

【0003】

しかしながら、パッシブ駆動の単純マトリクス型等の画像表示装置では、書込み電圧が印加されないと非表示となるので、前記非表示領域の走査の度毎にデータ信号線駆動回路が停止すればよい。これに対して、前記アクティブ素子を用いるTFTアクティブマトリクス型等の画像表示装置では、前記パーシャル駆動に際して、非表示となる画素には、全体表示時の前フレームの電荷が残留しているため、典型的な従来技術の特許文献1では、最初のフレーム期間だけは前記非表示領域の画素にも非表示とするオフ電圧を印加し、以降のフレームにおいては該非表示領域の画素に電圧を印加しない、すなわち前記データ信号線駆動回路が停止することが記載されている。これによって、画素容量に比べて大容量であるデータ信号線の充電の機会を削減し、前記低消費電力化が図られている。

【0004】

【特許文献1】

特開平11-184434号公報

(公開日：平成11年(1999)7月9日)

【0005】

10

20

30

40

50

【特許文献2】

特開平5 - 188885号公報

(公開日:平成5年(1993)7月30日)

【0006】

【発明が解決しようとする課題】

ところで、近年ではまた、画像表示装置には、高精細化や動画への対応などの要望も強く、画素へ電荷を素早く書込むために、前記アクティブ素子の移動度が高まっている。しかしながら、アクティブ素子の移動度が高くなると、オフ時のリーク電流も大きくなり、上述のような従来技術では、前記非表示領域の画素に表示領域の画素への書込み電圧が影響し、該非表示領域にライン欠陥などのように見えてしまう不所望な表示が発生してしまうという問題がある。

10

【0007】

本発明の目的は、アクティブ素子を用いて表示部に表示および非表示などのように複数種類の態様の表示を行うにあたって、消費電力を抑えつつ、表示品位を向上することができる表示装置およびその駆動方法を提供することである。また、特に、アクティブ素子を用いる表示装置でパシシャル駆動を行うにあたって、消費電力を抑えつつ、表示品位を向上することができる表示装置およびその駆動方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明の表示装置の駆動方法は、上記課題を解決するために、アクティブ素子を有する複数の画素からなる表示部を備えた表示装置の駆動方法において、画素のリフレッシュレートを少なくとも2つ設け、前記表示部を複数の領域に分割し、前記複数の領域のそれぞれに対して、前記リフレッシュレートのいずれかで画素にデータを書込むとともに、画素への書込み極性を、極性自動調整手段によって、前回までの書込み極性に基づいて自動調整し、前記極性自動調整手段は、アキュムレータ、比較器、スイッチ、第1加算器、第2加算器、交流化駆動回路、ラッチする回路、および、パルス通過許可部を備えており、画素のリフレッシュを行うフレーム期間にアクティブとなる信号をスキャン実行タイミング信号とし、画素のリフレッシュを行わないフレーム期間にアクティブとなる信号をスキャン非実行タイミング信号としたとき、前記アキュムレータは、前記アキュムレータの第1入力端子にアクティブな信号が入力されると+1をカウントする一方、前記アキュムレータの第2入力端子にアクティブな信号が入力されると-1をカウントして、積算出力を前記比較器に入力し、前記比較器は、前記アキュムレータから入力される前記積算出力が0以上であれば前記比較器の第1出力端子からアクティブな信号を出力し、前記アキュムレータから入力される前記積算出力が0未満であれば前記比較器の第2出力端子からアクティブな信号を出力し、前記スイッチは、入力される前記スキャン実行タイミング信号がアクティブであるときに、前記比較器の前記第1出力端子と前記第1加算器の第1入力端子および前記ラッチする回路の第1入力端子との間の接続を行うとともに、前記比較器の前記第2出力端子と前記第2加算器の第1入力端子および前記ラッチする回路の第2入力端子との間の接続を行い、入力される前記スキャン実行タイミング信号が非アクティブであるときに、前記比較器の前記第1出力端子と前記第1加算器の第1入力端子および前記ラッチする回路の第1入力端子との間の遮断を行うとともに、前記比較器の前記第2出力端子と前記第2加算器の第1入力端子および前記ラッチする回路の第2入力端子との間の遮断を行い、前記ラッチする回路は、入力される前記スキャン実行タイミング信号がアクティブであるときにラッチ動作を行って、前記ラッチする回路の前記第1入力端子への入力を前記ラッチする回路の第1出力端子に出力するとともに、前記ラッチする回路の前記第2入力端子への入力を前記ラッチする回路の第2出力端子に出力し、前記パルス通過許可部は、入力される前記スキャン非実行タイミング信号がアクティブであるときに信号の通過を許可する状態となることにより、前記ラッチする回路の前記第1出力端子からの出力を通過させて前記第1加算器の第2入力端子に入力するとともに、前記ラッチする回路の前記第2出力端子からの出力を通過させて前記第2加算器の第2入力端子に

20

30

40

50

入力し、前記第1加算器は、前記第1加算器の前記第1入力端子への入力と前記第1加算器の前記第2入力端子への入力とを加算して、前記アキュムレータの前記第1入力端子および前記交流化駆動回路の第1入力端子に入力し、前記第2加算器は、前記第2加算器の前記第1入力端子への入力と前記第2加算器の前記第2入力端子への入力とを加算して、前記アキュムレータの前記第2入力端子および前記交流化駆動回路の第2入力端子に入力し、前記交流化駆動回路は、入力される前記スキャン実行タイミング信号がアクティブであるときには、前記交流化駆動回路の前記第1入力端子にアクティブな信号が入力されると前記書込み極性を正極性とする駆動信号を発生させるとともに、前記交流化駆動回路の前記第2入力端子にアクティブな信号が入力されると前記書込み極性を負極性とする駆動信号を発生させ、入力される前記スキャン非実行タイミング信号がアクティブであるときにはいずれの前記駆動信号も発生させない構成である、ことを特徴とする。

10

本発明の表示装置の駆動方法は、上記課題を解決するために、アクティブ素子を有する複数の画素からなる表示部を備えた表示装置の駆動方法において、画素のリフレッシュレートを少なくとも2つ設け、前記表示部を複数の領域に分割し、前記複数の領域のそれぞれに対して、前記リフレッシュレートのいずれかで画素にデータを書込むことを特徴とする。

【0009】

上記の発明によれば、表示部で分割された複数の領域のそれぞれに対して、少なくとも2つのリフレッシュレートのいずれかで画素にデータを書込む。例えば時計表示のように表示される画像のうち、秒数を簡易的に表現するために、コロン(：)の表示を点滅するような場合があり、このとき、その画像のみを含む領域を分割により生成し、その変化する部分のみを書き換えれば、その領域では1秒ごとの書き換え、つまり1Hzのリフレッシュレートでよく、また、別の領域ではTV画像のように60Hzのリフレッシュレートで駆動すればよい。また、静止画像が上記領域とは別の領域に表示した場合に、リフレッシュレートを15Hzにするなど、それぞれの表示領域でリフレッシュレートを異ならせる。

20

【0010】

以上のように、リフレッシュ期間が画素の特性上自由に選択できるのであれば、表示するデータの形態、つまり、データの転送速度やリフレッシュレートで一つの表示部上で領域を分けて表示のリフレッシュレートを変更することができる。画面の不要なリフレッシュを省略して領域ごとにリフレッシュレートを異ならせる、つまりフレームレートを異ならせることにより、低消費電力化を図ることが可能となる。

30

【0011】

この結果、アクティブ素子を用いて表示部に表示および非表示などのように複数種類の態様の表示を行うにあたって、消費電力を抑えつつ、表示品位を向上することができる表示装置の駆動方法を提供することができる。

【0012】

さらに本発明の表示装置の駆動方法は、上記課題を解決するために、前記複数の領域は表示領域と非表示領域との2つの領域であり、前記表示領域の画素にデータを毎フレーム書込むまたは間欠書込みし、前記非表示領域の画素にデータを、前記表示領域の画素への書込みよりも低いリフレッシュレートで間欠書込みすることを特徴とする。

40

【0013】

上記の発明によれば、TFTアクティブマトリクス型等の表示装置において、パシカル駆動を行うにあたって、表示領域の画素には、データを毎フレーム書込むまたは間欠書込みする。一方、非表示領域の画素には、表示領域の画素への書込みよりも低いリフレッシュレートで画素にデータを間欠書込みする、すなわち、非表示とするためのデータ(電圧、電流)を、最初のフレームだけではなく、定期的または任意のフレームに1回、書込みを行う。これにより、前記非表示領域を、前記定期的または任意の、表示領域に比べて大きな間隔でリフレッシュする。

【0014】

50

したがって、前記アクティブ素子の移動度が高く、オフ時のリーク電流が大きくても、また光電効果による電荷の蓄積が大きくても、表示領域の画素への書込みが非表示領域の画素に影響して、該非表示領域に不所望な表示が発生してしまうことはない。また、データ信号線駆動回路は、前記非表示領域の走査時であっても書込みを行わない時は、大容量のデータ信号線を充電することなく、完全に停止することができる。こうして、消費電力を抑えつつ、パーシャル表示の表示品位を向上することができる。

【0015】

この結果、アクティブ素子を用いる表示装置でパーシャル駆動を行うにあたって、消費電力を抑えつつ、表示品位を向上することができる表示装置の駆動方法を提供することができる。

10

【0016】

さらに本発明の表示装置の駆動方法は、上記課題を解決するために、前記非表示領域とする画素への間欠書込みの周期を、表示形態、アクティブ素子の種類、素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに前記表示領域の表示内容および面積の少なくとも1つに基づいて決定することを特徴とする。

【0017】

上記の発明によれば、非表示領域とする画素への間欠書込みの周期、従ってリフレッシュレートを、バックライトを使用するか否かの表示形態、アモルファス、微結晶、多結晶等の結晶粒の大きさなどであるアクティブ素子の種類、チャンネル長Lおよびチャンネル幅Wなどの素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに表示領域の表示内容および面積の少なくとも1つに基づいて決定するので、表示品位に影響を与えない範囲で、リフレッシュレートを最も低い周波数に選ぶことができる。

20

【0018】

さらに本発明の表示装置の駆動方法は、上記課題を解決するために、前記非表示領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みすることを特徴とする。

【0019】

上記の発明によれば、非表示領域の画素に両極性で間欠書込みを行い、その電圧印加時間における一方の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるようにするので、例えば上記所定値を小さい値に設定することにより、ある一方の極性に偏らずに間欠書込みすることができる。従って、リフレッシュレートを低くした書込みであっても、液晶材料の劣化を抑制するための画素の極性反転駆動を行うことができ、さらにはこの極性反転駆動をフリッカが生じないように行うことができる。

30

【0020】

さらに本発明の参考に係る表示装置の駆動方法は、上記課題を解決するために、前記非表示領域の画素への書込み極性を、前回までの書込み極性に対応するように設定することを特徴とする。

【0021】

上記の発明によれば、非表示領域の画素への書込み極性を、前回までの書込み極性に対応するように設定するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。

40

【0022】

さらに本発明の表示装置の駆動方法は、上記課題を解決するために、前記非表示領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整することを特徴とする。

【0023】

上記の発明によれば、非表示領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。また、メモリを使用して書込み極性を予め記憶しておく場合にはリフレッシュレートの種類だけのメモリ容量が必要となるが、書込み極性を自動調整する方式は、前回までの書込み極性から次の書込み極性を判定すればよく、リフレッシュレートの種類だけのメモ

50

りを必要としない点で、様々なリフレッシュレートに容易に対応することができる。

【0024】

さらに本発明の表示装置の駆動方法は、上記課題を解決するために、前記複数の領域は2つの表示領域であり、一方の表示領域の画素にデータを毎フレーム書込むまたは間欠書込みし、他方の表示領域の画素にデータを、前記一方の表示領域の画素への書込みよりも低いリフレッシュレートで間欠書込みすることを特徴とする。

【0025】

上記の発明によれば、TFTアクティブマトリクス型等の表示装置において、一方の表示領域の画素には、データを毎フレーム書込むまたは間欠書込みする。一方、他方の表示領域の画素には、一方の表示領域の画素への書込みよりも低いリフレッシュレートで画素にデータを間欠書込みする、これにより、他方の表示領域を、一方の表示領域に比べて大きな間隔でリフレッシュする。

10

【0026】

したがって、2つの表示領域はそれぞれのリフレッシュレートで書込まれ、一方の表示領域の画素への書込みが他方の表示領域の画素に影響して、他方の表示領域に不所望な表示が発生してしまうことはない。また、データ信号線駆動回路は、他方の表示領域の走査時であっても書込みを行わない時は、大容量のデータ信号線を充電することなく、完全に停止することができる。こうして、消費電力を抑えつつ、表示品位を向上することができる。

【0027】

さらに本発明の表示装置の駆動方法は、上記課題を解決するために、前記他方の表示領域の画素への間欠書込みの周期を、表示形態、アクティブ素子の種類、素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに前記一方の表示領域の表示内容および面積の少なくとも1つに基づいて決定することを特徴とする。

20

【0028】

上記の発明によれば、他方の表示領域とする画素への間欠書込みの周期、従ってリフレッシュレートを、バックライトを使用するか否かの表示形態、アモルファス、微結晶、多結晶等の結晶粒の大きさなどであるアクティブ素子の種類、チャンネル長Lおよびチャンネル幅Wなどの素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに一方の表示領域の表示内容および面積の少なくとも1つに基づいて決定するので、表示品位に影響を与えない範囲で、リフレッシュレートを最も低い周波数に選ぶことができる。

30

【0029】

さらに本発明の表示装置の駆動方法は、上記課題を解決するために、前記他方の表示領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みすることを特徴とする。

【0030】

上記の発明によれば、他方の表示領域の画素に両極性で間欠書込みを行い、その電圧印加時間における一方の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるようにするので、例えば上記所定値を小さい値に設定することにより、ある一方の極性に偏らずに間欠書込みすることができる。従って、リフレッシュレートを低くした書込みであっても、液晶材料の劣化を抑制するための画素の極性反転駆動を行うことができ、さらにはこの極性反転駆動をフリッカが生じないように行うことができる。

40

【0031】

さらに本発明の参考に係る表示装置の駆動方法は、上記課題を解決するために、前記他方の表示領域の画素への書込み極性を、前回までの書込み極性に対応するように設定することを特徴とする。

【0032】

上記の発明によれば、他方の表示領域の画素への書込み極性を、前回までの書込み極性に対応するように設定するので、各極性の電圧の実効値の差を正確に所定値以下にすること

50

ができる。

【0033】

さらに本発明の表示装置の駆動方法は、上記課題を解決するために、前記他方の表示領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整することを特徴とする。

【0034】

上記の発明によれば、他方の表示領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。また、メモリを使用して書込み極性を予め記憶しておく場合にはリフレッシュレートの種類だけのメモリ容量が必要となるが、書込み極性を自動調整する方式は、前回までの書込み極性から次の書込み極性を判定すればよく、リフレッシュレートの種類だけのメモリを必要としない点で、様々なリフレッシュレートに容易に対応することができる。

10

【0035】

さらに本発明の表示装置の駆動方法は、上記課題を解決するために、前記複数の領域は3つ以上の領域であり、前記3つ以上の領域に対して互いに異なるリフレッシュレートでそれぞれの画素にデータを書込むことを特徴とする。

【0036】

上記の発明によれば、3つの領域はそれぞれのリフレッシュレートで書込まれ、ある領域の画素への書込みがそれよりもリフレッシュレートが低い領域の画素に影響して、不所望な表示が発生してしまうことはない。また、データ信号線駆動回路は、ある領域において走査時であっても書込みを行わない時は、大容量のデータ信号線を充電することなく、完全に停止することができる。こうして、消費電力を抑えつつ、表示品位を向上することができる。

20

【0037】

さらに本発明の表示装置の駆動方法は、上記課題を解決するために、前記3つ以上の領域の少なくとも1つの領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みすることを特徴とする。

【0038】

上記の発明によれば、ある領域の画素に両極性で間欠書込みを行い、その電圧印加期間における一方の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるようにするので、例えば上記所定値を小さい値に設定することにより、ある一方の極性に偏らずに間欠書込みすることができる。従って、リフレッシュレートを低くした書込みであっても、液晶材料の劣化を抑制するための画素の極性反転駆動を行うことができ、さらにはこの極性反転駆動をフリッカが生じないように行うことができる。

30

【0039】

さらに本発明の参考に係る表示装置の駆動方法は、上記課題を解決するために、前記少なくとも1つの領域の画素への書込み極性を、前回までの書込み極性に対応するように設定することを特徴とする。

【0040】

上記の発明によれば、ある領域の画素への書込み極性を、前回までの書込み極性に対応するように設定するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。

40

【0041】

さらに本発明の表示装置の駆動方法は、上記課題を解決するために、前記少なくとも1つの領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整することを特徴とする。

【0042】

上記の発明によれば、ある領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる

50

。また、メモリを使用して書込み極性を予め記憶しておく場合にはリフレッシュレートの種類だけのメモリ容量が必要となるが、書込み極性を自動調整する方式は、前回までの書込み極性から次の書込み極性を判定すればよく、リフレッシュレートの種類だけのメモリを必要としない点で、様々なリフレッシュレートに容易に対応することができる。

【0043】

本発明の表示装置は、上記課題を解決するために、アクティブマトリクス型の表示装置において、データ信号線駆動回路および走査信号線駆動回路を駆動して表示部の画素へのデータの書込みを制御する制御信号発生回路は、少なくとも2つのリフレッシュレートによって画素へのデータの書込みを制御することができ、前記表示部を複数の領域に分割し、前記複数の領域のそれぞれに対して、前記リフレッシュレートのいずれかで画素へのデータの書込みを制御し、画素への書込み極性を、前回までの書込み極性に基づいて自動調整する極性自動調整手段を有しており、前記極性自動調整手段は、アキュムレータ、比較器、スイッチ、第1加算器、第2加算器、交流化駆動回路、ラッチする回路、および、パルス通過許可部を備えており、画素のリフレッシュを行うフレーム期間にアクティブとなる信号をスキャン実行タイミング信号とし、画素のリフレッシュを行わないフレーム期間にアクティブとなる信号をスキャン非実行タイミング信号としたとき、前記アキュムレータは、前記アキュムレータの第1入力端子にアクティブな信号が入力されると+1をカウントする一方、前記アキュムレータの第2入力端子にアクティブな信号が入力されると-1をカウントして、積算出力を前記比較器に入力し、前記比較器は、前記アキュムレータから入力される前記積算出力が0以上であれば前記比較器の第1出力端子からアクティブな信号を出力し、前記アキュムレータから入力される前記積算出力が0未満であれば前記比較器の第2出力端子からアクティブな信号を出力し、前記スイッチは、入力される前記スキャン実行タイミング信号がアクティブであるときに、前記比較器の前記第1出力端子と前記第1加算器の第1入力端子および前記ラッチする回路の第1入力端子との間の接続を行うとともに、前記比較器の前記第2出力端子と前記第2加算器の第1入力端子および前記ラッチする回路の第2入力端子との間の接続を行い、入力される前記スキャン実行タイミング信号が非アクティブであるときに、前記比較器の前記第1出力端子と前記第1加算器の第1入力端子および前記ラッチする回路の第1入力端子との間の遮断を行うとともに、前記比較器の前記第2出力端子と前記第2加算器の第1入力端子および前記ラッチする回路の第2入力端子との間の遮断を行い、前記ラッチする回路は、入力される前記スキャン実行タイミング信号がアクティブであるときにラッチ動作を行って、前記ラッチする回路の前記第1入力端子への入力を前記ラッチする回路の第1出力端子に出力するとともに、前記ラッチする回路の前記第2入力端子への入力を前記ラッチする回路の第2出力端子に出力し、前記パルス通過許可部は、入力される前記スキャン非実行タイミング信号がアクティブであるときに信号の通過を許可する状態となることにより、前記ラッチする回路の前記第1出力端子からの出力を通過させて前記第1加算器の第2入力端子に入力するとともに、前記ラッチする回路の前記第2出力端子からの出力を通過させて前記第2加算器の第2入力端子に入力し、前記第1加算器は、前記第1加算器の前記第1入力端子への入力と前記第1加算器の前記第2入力端子への入力とを加算して、前記アキュムレータの前記第1入力端子および前記交流化駆動回路の第1入力端子に入力し、前記第2加算器は、前記第2加算器の前記第1入力端子への入力と前記第2加算器の前記第2入力端子への入力とを加算して、前記アキュムレータの前記第2入力端子および前記交流化駆動回路の第2入力端子に入力し、前記交流化駆動回路は、入力される前記スキャン実行タイミング信号がアクティブであるときには、前記交流化駆動回路の前記第1入力端子にアクティブな信号が入力されると前記書込み極性を正極性とする駆動信号を発生させるとともに、前記交流化駆動回路の前記第2入力端子にアクティブな信号が入力されると前記書込み極性を負極性とする駆動信号を発生させ、入力される前記スキャン非実行タイミング信号がアクティブであるときにはいずれの前記駆動信号も発生させない、ことを特徴とする。

また、本発明の表示装置は、上記課題を解決するために、アクティブマトリクス型の表

10

20

30

40

50

示装置において、データ信号線駆動回路および走査信号線駆動回路を駆動して表示部の画素へのデータの書込みを制御する制御信号発生回路は、少なくとも2つのリフレッシュレートによって画素へのデータの書込みを制御することができ、前記表示部を複数の領域に分割し、前記複数の領域のそれぞれに対して、前記リフレッシュレートのいずれかで画素へのデータの書込みを制御することを特徴とする。

【0044】

上記の発明によれば、表示部で分割された複数の領域のそれぞれに対して、少なくとも2つのリフレッシュレートのいずれかで画素にデータを書込む。この結果、アクティブ素子を用いて表示部に表示および非表示などのように複数種類の態様の表示を行うにあたって、消費電力を抑えつつ、表示品位を向上することができる表示装置を提供することができる。

10

【0045】

さらに本発明の表示装置は、上記課題を解決するために、前記制御信号発生回路は、前記複数の領域として表示領域と非表示領域との2つの領域に分割し、前記表示領域とする画素へのデータの書込みを毎フレーム行わせ、前記非表示領域とする画素へは非表示とするためのデータを間欠書込みさせることを特徴とする。

【0046】

上記の発明によれば、TFTアクティブマトリクス型等の表示装置において、パースナル駆動を行うにあたって、表示領域の画素には、データを毎フレーム書込む。一方、非表示領域の画素には、表示領域の画素への書込みよりも低いリフレッシュレートで画素にデータを間欠書込みする、すなわち、非表示とするためのデータ(電圧、電流)を、最初のフレームだけではなく、定期的または任意のフレームに1回、書込みを行う。この結果、アクティブ素子を用いる表示装置でパースナル駆動を行うにあたって、消費電力を抑えつつ、表示品位を向上することができる表示装置を提供することができる。

20

【0047】

さらに本発明の表示装置は、上記課題を解決するために、前記非表示領域とする画素への間欠書込みの周期を、表示形態、アクティブ素子の種類、素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに部分表示領域の表示内容および面積の少なくとも1つに基づいて決定することを特徴とする。

【0048】

上記の発明によれば、表示品位に影響を与えない範囲で、リフレッシュレートを最も低い周波数に選ぶことができる。

30

【0049】

さらに本発明の表示装置は、上記課題を解決するために、前記非表示領域の各画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みすることを特徴とする。

【0050】

上記の発明によれば、リフレッシュレートを低くした書込みであっても、液晶材料の劣化を抑制するための画素の極性反転駆動を行うことができ、さらにはこの極性反転駆動をフリッカが生じないように行うことができる。

40

【0051】

さらに本発明の参考に係る表示装置は、上記課題を解決するために、前記非表示領域の画素への書込み極性を、前回までの書込み極性に対応するように設定する極性設定手段を有することを特徴とする。

【0052】

上記の発明によれば、ある領域の画素への書込み極性を、前回までの書込み極性に対応するように設定するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。

【0053】

さらに本発明の表示装置は、上記課題を解決するために、前記非表示領域の画素への書込

50

み極性を、前回までの書込み極性に基づいて自動調整する極性自動調整手段を有することを特徴とする。

【0054】

上記の発明によれば、ある領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。また、リフレッシュレートの種類だけのメモリを必要としない点で、様々なリフレッシュレートに容易に対応することができる。

【0055】

さらに本発明の表示装置は、上記課題を解決するために、前記制御信号発生回路は、前記複数の領域として2つの表示領域に分割し、一方の表示領域の画素へのデータの書込みを毎フレーム行わせ、他方の表示領域の画素へはデータを間欠書込みさせることを特徴とする。

10

【0056】

上記の発明によれば、2つの表示領域はそれぞれのリフレッシュレートで書込まれ、一方の表示領域の画素への書込みが他方の表示領域の画素に影響して、他方の表示領域に不所望な表示が発生してしまうことはない。また、消費電力を抑えつつ、表示品位を向上することができる。

【0057】

さらに本発明の表示装置は、上記課題を解決するために、前記他方の表示領域の画素への間欠書込みの周期を、表示形態、アクティブ素子の種類、素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに一方の表示領域の表示内容および面積の少なくとも1つに基づいて決定することを特徴とする。

20

【0058】

上記の発明によれば、表示品位に影響を与えない範囲で、リフレッシュレートを最も低い周波数に選ぶことができる。

【0059】

さらに本発明の表示装置は、上記課題を解決するために、前記他方の表示領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みすることを特徴とする。

30

【0060】

上記の発明によれば、リフレッシュレートを低くした書込みであっても、液晶材料の劣化を抑制するための画素の極性反転駆動を行うことができ、さらにはこの極性反転駆動をフリッカが生じないように行うことができる。

【0061】

さらに本発明の参考に係る表示装置は、上記課題を解決するために、前記他方の表示領域の画素への書込み極性を、前回までの書込み極性に対応するように設定する極性設定手段を有することを特徴とする。

【0062】

上記の発明によれば、ある領域の画素への書込み極性を、前回までの書込み極性に対応するように設定するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。

40

【0063】

さらに本発明の表示装置は、上記課題を解決するために、前記他方の表示領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整する極性自動調整手段を有することを特徴とする。

【0064】

上記の発明によれば、ある領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。また、リフレッシュレートの種類だけのメモリを必要としない点で、様々なリフレッシュレートに容易に対応することができる。

50

【 0 0 6 5 】

さらに本発明の表示装置は、上記課題を解決するために、前記制御信号発生回路は、前記複数の領域として3つ以上の領域に分割し、前記3つ以上の領域に対して互いに異なるリフレッシュレートでそれぞれの画素にデータを書込ませることを特徴とする。

【 0 0 6 6 】

上記の発明によれば、3つの領域はそれぞれのリフレッシュレートで書込まれ、ある領域の画素への書込みがそれよりもリフレッシュレートが低い領域の画素に影響して、不所望な表示が発生してしまうことはない。また、消費電力を抑えつつ、表示品位を向上することができる。

【 0 0 6 7 】

さらに本発明の表示装置は、上記課題を解決するために、前記3つ以上の領域の少なくとも1つの領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みすることを特徴とする。

【 0 0 6 8 】

上記の発明によれば、リフレッシュレートを低くした書込みであっても、液晶材料の劣化を抑制するための画素の極性反転駆動を行うことができ、さらにはこの極性反転駆動をフリッカが生じないように行うことができる。

【 0 0 6 9 】

さらに本発明の参考に係る表示装置は、上記課題を解決するために、前記少なくとも1つの領域の画素への書込み極性を、前回までの書込み極性に対応するように設定する極性設定手段を有することを特徴とする。

【 0 0 7 0 】

上記の発明によれば、ある領域の画素への書込み極性を、前回までの書込み極性に対応するように設定するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。

【 0 0 7 1 】

さらに本発明の表示装置は、上記課題を解決するために、前記少なくとも1つの領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整する極性自動調整手段を有することを特徴とする。

【 0 0 7 2 】

上記の発明によれば、ある領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。また、リフレッシュレートの種類だけのメモリを必要としない点で、様々なリフレッシュレートに容易に対応することができる。

【 0 0 7 3 】

さらに本発明の表示装置は、上記課題を解決するために、前記データ信号線駆動回路は、前記複数の領域のうち、少なくとも1つの領域の画素へのデータの書込みを行う多階調ドライバと、前記複数の領域のうち、前記多階調ドライバによって書込みが行われる領域以外の領域の画素へのデータの書込みを行う2値ドライバとで構成され、前記制御信号発生回路は、前記多階調ドライバと前記2値ドライバとを択一的に駆動することを特徴とする。

【 0 0 7 4 】

上記の発明によれば、たとえば外部からの信号を多階調ドライバに供給して多階調を表示し、2値ドライバに供給して2値の表示を行う場合、前記多階調ドライバへ入力される液晶印加電圧は外部から供給されるアナログ信号であり、該アナログ信号の周波数にもよるけれども、非常に高性能のアナログアンプが前記制御信号発生回路に必要となる。これに対して、前記2値ドライバは外部から入力されるデジタル(2値)信号を該2値ドライバ内に保持し、別途に外部から供給されるDCまたは液晶の交流駆動方法にもよるけれども、たとえば1H反転駆動等、非常に低い周波数の液晶印加電圧を、前記保持したデジタル

10

20

30

40

50

データに応じて選択するので、前記制御信号発生回路には、前記液晶印加電圧を出力するのに前記高性能のアナログアンプを必要とせず、場合によっては前記DC電圧を出力するだけでよい。

【0075】

そして、アナログアンプが高性能であると消費電力が大きくなるのに対して、これら2つのドライバを走査信号線駆動回路や各画素とともに同一ガラス基板に作成した場合には、殆どコストに影響を与えることはない。したがって、これら2つのドライバを搭載し、それらを選択的に使用することで、前記高性能のアナログアンプを使用する機会を減らし、低消費電力化を図ることができる。

【0076】

さらに本発明の表示装置は、上記課題を解決するために、前記多階調ドライバは複数のドライバを備え、前記多階調ドライバの前段側のドライバの最後段のシフトレジスタからの転送パルスは次段側のドライバの最前段のシフトレジスタへ転送する切換え回路をさらに備え、前記制御信号発生回路は、前記切換え回路による転送パルスの転送の許可および禁止を制御することを特徴とする。

【0077】

上記の発明によれば、切換え回路によって前段側のドライバの最後段のシフトレジスタから次段側のドライバの最前段のシフトレジスタへ転送パルスの転送を許可するときには両ドライバに対応する領域に、多階調ドライバによる高いリフレッシュレートでの書込みを行うことができ、また、切換え回路によって転送パルスの転送を禁止するときには前段側のドライバに対応する領域に多階調ドライバによる書込みを行って、後段側のドライバに対応する領域に2値ドライバによる低いリフレッシュレートでの書込みを行うことができる。従って、多階調表示と2値表示とを複雑に組み合わせた表示を行うことができる。

【0078】

さらに本発明の表示装置は、上記課題を解決するために、前記2値ドライバは、シフトレジスタと、前記2値ドライバの前記シフトレジスタの出力パルスにตอบสนองして2値の映像信号をラッチするラッチ回路と、前記ラッチ回路からの出力に応じた液晶印加電圧を選択する複数のセレクトアとを備え、前記複数のセレクトアのそれぞれをアクティブあるいは非アクティブとする転送位置指示回路をさらに備え、前記制御信号発生回路は、前記転送位置指示回路による前記複数のセレクトアのそれぞれのアクティブおよび非アクティブを制御することを特徴とする。

【0079】

上記の発明によれば、転送位置指示回路によってアクティブとされるセレクトアから、ラッチ回路からの出力に応じた液晶印加電圧を選択することにより、2値ドライバによって領域を選択して2値表示を行うことができる。従って、多階調表示と2値表示とを複雑に組み合わせた表示を行うことができる。

【0080】

さらに本発明の表示装置は、上記課題を解決するために、前記走査信号線駆動回路は、m段のシフトレジスタとm個の第1の論理回路とを備え、前記m個の第1の論理回路のそれぞれは、前記m段のシフトレジスタの対応する段からのパルスが入力されると共に、該パルスの出力の許可および禁止を制御するためのパルス幅制御信号が入力され、前記制御信号発生回路は、前記パルス幅制御信号のパルス幅を制御することを特徴とする。

【0081】

上記の発明によれば、m個の第1の論理回路のそれぞれがm段のシフトレジスタの対応する段から入力されるパルスを、制御信号発生回路によってパルス幅が制御されたパルス幅制御信号によって出力許可されると、その第1の論理回路からは走査信号をアクティブとして書込みを行うことができ、出力禁止されると、走査信号を非アクティブとして書込みを行わないようにすることができる。

【0082】

さらに本発明の表示装置は、上記課題を解決するために、前記走査信号線駆動回路は、前

10

20

30

40

50

記m段のシフトレジスタと前記m個の第1論理回路との間にm個の第2論理回路をさらに備え、前記m個の第2論理回路のそれぞれは、前記m段のシフトレジスタの対応する段の入力パルスと出力パルスとから、前記m段のシフトレジスタの対応する段からの前記パルスを作成することを特徴とする。

【0083】

上記の発明によれば、m段のシフトレジスタの対応する段の入力パルスと出力パルスとから、第1の論理回路が出力すべきあるいは出力を禁止すべきパルスを作成することができる。

【0084】

さらに本発明の表示装置は、上記課題を解決するために、前記走査信号線駆動回路は複数のドライバを備え、前記走査信号線駆動回路の前段側のドライバの最後段のシフトレジスタからの転送パルスを、次段側のドライバの最前段のシフトレジスタへ転送するフレーム制御回路をさらに備え、前記制御信号発生回路は、前記フレーム制御回路による前記転送パルスの転送の許可および禁止を制御することを特徴とする。

10

【0085】

上記の発明によれば、フレーム制御回路によって前段側のドライバの最後段のシフトレジスタから次段側のドライバの最前段のシフトレジスタへ転送パルスの転送を許可するときには両ドライバに対応する領域に、同じ高いリフレッシュレートでの書込みを行うことができ、また、フレーム制御回路によって転送パルスの転送を禁止するときには前段側のドライバに対応する領域に高いリフレッシュレートによる書込みを行って、後段側のドライバに対応する領域に低いリフレッシュレートでの書込みを行うことができる。

20

【0086】

さらに本発明の表示装置は、上記課題を解決するために、前記アクティブ素子が、多結晶シリコン薄膜トランジスタからなることを特徴とする。

【0087】

上記の発明によれば、多結晶シリコン薄膜トランジスタは移動度が高い反面、オフ抵抗が低く、オフ時のリーク電流が大きいので、本発明が特に有効である。

【0088】

【発明の実施の形態】

本発明の実施の一形態について、図1～図8に基づいて説明すれば、以下のとおりである。

30

【0089】

図1は、本発明の表示装置の実施の一形態に係る画像表示装置である液晶表示装置11の電気的構成を示すブロック図である。この液晶表示装置11は、前記TF Tアクティブマトリクス型の液晶表示装置であり、大略的に、表示部12と、走査信号線駆動回路GDと、データ信号線駆動回路SD1と、データ信号線駆動回路SD2と、制御信号発生回路CTLとを備えて構成されている。

【0090】

前記表示部12では、相互に交差する複数の走査信号線G1, G2, ..., Gm(総称するときには、以下参照符Gで示す)およびデータ信号線S1, S2, ..., Sn(総称するときには、以下参照符Sで示す)によってマトリクス状に区画された各領域に画素PIXが配置される。前記各画素PIXは、図2で示されるように、前記TF Tから成るアクティブ素子SWと、画素容量Cpとを備えて構成される。前記走査信号線Gが選択走査されると、アクティブ素子SWはデータ信号線Sの後述する映像信号DATまたは電位VB, VWを前記画素容量Cpに取込み、前記画素容量Cpが非選択期間にもその映像信号DATまたは電位VB, VWを保持して、継続して表示を行う。前記画素容量Cpは、液晶容量CLと、補助容量Csとによって形成されている。

40

【0091】

図3は、前記走査信号線駆動回路GDの一構成例を示すブロック図である。この走査信号線駆動回路GDは、前記各走査信号線G1～Gmに対応したm段のシフトレジスタF1～

50

F_mと、NANDゲートA₁～A_mと、NORゲートB₁～B_mとを備えて構成される。前記制御信号発生回路CTLからのクロック信号CKG、その反転信号CKGBおよび走査スタート信号SPG等のタイミング信号に同期して、各シフトレジスタF₁～F_mは、前記走査スタート信号SPGのパルスを順次出力する。NANDゲートA₁～A_mは、それぞれ対応するシフトレジスタF₁～F_mの入出力間の否定論理積をとり、対応するNORゲートB₁～B_mの一方の入力へそれぞれ出力する。前記NORゲートB₁～B_mの他方の入力には、前記制御信号発生回路CTLからのパルス幅制御信号PWCが共通に入力されており、前記NANDゲートA₁～A_mからの出力との否定論理和が求められる。

【0092】

したがって、各NORゲートB₁～B_mから走査信号線G₁～G_mには、前記パルス幅制御信号PWCがアクティブである走査信号線のみ、そのパルス幅制御信号PWCのパルス幅に対応した選択パルスが順次出力される。このパルス幅制御信号PWCが走査信号線G₁、G₃についてアクティブとなり、走査信号線G₂について非アクティブとなった場合の該走査信号線駆動回路GDの各部の波形を、図4で示す。

【0093】

図3では、前記走査信号線駆動回路GDを、前記各走査信号線G₁～G_mに対応したm段のシフトレジスタF₁～F_mと、NANDゲートA₁～A_mと、NORゲートB₁～B_mとを備えて構成されているが、本発明はこの構成に限定されない。NORゲートB₁～B_mを第1の論理回路、NANDゲートA₁～A_mを第2の論理回路とすると、第2の論理回路は必ずしも必要ではなく、m段のシフトレジスタからのパルスが第1の論理回路へ直接入力されても良い。また、第1の論理回路はNORゲートに限定されず、第2の論理回路はNANDゲートに限定されるものでもない。

【0094】

一方、前記データ信号線駆動回路SD1は、シフトレジスタ13およびサンプリング回路14から構成され、シフトレジスタ13が前記制御信号発生回路CTLからのクロック信号CKS、その反転信号CKSBおよびデータ走査スタート信号SPS1等のタイミング信号に同期して、サンプリング回路14のアナログスイッチに入力された映像信号DATをサンプリングさせ、必要に応じて各データ信号線Sに書込む。

【0095】

また、前記データ信号線駆動回路SD1が前記データ信号線Sに多階調の映像信号DATを書込むのに対して、データ信号線駆動回路SD2は、前記電位VBまたはVWの2値データを書込む。それらの電位VBまたはVWが、対向電極の電位に応じて選択され、後述するパルシャル駆動時の非表示領域における非表示データとなる。

【0096】

前記データ信号線駆動回路SD2は、大略的に、シフトレジスタ15と、ラッチ回路16と、セクタ17とを備えて構成される。前記シフトレジスタ15は、前記データ信号線駆動回路SD1のシフトレジスタ13と同様に、多段に縦続接続されたフリップフロップから成り、制御信号発生回路CTLからクロック信号CKS、CKSBおよびデータ走査スタート信号SPS2が入力されると、相互に隣接する前記各フリップフロップ間から前記データ走査スタート信号SPS2が出力されてラッチパルスとなり、これにตอบสนองしてラッチ回路16は、制御信号発生回路CTLから入力される2値の映像信号RGBを順にラッチしてゆく。セクタ17は、前記制御信号発生回路CTLから入力される制御信号TRFにตอบสนองして、図示しない電源から入力される液晶印加電圧VBと液晶印加電圧VWとの何れかを、前記映像信号RGBに応じて選択し、各データ信号線Sに出力する。

【0097】

ここで、一般的に、外部から供給されるアナログデータは、外部のアナログアンプを介して供給されるけれども、そのアナログアンプの消費電力は非常に大きく、したがって2値の液晶印加電圧VB、VWは、前記アナログアンプを介して外部から直接供給するよりも、前記データ信号線駆動回路SD2のように映像信号RGBで入力し、電源から与えられる液晶印加電圧VB、VWを選択して出力する方が、低消費電力化に寄与することができ

10

20

30

40

50

る。

【 0 0 9 8 】

なお、この図 1 の例では、データ信号線 S の一端にデータ信号線駆動回路 S D 1 が設けられ、他端にデータ信号線駆動回路 S D 2 が設けられているけれども、これらの回路が表示部 1 2 の同じ側に設けられていても同様の効果を発揮することができる。

【 0 0 9 9 】

図 5 は、上述のように構成される液晶表示装置 1 1 のパースャル駆動時の表示例を示す図である。この図 5 の例では、表示部 1 2 において、任意の走査信号線 G i を境界として、走査信号線 G 1 ~ G i - 1 の領域が部分表示領域 P 1 となり、残余の走査信号線 G i ~ G m の領域が非表示領域 P 2 となっている。この図 5 の例では、前記部分表示領域 P 1 は前記データ信号線駆動回路 S D 1 によって駆動されて多階調表示が行われ、前記非表示領域 P 2 は前記データ信号線駆動回路 S D 2 によって駆動されてブランク表示、すなわち白または黒（点灯または非点灯）の表示が行われている。なお、部分表示領域 P 1 が 2 値表示である場合は、前記データ信号線駆動回路 S D 2 によって駆動されてもよい。

10

【 0 1 0 0 】

図 6 は、上述のような駆動方法を説明するための波形図である。前記制御信号発生回路 C T L からのパルス幅制御信号 P W C は、前記部分表示領域 P 1 に対応した走査信号線 G 1 ~ G i - 1 の選択期間については、毎フレームアクティブとなっている。これに対応して、前記制御信号発生回路 C T L から前記データ信号線駆動回路 S D 1 へのデータ走査スタート信号 S P S 1 も、毎フレーム、走査信号線 G 1 ~ G i - 1 の選択期間については、アクティブとなっている。これによって、前記データ信号線駆動回路 S D 1 は、前記制御信号発生回路 C T L からのクロック信号 C K S、その反転信号 C K S B およびデータ走査スタート信号 S P S 1 等のタイミング信号に同期して、毎フレーム毎に、前記部分表示領域 P 1 に対応した走査信号線 G 1 - 1 ~ G i の選択期間は、図示しない映像信号 D A T を各データ信号線 S に書込み、残余の非表示領域 P 2 に対応した走査信号線 G i ~ G m の選択期間は、停止している。

20

【 0 1 0 1 】

これに対して、前記パルス幅制御信号 P W C は、第 1 フレームおよび第 1 6 フレーム...の 1 5 フレームに 1 回だけ、前記非表示領域 P 2 に対応した走査信号線 G i ~ G m の選択期間も、アクティブとなる。これに対応して、前記制御信号発生回路 C T L から前記データ信号線駆動回路 S D 2 へのデータ走査スタート信号 S P S 2 も、1 5 フレームに 1 回だけ、走査信号線 G i ~ G m の選択期間については、アクティブとなっている。これによって、前記データ信号線駆動回路 S D 2 は、前記制御信号発生回路 C T L からのクロック信号 C K S、その反転信号 C K S B およびデータ走査スタート信号 S P S 2 等のタイミング信号に同期して、1 5 フレームに 1 回だけ、前記非表示領域 P 2 に対応した走査信号線 G i ~ G m の選択期間は、図示しない 2 値の映像信号 R G B に対応した非表示となる液晶印加電圧 V B または V W を各データ信号線 S に書込み、残余の部分表示領域 P 1 に対応した走査信号線 G 1 ~ G i - 1 の選択期間は、停止している。

30

【 0 1 0 2 】

したがって、データ信号線駆動回路 S D 1 と走査信号線駆動回路 G D とによって、部分表示領域 P 1 に、たとえば 1 5 H z のリフレッシュレートで映像信号 D A T が書換えられ、データ信号線駆動回路 S D 2 と走査信号線駆動回路 G D とによって、非表示領域 P 2 に、1 H z のリフレッシュレートで非表示となる液晶印加電圧 V B または V W が書換えられることになる。

40

【 0 1 0 3 】

以上の動作を繰返すことによって、表示部 1 2 を部分表示領域 P 1 と非表示領域 P 2 とに区分し、前記非表示領域 P 2 の画素には、非表示とするための液晶印加電圧 V B または V W を、最初のフレームだけではなく、1 5 フレームに 1 回、書込みを行う。

【 0 1 0 4 】

尚、本発明でのフレームとは、映像信号側ではなく画像表示装置側から見たものであり、

50

例えば、インタレース方式の映像信号の場合を考えると、奇数フィールドおよび偶数フィールドのそれぞれにおいて、画像表示装置の全画素への書き込みを行っている場合（画像表示装置が1フレームの走査線と同じ場合には、映像信号1行分のデータを2行に渡って書き込んだり、画像表示装置が1フィールドの走査線と同じ場合には、映像信号1行分のデータを1行毎に書き込む場合などがある）には、映像信号の1フィールドが画像表示装置の1フレームということになる。

【0105】

図7は、上述のような動作を実現するタイミングジェネレータ20の電氣的構成を示すブロック図である。このタイミングジェネレータ20は、前記制御信号発生回路CTLに内蔵され、前記クロック信号CKSおよびデータ走査スタート信号SPS1、SPS2なら

10

【0106】

前記インタフェイス部18は、全画面表示モードとパーシャル表示モードとの切換えなどの外部からの各種コマンドを受付け、パルスのタイミングを規定するための波形整形指示データDataを作成し、各レジスタR1~RkをアドレスデータAddressで指定しながら、該レジスタR1~Rkにセットしてゆく。一方、カウンタ19は、前記インタフェイス部18でリセットされ、外部からのクロック信号CKをカウントしてゆく。その

20

【0107】

したがって、たとえば前記パルス幅制御信号PWCにおいて、全画面表示モードでは、前記図6において第1フレームや第16フレームで示すように、総ての走査信号線G1~Gmの選択期間にパルスを出力し、これに対してパーシャル表示モードでは、前記図6において第2~第15フレームで示すように、走査信号線G1~Gi-1の選択期間（図6ではG1~G7）のみにパルスを出力する。こうして、前記パーシャル表示を行うことができる。

30

【0108】

このようにして、前記非表示領域P2を、部分表示領域P1に比べて大きな間隔でリフレッシュすることで、前記アクティブ素子SWの移動度が高く、オフ時のリーク電流が大きくても、部分表示領域P1の画素への映像信号DATの書き込みが非表示領域P2の画素に影響して、該非表示領域P2に不定な電位を液晶に印加してしまい、クロストークなどの不所望な表示が発生してしまうことを無くすことができ、パーシャル表示の表示品位を向上することができる。

【0109】

また、データ信号線駆動回路SD1、SD2は、前記非表示領域P2の走査時であっても、書き込みを行わない時は、大容量のデータ信号線Sを充電することなく、完全に停止することができる。そして、前記液晶印加電圧VBまたはVWの2値のデータであっても、多階調のデータと画像表示装置の消費電力は大差ないので、2値のデータの書き込みの機会を最少限とすることで、消費電力を削減することができる。

40

【0110】

ここで、上述のようなパーシャル駆動時における非表示領域P2のリフレッシュレートの選び方について説明する。リフレッシュレートは、表示品位に影響を与えない範囲で、最も低い周波数に選ばれることが望ましい。この表示品位を左右するパラメータとしては、表示形態、アクティブ素子SWの種類、素子サイズ、対向電極の駆動法、液晶材料、補助

50

容量 C_s ならびに部分表示領域 P_1 の表示内容および面積などである。前記素子の種類は、アモルファス、微結晶、多結晶等の結晶粒の大きさなどであり、前記素子サイズは、チャンネル長 L およびチャンネル幅 W などである。

【0111】

前記表示形態は、透過型と反射型との違いであり、すなわちバックライトを使用するか否かの違いであり、前記表示品位に最も大きな影響を与える。この点について詳述する。図8は、表示パネルのアクティブ素子 SW の部分の断面図である。このような構造で、前記反射型での使用時には、前面(図8の上側)側の充分離間した光源からの入射光は、パネル裏面で反射されて前面側へ出力される。これに対して、前記透過型での使用時には、裏面(図8の下側)から入射した光が、パネルを透過して前面側へ出力される。このとき、アクティブ素子 SW の半導体層に極近接しているバックライト用の光源からの光による光電効果によって、該半導体層に電荷が励起され、画素電位が変化してしまうことになる。したがって、反射型としての使用時の方がリフレッシュレートを低下可能であることが理解される。

10

【0112】

また、前記アクティブ素子 SW の種類、素子サイズおよび対向電極の駆動法は、前記アクティブ素子 SW のオフ時のリーク電流に影響する。たとえば、前記アモルファスよりも微結晶、微結晶よりも多結晶というように、結晶粒が大きくなる程、前記オフ抵抗が低くなってリーク電流が大きくなり、対向電極との電位差が大きくなる程、前記リーク電流が大きくなる。また、補助容量 C_s が大きくなる程、同じリーク電流であっても、表示品位に対する影響は小さくなる。こうして、前記各パラメータに応じて、前記非表示領域 P_2 のリフレッシュレートが決定される。

20

【0113】

次に、上述のようにして決定されたリフレッシュレートをを用いたリフレッシュタイミングの選び方について説明する。このリフレッシュタイミングは、フレーム反転駆動を行う場合に、前記部分表示領域 P_1 については、毎フレームリフレッシュされるので、各画素 PIX が特定の極性のみ保持されることはないけれども、前記非表示領域 P_2 については、毎フレームリフレッシュされないため、等間隔のリフレッシュレートで各画素 PIX がリフレッシュされると、特定の極性のみでリフレッシュされ続けてしまう場合が生じるために、検討が必要となるものである。なお、ライン反転駆動やドット反転駆動が行われているか否かは関係なく、各画素 PIX の印加極性が毎フレーム反転していればよい。

30

【0114】

すなわち、たとえば奇数フレームを+極性とし、偶数フレームを-極性とし、部分表示領域 P_1 のフレーム周波数(フルフレーム周波数)を 60Hz とした場合、表1には、非表示領域 P_2 については、前記等間隔のリフレッシュレートで単純にフレームを間引いた場合のリフレッシュ極性を示す。これに対して、表2には、前回のリフレッシュ極性を考慮してフレームを間引いた場合のリフレッシュ極性を示す。

【0115】

【表1】

フレームNo.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	結果
60	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	OK
50	+	-	+	-	+		+	-	+	-	+		+	-	+	-	+	NG
40	+	-		-	+		+	-		-	+		+	-		-	+	OK
30	+		+		+		+		+	-	+		+		+	-	+	NG
20	+			-			+			-			+			-		OK
15	+				+				+				+				+	NG
10	+					-					+					-		OK
8	+								+								+	NG
5	+												+					NG

10

20

30

【 0 1 1 6 】

【表 2】

結果	OK	OK	OK	OK	OK	OK	OK	OK	OK
17	+	+	-	+		+		+	
16	-	-	+		-		-		
15	+	+		-					
14	-	-	-						
13	+	+	+	+	+	-			-
12	-								
11	+	-	+	-			+		
10	-	+	-		-				
9	+	-		+		+		-	
8	-	+	+						
7	+	-	-	-	+				
6	-						-		
5	+	+	-	+		-			
4	-	-	+		-				
3	+	+		-					
2	-	-	-						
1	+	+	+	+	+	+	+	+	+
フレームNo.	60	50	40	30	20	15	10	8	5
	フレーム周波数								

10

20

30

【0117】

したがって、表1から明らかなように、当然、1/2のフレーム周波数の30Hzおよび1/4のフレーム周波数の15Hzでは、リフレッシュの度毎に、毎回同じ+極性が保持されることになる。また、50Hz、8Hzおよび5Hzも毎回同じ+極性が保持されている。したがって、上述のようにしてリフレッシュレートが決定されても、これらのフレーム周波数は、フレーム反転駆動を行う液晶表示装置には、単純には使用できなくなる。

40

【0118】

そこで、表2に示すように、極性を変更することで、16フレーム期間などのある一定のフレーム期間で見たときに、ある一方の極性に偏ってリフレッシュされることを防止することができる。すなわち、前記50Hzでは、第7～11のフレームの極性が反転されており、前記30Hzでは、第3、7、11、15のフレームの極性が反転されており、前記15Hzでは、第5、13のフレームの極性が反転されており、前記8Hzでは、第9のフレームの極性が反転されており、前記5Hzでは、第13のフレームの極性が反転されている。

【0119】

50

また、40Hzでは、第4, 5, 7, 8, 16, 17のフレームの極性が反転されている。これによって、できるだけ、同じ極性が長く続かないように配慮されている。なお、このようにフレームの極性を本来の極性から反転するのではなく、同じ極性が長く続く可能性が高くなるけれども、前記フレームの間引きを不等間隔とすることで、フレームの極性を本来の極性とし、制御を簡略化するようにしてもよい。

【0120】

表2に示すような極性反転を行うためには、極性反転に関するデータ(例えば、表2に基づくデータ)をルックアップテーブルに記憶させるようにした、図19に示すような構成の極性設定回路(極性設定手段)40を用いて読み出せば良い。極性設定回路40は、予め一連の設定極性を記憶しており、これによって非表示領域P2の画素への各書込み極性が、前回までの書込み極性に対応したものと設定される。極性設定回路40は、フレームカウンタ41、テーブルROM42、セクタ43、および交流化駆動回路44を備えている。

10

【0121】

フレームカウンタ41は、フレーム周波数に応じてカウントを行い、フレームNo(図19のFN)をテーブルROM(ルックアップテーブル)42に入力する。セクタ43は、対応するフレーム周波数を選択するためのものであり、セクタ43によって選択された信号s43がテーブルROM42に入力される。そして、テーブルROM42は、フレームNo(FN)とセクタ43からの信号s43とにより、対応する極性信号PO、および極性信号POに応じて正・負極性の駆動信号を発生させるか否かを指定する信号ACT/INACTを交流化駆動回路44に出力している。

20

【0122】

また、ルックアップテーブルを用いずに、極性反転を自動で行う方式を取ることもできる。図20に、極性反転を自動で行う方式を実現するための極性自動調整回路(極性設定手段、極性自動調整手段)50の構成を示す。極性自動調整回路50は、非表示領域P2の画素への書込み極性を、前回までの書込み極性に基づいて自動調整する。極性自動調整回路50は、アキュムレータ51、比較器52、スイッチ53、加算器54, 55、交流化駆動回路56、ラッチ回路57、およびパルス通過許可部58を備えている。

【0123】

アキュムレータ51からの出力信号s51が比較器52に入力され、該出力信号s51が0以上であれば、比較器52の+端子よりアクティブ信号s521が出力され、該出力信号s51が0未満であれば、比較器52の-端子よりアクティブ信号s522が出力される。比較器52からの信号(アクティブ信号s521、s522)はスイッチ53および加算器54、55を通してアキュムレータ51および交流化駆動回路56に入力される。

30

【0124】

前回、比較器52の+端子よりアクティブ信号s521が出力される場合には、アキュムレータ51の-端子にアクティブ信号s521が入力され、-1をカウントし、比較器の52-端子よりアクティブ信号s522が出力される場合には、アキュムレータ51の+端子にアクティブ信号s522が入力され、+1をカウントする。そして、アキュムレータ51の+端子にアクティブ信号が入力される場合には、交流化駆動回路56で正極性の駆動信号が発生され、アキュムレータ51の-端子にアクティブ信号が入力される場合には、交流化駆動回路56で負極性の駆動信号が発生される。

40

【0125】

ここで、リフレッシュを行わないフレーム期間では、スキャン実行タイミング信号EXTが非アクティブとなり、スイッチ53がOFFとなる。スキャン実行タイミング信号EXTは交流化駆動回路56およびラッチ回路57にも入力されているが、このとき、ラッチ回路57には前回の比較器52からの信号(アクティブ信号s521またはs522)が記憶されており、スキャン非実行タイミング信号NXTがアクティブとなり、ラッチ回路57からの信号(加算器54へ出力されるアクティブ信号s571、または加算器55へ出力されるアクティブ信号s572)がパルス通過許可部58を通してアキュムレータ5

50

1 および交流化駆動回路 5 6 に入力される。パルス通過許可部 5 8 は、スキャン非実行タイミング信号 N X T がアクティブであるときに信号の通過を許可する。

【 0 1 2 6 】

ラッチ回路 5 7 の + 端子にアクティブ信号 s 5 2 2 が記憶されている場合には、アキュムレータ 5 1 の + 端子に前回に引き続いてアクティブ信号が入力され、+ 1 をカウントし、ラッチ回路 5 7 の - 端子にアクティブ信号 s 5 2 1 が記憶されている場合には、アキュムレータ 5 1 の - 端子に前回に引き続いてアクティブ信号が入力され、- 1 をカウントする。そして、ラッチ回路 5 7 からの出力信号 (アクティブ信号 s 5 7 1 または s 5 7 2) が交流化駆動回路 5 6 にも入力されるが、スキャン非実行タイミング信号 N X T がアクティブであるため、スキャン非実行タイミング信号 N X T が入力される交流化駆動回路 5 6 で 10
は駆動信号を発生させることはない。

【 0 1 2 7 】

ここで、図 2 0 の回路構成を用いて、フレーム周波数が 6 0 H z の場合を考慮してみる (リフレッシュを行わないフレーム期間が存在しない) と、スキャン実行タイミング信号が常にアクティブであるため、アキュムレータ 5 1 の初期値が 0 であるならば、交流化駆動回路 5 6 から発生される駆動信号は、- , + , - , + , - , + , - , + , - , + , - , + , - , + , - , + , - , + と なる。つまり、+ と - の保持期間が等しいことは明らかである。

【 0 1 2 8 】

フレーム周波数が 4 0 H z の場合を考慮してみる (リフレッシュを行わないフレーム期間を表 2 と同じようにフレーム No . 3 , 6 , 9 , 1 2 , 1 5 とする) と、スキャン実行タイミング信号 E X T はフレーム No . 1 , 2 , 4 , 5 , 7 , 8 , 1 0 , 1 1 , 1 3 , 1 4 で 20
アクティブであり、スキャン非実行タイミング信号 N X T はフレーム No . 3 , 6 , 9 , 1 2 , 1 5 でアクティブであるため、アキュムレータ 5 1 の初期値が 0 であるならば、交流化駆動回路 5 6 から発生される駆動信号は、- , + , (+) , - , - , (-) , + , + , (+) , - , - , (-) , + , + , (+) , - と なる。(+) および (-) は交流化駆動回路 5 6 が駆動されていないが、前回のフレームでの極性の駆動信号が保持されていることを示しており、この場合にも + と - の保持期間は等しくなる。

【 0 1 2 9 】

フレーム周波数が 3 0 H z の場合を考慮してみる (リフレッシュを行わないフレーム期間を表 2 と同じようにフレーム No . 2 , 4 , 6 , 8 , 1 0 , 1 2 , 1 4 , 1 6 とする) と、 30
スキャン実行タイミング信号 E X T はフレーム No . 1 , 3 , 5 , 7 , 9 , 1 1 , 1 3 , 1 5 でアクティブであり、スキャン非実行タイミング信号 N X T はフレーム No . 2 , 4 , 6 , 8 , 1 0 , 1 2 , 1 4 , 1 6 でアクティブであるため、アキュムレータ 5 1 の初期値が 0 であるならば、交流化駆動回路 5 6 から発生される駆動信号は、- , (-) , + , (+) , - , (-) , + , (+) , - , (-) , + , (+) , - , (-) , + , (+) と なる。(+) および (-) は交流化駆動回路 5 6 が駆動されていないが、前回のフレームでの極性の駆動信号が保持されていることを示しており、この場合にも + と - との保持期間は等しくなる。他のフレーム周波数の場合にも、同じようなことが言える。

【 0 1 3 0 】

ルックアップテーブルを用いる場合と極性反転を自動で行う方式の場合とでは、両方とも 40
、1 6 フレーム期間などのある一定のフレーム期間で見たときに、ある一方の極性に偏ってリフレッシュされることを防止することができる。ルックアップテーブルを用いる場合の方が優れている点としては、フレーム周波数が 4 0 H z の場合を見ればわかるように、同じ極性が長く続かない (今回の例示している 1 6 フレーム期間で見ると、ルックアップテーブルでは同じ極性の 3 連続期間の保持は 2 回、極性反転を自動で行う方式では同じ極性の 3 連続期間の保持は 4 回) ように配慮できることであり、表示品位の向上という点で優位である。

【 0 1 3 1 】

また、表示部が複数の領域でリフレッシュ周波数が異なることを考えてみたとき、ルックアップテーブルを用いる場合では、図 1 9 に示す回路構成が 1 つあれば対応可能 (セレク 50

タ43で、領域毎に使用するフレーム周波数を切換えるようにすれば良い)であるのに対して、極性反転を自動で行う方式の場合には、図20に示す回路構成を複数用いなければならない可能性がある(2つの領域で、一方が60Hz、もう一方が30Hzの場合には、60Hzに対しては図20に示す回路は設けなくても良いため、1つで済むが、一方が40Hz、もう一方が30Hzの場合には、2つ必要となる)。

【0132】

一方、極性反転を自動で行う方式の場合の方が優れている点としては、ルックアップテーブルでは様々なフレーム周波数に対応させるためには、メモリの容量をそれだけ増やす必要が出てくるが、極性反転を自動で行う方式は回路構成を変えなく、様々なフレーム周波数に対応することができることである。どちらを用いた方が良いかは使用者の考え方しだいである。

10

【0133】

このようにして、フレーム反転駆動を行っても、表示品位の低下を防止することができる。なお、このような考え方は、パーシャル駆動に限らず、低消費電力化のために、フレーム周波数をフルフレーム周波数から低下させる場合全般に実施することができる。

【0134】

また、上記例は+の期間と-の期間とができるだけ均等になるような極性の反転を行っているが、これは、非表示領域P2の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みしていることに相当する。

20

【0135】

液晶表示装置の実際の駆動では正負の電圧差、例えば、画素電極に印加される電圧の正側の電圧値を $V+$ 、負側の電圧値を $V-$ とし、液晶材料を介して対向基板に印加される電圧を V_{COM} とし、表示上全面一様な表示を行った場合、正側と負側とで、液晶に印加される電圧はそれぞれ $V_{pix+} = |V_{COM} - V+|$ 、 $V_{pix-} = |V_{COM} - V-|$ となる。電圧が均等とは、 $V_{pix} = (V_{pix+}) - (V_{pix-}) = 0$ 、つまり、 $V_{pix+} = V_{pix-}$ を意味する。このとき、液晶材料の信頼性の観点からは $V_{pix} < 150\text{mV}$ が望ましい。また、表示上 V_{pix} の値が大きくなってフリッカが表示に現れる場合には、表示品位の観点から、 V_{pix} の許容範囲をフリッカが生じないように設定することが望ましい。従って、均等に近い反転を行う場合、一般には各極性の期間のみならず、電圧の大きさも考慮して、正極性の電圧の実効値と負極性の電圧の実効値との差を所定値以下とすることで対処すればよい。

30

【0136】

上記所定値を小さい値に設定することにより、ある一方の極性に偏らずに間欠書込みすることができる。従って、リフレッシュレートを低くした書込みであっても、液晶材料の劣化を抑制するための画素の極性反転駆動を行うことができ、さらにはこの極性反転駆動をフリッカが生じないように行うことができる。

【0137】

本発明の実施の他の形態について、図9および図10に基づいて説明すれば、以下のとおりである。

40

【0138】

図9は、本発明の表示装置の実施の他の形態に係る画像表示装置である液晶表示装置による表示例を示す図である。本実施の形態では、前述の液晶表示装置11を使用することができる。注目すべきは、本実施の形態では、前記映像信号RGBは、前述の液晶表示装置11では非表示とするデータ(たとえば、ライン反転駆動やドット反転駆動を行わない場合には、リフレッシュされるフレーム内では、前記液晶印加電圧VB, VWの内、対向電極の電位に対して、非表示となる一方の電位のみ)であったのに対して、表示のためのデータ(前記液晶印加電圧VB, VWの内、対向電極の電位に対して、表示となる他方の電位を含む)とすることである。

【0139】

50

すなわち、非表示とする画素への印加電圧を、たとえば前記VWとするとき、表示とする画素への印加電圧を前記VBとすることで、前記走査信号線G1-1~Giの領域を図9(a)に示すように多階調表示領域P1aとし、前記走査信号線Gi~Gmの領域を図9(a)に示すように2値表示領域P2aとする。そして、2値表示領域P2aのリフレッシュレートを、多階調表示領域P1aのリフレッシュレートよりも低くすることで、表示品位の低下を抑えつつ、低消費電力化を図ることができる。

【0140】

これは、図10に液晶の印加電圧Vと透過率Tとの関係を示すように、前記多階調表示領域P1aでは前記印加電圧Vに応じて透過率Tが変化する線形域H1が使用され、前記2値表示領域P2aでは前記印加電圧Vが多少変化しても透過率Tが殆ど変化しない非線形域H2, H3が使用されるためである。すなわち、2値表示領域P2aのリフレッシュレートを、多階調表示領域P1aのリフレッシュレートよりも低くしても、表示品位の低下が少ないためである。

10

【0141】

このような構成では、前記データ信号線駆動回路SD2は、2階調の映像信号RGBに応じて前記電位VBまたはVWをデータ信号線Sに出力するものとなり、前記液晶表示装置11は、携帯電話の表示装置などのように、使用時には前記データ信号線駆動回路SD1によって高い表示性能を発揮し、待機時には該データ信号線駆動回路SD2によって必要最小限の表示を比較的低い表示性能で実現するような用途に好適である。

【0142】

20

本発明の実施のさらに他の形態について、図11~図13に基づいて説明すれば、以下のとおりである。

【0143】

図11は、本発明の表示装置の実施のさらに他の形態に係る画像表示装置である液晶表示装置21の電気的構成を示すブロック図である。この液晶表示装置21は、前述の液晶表示装置11に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、この液晶表示装置21では、走査信号線駆動回路GD'が、2つの走査信号線駆動部GD1, GD2に分割されており、独立または同期して動作することが可能となっていることである。これに対応して、制御信号発生回路CTLaからはフレーム制御信号FRTLが出力され、フレーム制御回路22が前記走査信号線駆動部GD1からの出力にตอบสนองして走査信号線駆動部GD2を制御する。前記クロック信号CKG、データ走査スタート信号SPGおよびパルス幅制御信号PWCは、前記走査信号線駆動部GD1, GD2に共通である。

30

【0144】

図12は、前記フレーム制御回路22の一構成例を示す回路図である。このフレーム制御回路22は、P, N両極性の並列FETから成るアナログスイッチQ1と、それを駆動するインバータINVと、N型FETから成るスイッチQ2とを備えて構成される。前記フレーム制御信号FRTLはアナログスイッチQ1のN型FETのゲートに直接与えられるとともに、インバータINVで反転された後P型FETのゲートに与えられる。これらのアナログスイッチQ1のソースには走査信号線駆動部GD1の走査信号線Gi-1に対応した最後段のシフトレジスタSRi-1からの転送パルスが入力され、ドレインからは走査信号線駆動部GD2の走査信号線Giに対応した最前段のシフトレジスタSRiへ転送パルスが出力される。前記アナログスイッチQ1のドレインにはまた、スイッチQ2のドレインが接続され、このスイッチQ2のソースは接地され、ゲートには前記フレーム制御信号FRTLがインバータINVで反転されて与えられる。

40

【0145】

このように構成されるフレーム制御回路22において、フレーム制御信号FRTLがアクティブのハイレベルとなると、アナログスイッチQ1はオンし、スイッチQ2はオフし、前記シフトレジスタSRi-1からの転送パルスはシフトレジスタSRiへ出力される。これに対して、フレーム制御信号FRTLが非アクティブのローレベルとなると、ア

50

ナログスイッチQ1はオフし、スイッチQ2はオンし、前記シフトレジスタSRi-1からの転送パルスのシフトレジスタSRiへの出力は禁止される。

【0146】

図13は、上述のように構成される液晶表示装置21の一駆動例を説明するための波形図である。この図13において、走査信号線駆動部GD1, GD2のシフトレジスタの各セルの状態を、参照符SRにセル番号1~i-1, i, i+1, ...を付して示している。

【0147】

第1~3のフレームではフレーム制御信号FRCTLがアクティブのハイレベルであり、この間は前記多階調表示領域P1aおよび2値表示領域P2aはともにリフレッシュされる。これに対して、第4~6のフレームではフレーム制御信号FRCTLが非アクティブのローレベルであり、この間は前記多階調表示領域P1aのみがリフレッシュされる。第7のフレームには、前記フレーム制御信号FRCTLは再びアクティブのハイレベルとなっている。

10

【0148】

これによって、前記図9(a)に示す多階調表示領域P1aと2値表示領域P2aとの境界となる走査信号線が予め定まっている(前記図12および図13ではGi-1とGiとの間)場合には、2値表示領域P2aをリフレッシュしない間は前記フレーム制御信号FRCTLを非アクティブとすることで、走査信号線駆動部GD2内のシフトレジスタの転送および走査信号線Gi~Gmへの選択電圧の出力等が行われることはなく、一層低消費電力化を図ることができる。

20

【0149】

図9(a)では、表示部を多階調表示領域P1aと2値表示領域P2aとに分けた表示形態を例に挙げて示したが、図9(b)に示すように、2値表示領域P1bと多階調表示領域P2bおよび2値表示領域P3bという表示形態をとっても本発明を用いることができる。

【0150】

このとき、リフレッシュレートを表示に関する劣化を考慮し設定することをすでに述べたが、例えば時計表示のように表示される画像のうち、秒数を簡易的に表現するために、コロン(:)の表示を点滅するような場合がある。このとき、その変化する部分のみを書き換えれば、そのような表示形態をとれるので、1秒ごとの書き換え、つまり1Hzで2値表示領域P3bをリフレッシュすればよいことになる。その際に、P1bの領域に10Hzでデータが書き換えられ、P2bの領域にTV画像のように60Hzで映像が書き換えられている。従って、それぞれの表示領域である、2値表示領域P1bと多階調表示領域P2bおよび2値表示領域P3bのリフレッシュレートは異なっている。以上のように、リフレッシュ期間が画素の特性上自由に選択できるのであれば、一つの表示部上で領域を分けて表示のリフレッシュレートを変更しても構わない。

30

【0151】

また、図9(c)に示すように、2値表示領域P1cと多階調表示領域P2cおよび非表示領域P3cという表示形態において、それぞれのリフレッシュレートを異ならせても良い。更に、表示部上での領域を3つではなく、4つ以上に分けても良い。いずれの場合も、図3に示す走査信号線駆動回路GDに入力されるパルス幅制御信号PWCまたは図11に示すフレーム制御回路22に入力されるフレーム制御信号FRCTLを適合させることで実現することができる。

40

【0152】

図9(b)および図9(c)では、表示部上での3つの領域のリフレッシュレートを異ならせる場合を示しているが、そのうちの2つのリフレッシュレートを同じとしても良い。その場合を詳述すると、例えば、2値表示領域P1bと2値表示領域P3bとのリフレッシュレートを10Hz、多階調表示領域P2bのリフレッシュレートを60Hzとしても良い。その際に、2値表示領域P1bと2値表示領域P3bとは必ずしも同じタイミングで書き込まれずに、異なるフレームでそれぞれを書き込んでも良い。

50

【 0 1 5 3 】

同じことが表示部上での領域を4つ以上に分けたときにも言え、表示部上の4つの領域をP1d、P2d、P3d、P4d（図示しない）として考えると、それぞれが異なるリフレッシュレートとなることに限らず、例えば、領域P1dと領域P4dとのリフレッシュレートが1Hz、領域P2dのリフレッシュレートが10Hz、領域P3dのリフレッシュレートが60Hzであり、領域P1dと領域P4dとが同じタイミングで書き込まれずに、異なるフレームでそれぞれを書き込まれても良い。

【 0 1 5 4 】

また、他の例として、領域P1dと領域P3dとが10Hz、領域P2dと領域P4dとが60Hz、領域P1dと領域P3dとが同じタイミングで書き込まれずに、異なるフレームでそれぞれを書き込んで良いし、領域P2dと領域P4dとが同じタイミングで書き込まれずに、異なるフレームでそれぞれを書き込んで良い。尚、本発明はここで挙げた例に限定されるものではない。

10

【 0 1 5 5 】

図11では、走査信号線駆動回路GDとして2つの走査信号線駆動部に分割されるものを示しているが、本発明はこれに限定されず、3つ以上の走査信号線駆動部に分割されていても良い。その場合には、フレーム制御回路22を2つ以上設け、それぞれに対してフレーム制御信号FRCTLを入力すれば良い。

【 0 1 5 6 】

3つの走査信号線駆動部をGD11、GD12、GD13とし、走査信号線駆動部GD11と走査信号線駆動部GD12との間に設けるフレーム制御回路を221、走査信号線駆動部GD12と走査信号線駆動部GD13との間に設けるフレーム制御回路を222とし、フレーム制御回路221に入力されるフレーム制御信号をFRCTL1、フレーム制御回路222に入力されるフレーム制御信号をFRCTL2として考えると、あるフレームで走査信号線駆動部GD11のみを動作させる場合には、フレーム制御信号FRCTL1およびFRCTL2をローレベルとすれば良いし、走査信号線駆動部GD11およびGD12のみを動作させる場合には、フレーム制御信号FRCTL1はハイレベル、フレーム制御信号FRCTL2はローレベルとすれば良い。走査信号線駆動部GD11、GD12、およびGD13の全てを動作させる場合には、フレーム制御信号FRCTL1およびFRCTL2をハイレベルとすれば良い。

20

30

【 0 1 5 7 】

また、走査信号線駆動回路で使用するシフトレジスタが双方向のシフトレジスタであれば、走査信号線駆動部GD11側からではなく走査信号線駆動部GD13側からデータ走査スタート信号SPGを入力することにより、走査信号線駆動部GD13のみを動作させる場合には、フレーム制御信号FRCTL1およびFRCTL2はローレベルとすれば良いし、走査信号線駆動部GD12およびGD13のみを動作させる場合には、フレーム制御信号FRCTL1はローレベル、フレーム制御信号FRCTL2はハイレベルとすれば良い。同じことが走査信号線駆動回路を4つ以上の走査信号線駆動部に分割する場合にも言える。

【 0 1 5 8 】

本発明の実施の他の形態について、図14～図18に基づいて説明すれば、以下のとおりである。

40

【 0 1 5 9 】

図14は、本発明の実施の他の形態の画像表示装置である液晶表示装置31の電気的構成を示すブロック図である。この液晶表示装置31は、前述の液晶表示装置11、21に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、この液晶表示装置31では、前記表示部12が、表示部12a、12bの2つに分割され、それに対応して、前記データ信号線駆動回路SD1も2つのデータ信号線駆動回路SD1a、SD1bに分割されるとともに、前記走査信号線駆動回路GDも2つの走査信号線駆動回路GDa、GDbに分割されていることである。

50

【 0 1 6 0 】

前記表示部 1 2 a , 1 2 b 間では、走査信号線は、参照符 G 1 a ~ G m a ; G 1 b ~ G m b で示すように分断されており、各データ信号線駆動回路 S D 1 a , S D 1 b によって、個別に走査可能であるとともに、同期しての走査も可能である。

【 0 1 6 1 】

前記データ信号線駆動回路 S D 1 a はシフトレジスタ 1 3 a およびサンプリング回路 1 4 a から構成され、前記データ信号線駆動回路 S D 1 b はシフトレジスタ 1 3 b およびサンプリング回路 1 4 b から構成される。そして、シフトレジスタ 1 3 a , 1 3 b 間には、制御信号発生回路 C T L b からのパルス転送信号 P T L に応答して、シフトレジスタ 1 3 a の最後段からのサンプリングパルスをシフトレジスタ 1 3 b の最前段に入力するか否かを制御する切換え回路 3 2 が介在されている。

10

【 0 1 6 2 】

一方、データ信号線駆動回路 S D 2 a も、2つのシフトレジスタ 1 5 a , 1 5 b と、これらのシフトレジスタの出力に応答して前記 2 値の映像信号 R G B を順にラッチしてゆく前記ラッチ回路 1 6 と、前記制御信号 T R F に応答して、ラッチ回路 1 6 からの出力に応じた前記液晶印加電圧 V B と液晶印加電圧 V W との何れかを選択し、各データ信号線 S へ出力する 2 つのセクタ 1 7 a , 1 7 b とを備えて構成される。また、このデータ信号線駆動回路 S D 2 a に関連して、前記制御信号 T R F を、セクタ 1 7 b のみ、またはセクタ 1 7 a , 1 7 b 共に与えるかを切換える転送位置指示回路 3 3 が設けられている。

【 0 1 6 3 】

図 1 5 は、前記転送位置指示回路 3 3 の一構成例を示す回路図である。上述のように、前記制御信号 T R F はセクタ 1 7 b を選択するための選択信号 S E L b としてスルー出力されるとともに、P型 F E T から成るアナログスイッチ Q 1 1 のソースに与えられる。このアナログスイッチ Q 1 1 のドレインからはセクタ 1 7 a を選択するための選択信号 S E L a が出力され、ゲートには前記制御信号発生回路 C T L b から転送制御信号 T R F T が与えられる。前記アナログスイッチ Q 1 1 のドレインにはまた、N型 F E T から成るスイッチ Q 1 2 のドレインが接続され、このスイッチ Q 1 2 のソースは接地され、ゲートには前記転送制御信号 T R F T が与えられる。

20

【 0 1 6 4 】

このように構成される転送位置指示回路 3 3 において、ハイアクティブの転送信号 T R F は 1 水平期間内のブランク期間に供給されるのであるけれども、ローアクティブの転送制御信号 T R F T がローレベルであるときにはアナログスイッチ Q 1 1 がオンし、スイッチ Q 1 2 がオフし、該転送信号 T R F は、選択信号 S E L a , S E L b として、セクタ 1 7 a , 1 7 b に共に出力される。したがって、セクタ 1 7 a , 1 7 b 共に、映像信号 R G B に応じて、液晶印加電圧 V B と液晶印加電圧 V W との何れかが選択され、前記ブランク期間に各データ信号線 S に一括して出力される。

30

【 0 1 6 5 】

これに対して、前記転送制御信号 T R F T がハイレベルになると、アナログスイッチ Q 1 1 がオフし、スイッチ Q 1 2 がオンし、前記選択信号 S E L a は非アクティブのローレベルに固定され、選択信号 S E L b のみ出力される。したがって、セクタ 1 7 b のみで、映像信号 R G B に応じて、液晶印加電圧 V B と液晶印加電圧 V W との何れかが選択され、各データ信号線 S へ出力される。

40

【 0 1 6 6 】

図 1 6 は、上述のように構成される液晶表示装置 3 1 の一駆動例を説明するための波形図である。この図 1 6 において、データ信号線駆動回路 S D 1 a のシフトレジスタ 1 3 a の各セルの状態を、参照符 S R 1 a にセル番号 1 ~ j を付して示している。また、データ信号線駆動回路 S D 1 b のシフトレジスタ 1 3 b の各セルの状態を、参照符 S R 1 b にセル番号 1 , 2 , ... を付して示している。同様に、データ信号線駆動回路 S D 2 a のシフトレジスタ 1 5 a の各セルの状態を、参照符 S R 2 a にセル番号 1 ~ j を付して示し、シフトレジスタ 1 5 b の各セルの状態を、参照符 S R 2 b にセル番号 1 , 2 , ... を付して示して

50

いる。

【 0 1 6 7 】

この図 1 6 の例ではまた、データ信号線 $S_1 \sim S_{j-1}$ とデータ信号線 S_j, S_{j+1}, \dots で分割した制御を行う例を示している。すなわち、前記表示部 1 2 a としてはデータ信号線 $S_1 \sim S_{j-1}$ の領域となり、表示部 1 2 b としてはデータ信号線 $S_j \sim S_m$ の領域となる。さらにまた、走査信号線 $G_1 \sim G_{i-1}$ と走査信号線 G_i, G_{i+1}, \dots とで分割した制御を行う例を示している。

【 0 1 6 8 】

前記 $i-1$ ライン目までは、前記パルス転送信号 P T L はアクティブのハイレベルであり、これによって表示部 1 2 a, 表示部 1 2 b には、それぞれデータ信号線駆動回路 S D 1 a, S D 1 b からの多階調の映像信号 D A T が書込まれる。このとき、データ信号線駆動回路 S D 2 a には前記データ走査スタート信号 S P S 2 は入力されず、また前記転送信号 T R F は入力されず、データ信号線駆動回路 S D 2 a は動作を停止しており、消費電力が抑えられるとともに、該データ信号線駆動回路 S D 2 a による電位 V B または V W の書込みは禁止される。

【 0 1 6 9 】

これに対して、前記 i ライン目からは、前記パルス転送信号 P T L は非アクティブのローレベルとなり、データ信号線駆動回路 S D 1 a のシフトレジスタ 1 3 a の最後段のセル S R 1 a j からデータ信号線駆動回路 S D 1 b のシフトレジスタ 1 3 b の最前段のセル S R 1 b 1 へのパルスの転送は禁止される。これによって、表示部 1 2 a のみにデータ信号線駆動回路 S D 1 a からの多階調の映像信号 D A T が書込まれ、データ信号線駆動回路 S D 1 b による書込みは禁止となる。このとき、データ信号線駆動回路 S D 2 a には前記データ走査スタート信号 S P S 2 が入力されており、また前記転送制御信号 T R F T はローレベルとなっており、前記転送信号 T R F がアクティブのハイレベルとなるブランク期間に、表示部 1 2 b のみに、該データ信号線駆動回路 S D 2 a による電位 V B または V W の書込みが行われる。すなわち、前記 i ライン目からは、表示部 1 2 a, 表示部 1 2 b は、それぞれデータ信号線駆動回路 S D 1 a, S D 2 a によってデータが書込まれることになる。

【 0 1 7 0 】

図 1 7 は、図 1 6 のような駆動による表示例を示す図である。表示部 1 2 a の総ておよび表示部 1 2 b の $i-1$ ライン目までは多階調の表示が行われ、表示部 1 2 b の i ライン目からは 2 値表示が行われる。このようにして、多階調表示と 2 値表示とを複雑に組合わせた表示を行うことができる。そして、図 1 6 では紙面の都合上省略しているけれども、2 値表示の領域のリフレッシュレートを多階調表示の領域のリフレッシュレートよりも低くすることで、表示品位の低下を抑えつつ、低消費電力化を図ることができる。

【 0 1 7 1 】

また、図 1 8 は、上述のように構成される液晶表示装置 3 1 による他の表示例を示す図である。この例では、表示部 1 2 a を表示部とし、表示部 1 2 b を非表示部としている。表示部 1 2 a は、データ信号線駆動回路 S D 1 a とデータ信号線駆動回路 S D 2 a との何れで駆動されてもよく、表示部 1 2 b はデータ信号線駆動回路 S D 2 a で駆動される。表示部 1 2 b のリフレッシュレートは表示部 1 2 a のリフレッシュレートよりも低く、均一に前記電位 V B または V W に書込まれることで、非表示で有為な情報は表示しないものの、背景などとして用いることができる黒または白の均一な表示が行われる。なお、表示部 1 2 a が 2 階調で表示される場合、前記図 1 0 から、データ信号線駆動回路 S D 1 a を用いる場合は、表示品位を維持するために、データ信号線駆動回路 S D 2 a を用いる場合に比べて、リフレッシュレートを高くする必要がある。

【 0 1 7 2 】

そして、前記データ信号線駆動回路 S D 1 a が使用される場合には、前記パルス転送信号 P T L によってデータ信号線駆動回路 S D 1 b の動作を停止し、データ信号線駆動回路 S D 1 a, S D 1 b が共に使用されない場合には、前記データ走査スタート信号 S P S 1 の

10

20

30

40

50

入力を停止して、共に動作を停止させることができる。また、前記データ信号線駆動回路SD2aでは、前記制御信号TRFによって、セクタ17aの動作を停止させることができる。

【0173】

図17および図18では、表示部12を2つの表示領域に分けた場合の表示例として示したが、本発明はこれに限定されるものではなく、表示部上で3つ以上の領域に分けても良い。3つの領域をP1e、P2e、P3e（図示しない）として考えると、3つの領域それぞれのリフレッシュレートを異ならせても良いし、領域P1eと領域P3eとのリフレッシュレートを同じとしても良い。また、領域P1eと領域P3eとのリフレッシュレートが同じ場合に、領域P1eと領域P3eとが同じタイミングで書き込まれずに、異なるフレームでそれぞれを書き込んで良い。

10

【0174】

同じことが表示部上の領域を4つ以上に分けたときにも言え、4つの領域をP1f、P2f、P3f、P4fとして考えると、それぞれが異なるリフレッシュレートとなることに限らず、例えば、領域P1fと領域P4fとのリフレッシュレートが1Hz、領域P2fのリフレッシュレートが10Hz、領域P3fとのリフレッシュレートが60Hzであり、領域P1fと領域P4fとが同じタイミングで書き込まれずに、異なるフレームでそれぞれを書き込んで良い。また、他の例として、領域P1fと領域P3fとが10Hz、領域P2fと領域P4fとが60Hz、領域P1fと領域P3fとが同じタイミングで書き込まれずに、異なるフレームでそれぞれを書き込んで良いし、領域P2fと領域P4fとが同じタイミングで書き込まれずに、異なるフレームでそれぞれを書き込んで良い。

20

【0175】

いずれの場合も、図14に示す液晶表示装置のデータ信号線駆動回路SD1aに入力されるパルス転送信号PTL、データ信号線駆動回路SD1bに入力される転送制御信号TRFT、走査信号線駆動回路GDaおよびGDbに入力されるパルス幅制御信号PWC（または図11に示すようなフレーム制御回路22に入力されるフレーム制御信号FRCTL）を適合させることで実現することができる。

【0176】

図14では、データ信号線駆動回路SD1として2つのデータ信号線駆動回路に分割されるものを示しているが、本発明はこれに限定されず、3つ以上のデータ信号線駆動回路に分割されていても良い。その場合には、切換え回路32を2つ以上設け、それぞれに対してパルス転送信号PTLを入力すれば良い。

30

【0177】

3つのデータ信号線駆動回路をSD11a、SD11b、SD11cとし、データ信号線駆動回路SD11aとデータ信号線駆動回路SD11bとの間に設ける切換え回路を321、データ信号線駆動回路SD11bとデータ信号線駆動回路SD11cとの間に設ける切換え回路を322とし、321に入力されるパルス転送信号をPTL1、切換え回路322に入力されるパルス転送信号をPTL2として考えると、あるフレームでデータ信号線駆動回路SD11aのみを動作させる場合には、パルス転送信号PTL1およびPTL2をローレベルとすれば良いし、データ信号線駆動回路SD11aおよびSD11bのみを動作させる場合には、パルス転送信号PTL1はハイレベル、パルス転送信号PTL2はローレベルとすれば良い。

40

【0178】

データ信号線駆動回路SD11a、SD11b、およびSD11cの全てを動作させる場合には、パルス転送信号PTL1およびPTL2をハイレベルとすれば良い。また、データ信号線駆動回路で使用するシフトレジスタが双方向のシフトレジスタであれば、データ信号線駆動回路SD11a側からではなくデータ信号線駆動回路SD11c側からデータ走査スタート信号SPSを入力することにより、データ信号線駆動回路SD11cのみを動作させる場合には、パルス転送信号PTL1およびPTL2はローレベルとすれば良い。

50

し、データ信号線駆動回路SD11bおよびSD11cのみを動作させる場合には、パルス転送信号PTL1はローレベル、パルス転送信号PTL2はハイレベルとすれば良い。同じことがデータ信号線駆動回路を4つ以上のデータ信号線駆動回路に分割する場合にも言える。

【0179】

また、図14では、データ信号線駆動回路SD2aのセレクトアとして2つのセレクトアに分割されるものを示しているが、本発明はこれに限定されず、3つ以上のセレクトアに分割されていても良い。

【0180】

また、本発明では、表示部上での領域毎のリフレッシュレートを一定とする必要はなく、異なるようにしても良い。例えば、図9(a)の多階調表示領域P1aと2値表示領域P2aとを、ある一定時間後に、P1aを2値表示領域、P2aを多階調表示領域に変更し、それに伴って、P1aとP2aとのリフレッシュレートをそれぞれ変更しても良い。同じことが他の実施形態に関しても言える。

10

【0181】

更に、これまで述べてきた実施の形態は、表示領域を走査線やデータ信号線の単位で領域を分けてリフレッシュレートをそれぞれ表示の態様ごとに変更してきたが、画素単位でリフレッシュレートを異ならせてもよい。

【0182】

本発明の液晶表示装置11, 21, 31では、データ信号線駆動回路SD1, SD1a, SD1b; SD2, SD2a、走査信号線駆動回路GD, GD', GDa, GDbおよびアクティブ素子SW等は、多結晶シリコン薄膜トランジスタなどの高移動度のアクティブ素子から成り、それらが同一の基板に形成されることが望ましい。前記高移動度の素子は前述のようにオフ時のリーク電流が大きいので、本発明が特に有効である。また、データ信号線Sの数および走査信号線Gの数が増加しても、基板外に出す信号線の数が増加せず、組立てる必要がないので、各信号線の容量の不所望な増大を防止することができる。また、集積度の低下を防止することができる。

20

【0183】

また、本発明の液晶表示装置11, 21, 31では、前記データ信号線駆動回路SD1, SD1a, SD1b; SD2, SD2a、走査信号線駆動回路GD, GD', GDa, GDbおよび各画素回路は、600以下のプロセス温度で製造されるアクティブ素子を含んでいる。このようにアクティブ素子のプロセス温度を600以下に設定すると、各アクティブ素子の基板として、通常のガラス基板(歪み点が600以下のガラス基板)を使用しても、歪み点以上のプロセスに起因する反りやたわみが発生しないので、実装が容易で、より表示面積の広い液晶表示装置を実現することができる。

30

【0184】

なお、たとえば特許文献2には、たとえばアスペクト比が4:3の表示部に、16:9の画像を表示する場合のように、表示部のライン数よりもライン数の少ない画像を表示する場合に、限られた走査期間に非表示となる領域を走査するために、非表示領域をインターレースで走査して、非表示データの書込みを行うことが記載されている。しかしながら、この先行技術では、非表示領域の走査期間は、常に、奇数ラインまたは偶数ラインの何れかを走査しており、非表示領域を間欠走査する本発明の液晶表示装置11とは全く異なるものである。

40

【0185】

また、前記液晶表示装置11では、多階調データと2値データとを書込むために2つのデータ信号線駆動回路SD1とSD2とが設けられているけれども、前記パルシャル駆動は何れか1つで実現することができる。

【0186】

【発明の効果】

本発明の表示装置の駆動方法は、以上のように、アクティブ素子を有する複数の画素から

50

なる表示部を備えた表示装置の駆動方法において、画素のリフレッシュレートを少なくとも2つ設け、前記表示部を複数の領域に分割し、前記複数の領域のそれぞれに対して、前記リフレッシュレートのいずれかで画素にデータを書込む構成である。

【0187】

それゆえ、アクティブ素子を用いて表示部に表示および非表示などのように複数種類の態様の表示を行うにあたって、消費電力を抑えつつ、表示品位を向上することができる表示装置の駆動方法を提供することができる。

【0188】

さらに本発明の表示装置の駆動方法は、以上のように、前記複数の領域は表示領域と非表示領域との2つの領域であり、前記表示領域の画素にデータを毎フレーム書込むまたは間欠書込みし、前記非表示領域の画素にデータを、前記表示領域の画素への書込みよりも低いリフレッシュレートで間欠書込みする構成である。

10

【0189】

それゆえ、アクティブ素子を用いる表示装置でパルシャル駆動を行うにあたって、消費電力を抑えつつ、表示品位を向上することができる表示装置の駆動方法を提供することができる。

【0190】

さらに本発明の表示装置の駆動方法は、以上のように、前記非表示領域とする画素への間欠書込みの周期を、表示形態、アクティブ素子の種類、素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに前記表示領域の表示内容および面積の少なくとも1つに基づいて決定する構成である。

20

【0191】

それゆえ、表示品位に影響を与えない範囲で、リフレッシュレートを最も低い周波数に選ぶことができる。

【0192】

さらに本発明の表示装置の駆動方法は、以上のように、前記非表示領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みする構成である。

【0193】

それゆえ、リフレッシュレートを低くした書込みであっても、液晶材料の劣化を抑制するための画素の極性反転駆動を行うことができ、さらにはこの極性反転駆動をフリッカが生じないように行うことができる。

30

【0194】

さらに本発明の表示装置の駆動方法は、以上のように、前記非表示領域の画素への書込み極性を、前回までの書込み極性に対応するように設定する構成である。

【0195】

それゆえ、非表示領域の画素への書込み極性を、前回までの書込み極性に対応するように設定するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。

【0196】

さらに本発明の表示装置の駆動方法は、以上のように、前記非表示領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整する構成である。

40

【0197】

それゆえ、非表示領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。また、リフレッシュレートの種類だけのメモリを必要としない点で、様々なリフレッシュレートに容易に対応することができる。

【0198】

さらに本発明の表示装置の駆動方法は、以上のように、前記複数の領域は2つの表示領域であり、一方の表示領域の画素にデータを毎フレーム書込むまたは間欠書込みし、他方の表示領域の画素にデータを、前記一方の表示領域の画素への書込みよりも低いリフレッシュ

50

ュレートで間欠書込みする構成である。

【0199】

それゆえ、2つの表示領域はそれぞれのリフレッシュレートで書込まれ、一方の表示領域の画素への書込みが他方の表示領域の画素に影響して、他方の表示領域に不所望な表示が発生してしまうことはない。また、消費電力を抑えつつ、表示品位を向上することができる。

【0200】

さらに本発明の表示装置の駆動方法は、以上のように、前記他方の表示領域の画素への間欠書込みの周期を、表示形態、アクティブ素子の種類、素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに前記一方の表示領域の表示内容および面積の少なくとも1つに基づいて決定する構成である。

10

【0201】

それゆえ、表示品位に影響を与えない範囲で、リフレッシュレートを最も低い周波数に選ぶことができる。

【0202】

さらに本発明の表示装置の駆動方法は、以上のように、前記他方の表示領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みする構成である。

【0203】

それゆえ、リフレッシュレートを低くした書込みであっても、液晶材料の劣化を抑制するための画素の極性反転駆動を行うことができ、さらにはこの極性反転駆動をフリッカが生じないように行うことができる。

20

【0204】

さらに本発明の表示装置の駆動方法は、以上のように、前記他方の表示領域の画素への書込み極性を、前回までの書込み極性に対応するように設定する構成である。

【0205】

それゆえ、他方の表示領域の画素への書込み極性を、前回までの書込み極性に対応するように設定するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。

【0206】

さらに本発明の表示装置の駆動方法は、以上のように、前記他方の表示領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整する構成である。

30

【0207】

それゆえ、他方の表示領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。また、リフレッシュレートの種類だけのメモリを必要としない点で、様々なリフレッシュレートに容易に対応することができる。

【0208】

さらに本発明の表示装置の駆動方法は、以上のように、前記複数の領域は3つ以上の領域であり、前記3つ以上の領域に対して互いに異なるリフレッシュレートでそれぞれの画素にデータを書込む構成である。

40

【0209】

それゆえ、3つの領域はそれぞれのリフレッシュレートで書込まれ、ある領域の画素への書込みがそれよりもリフレッシュレートが低い領域の画素に影響して、不所望な表示が発生してしまうことはない。また、消費電力を抑えつつ、表示品位を向上することができる。

【0210】

さらに本発明の表示装置の駆動方法は、以上のように、前記3つ以上の領域の少なくとも1つの領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みする構成である。

50

【0211】

それゆえ、リフレッシュレートを低くした書込みであっても、液晶材料の劣化を抑制するための画素の極性反転駆動を行うことができ、さらにはこの極性反転駆動をフリッカが生じないように行うことができる。

【0212】

さらに本発明の表示装置の駆動方法は、以上のように、前記少なくとも1つの領域の画素への書込み極性を、前回までの書込み極性に対応するように設定する構成である。

【0213】

それゆえ、ある領域の画素への書込み極性を、前回までの書込み極性に対応するように設定するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。

10

【0214】

さらに本発明の表示装置の駆動方法は、以上のように、前記少なくとも1つの領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整する構成である。

【0215】

それゆえ、ある領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。また、リフレッシュレートの種類だけのメモリを必要としない点で、様々なリフレッシュレートに容易に対応することができる。

【0216】

また、本発明の表示装置は、以上のように、アクティブマトリクス型の表示装置において、データ信号線駆動回路および走査信号線駆動回路を駆動して表示部の画素へのデータの書込みを制御する制御信号発生回路は、少なくとも2つのリフレッシュレートによって画素へのデータの書込みを制御ことができ、前記表示部を複数の領域に分割し、前記複数の領域のそれぞれに対して、前記リフレッシュレートのいずれかで画素へのデータの書込みを制御する構成である。

20

【0217】

それゆえ、アクティブ素子を用いて表示部に表示および非表示などのように複数種類の態様の表示を行うにあたって、消費電力を抑えつつ、表示品位を向上することができる表示装置を提供することができる。

【0218】

さらに本発明の表示装置は、以上のように、前記制御信号発生回路は、前記複数の領域として表示領域と非表示領域との2つの領域に分割し、前記表示領域とする画素へのデータの書込みを毎フレーム行わせ、前記非表示領域とする画素へは非表示とするためのデータを間欠書込みさせる構成である。

30

【0219】

それゆえ、アクティブ素子を用いる表示装置でパシシャル駆動を行うにあたって、消費電力を抑えつつ、表示品位を向上することができる表示装置を提供することができる。

【0220】

さらに本発明の表示装置は、以上のように、前記非表示領域とする画素への間欠書込みの周期を、表示形態、アクティブ素子の種類、素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに部分表示領域の表示内容および面積の少なくとも1つに基づいて決定する構成である。

40

【0221】

それゆえ、表示品位に影響を与えない範囲で、リフレッシュレートを最も低い周波数に選ぶことができる。

【0222】

さらに本発明の表示装置は、以上のように、前記非表示領域の各画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みする構成である。

【0223】

50

それゆえ、リフレッシュレートを低くした書込みであっても、液晶材料の劣化を抑制するための画素の極性反転駆動を行うことができ、さらにはこの極性反転駆動をフリッカが生じないように行うことができる。

【0224】

さらに本発明の表示装置は、以上のように、前記非表示領域の画素への書込み極性を、前回までの書込み極性に対応するように設定する極性設定手段を有する構成である。

【0225】

それゆえ、ある領域の画素への書込み極性を、前回までの書込み極性に対応するように設定するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。

【0226】

さらに本発明の表示装置は、以上のように、前記非表示領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整する極性自動調整手段を有する構成である。

【0227】

それゆえ、ある領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。また、リフレッシュレートの種類だけのメモリを必要としない点で、様々なリフレッシュレートに容易に対応することができる。

【0228】

さらに本発明の表示装置は、以上のように、前記制御信号発生回路は、前記複数の領域として2つの表示領域に分割し、一方の表示領域の画素へのデータの書込みを毎フレーム行わせ、他方の表示領域の画素へはデータを間欠書込みさせる構成である。

【0229】

それゆえ、2つの表示領域はそれぞれのリフレッシュレートで書込まれ、一方の表示領域の画素への書込みが他方の表示領域の画素に影響して、他方の表示領域に不所望な表示が発生してしまうことはない。また、消費電力を抑えつつ、表示品位を向上することができる。

【0230】

さらに本発明の表示装置は、以上のように、前記他方の表示領域の画素への間欠書込みの周期を、表示形態、アクティブ素子の種類、素子サイズ、対向電極の駆動法、液晶材料、補助容量ならびに一方の表示領域の表示内容および面積の少なくとも1つに基づいて決定する構成である。

【0231】

それゆえ、表示品位に影響を与えない範囲で、リフレッシュレートを最も低い周波数に選ぶことができる。

【0232】

さらに本発明の表示装置は、以上のように、前記他方の表示領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みする構成である。

【0233】

それゆえ、リフレッシュレートを低くした書込みであっても、液晶材料の劣化を抑制するための画素の極性反転駆動を行うことができ、さらにはこの極性反転駆動をフリッカが生じないように行うことができる。

【0234】

さらに本発明の表示装置は、以上のように、前記他方の表示領域の画素への書込み極性を、前回までの書込み極性に対応するように設定する極性設定手段を有する構成である。

【0235】

それゆえ、ある領域の画素への書込み極性を、前回までの書込み極性に対応するように設定するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。

【0236】

さらに本発明の表示装置は、以上のように、前記他方の表示領域の画素への書込み極性を

10

20

30

40

50

、前回までの書込み極性に基づいて自動調整する極性自動調整手段を有する構成である。

【0237】

それゆえ、ある領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。また、リフレッシュレートの種類だけのメモリを必要としない点で、様々なリフレッシュレートに容易に対応することができる。

【0238】

さらに本発明の表示装置は、以上のように、前記制御信号発生回路は、前記複数の領域として3つ以上の領域に分割し、前記3つ以上の領域に対して互いに異なるリフレッシュレートでそれぞれの画素にデータを書込ませる構成である。

10

【0239】

それゆえ、3つの領域はそれぞれのリフレッシュレートで書込まれ、ある領域の画素への書込みがそれよりもリフレッシュレートが低い領域の画素に影響して、不所望な表示が発生してしまうことはない。また、消費電力を抑えつつ、表示品位を向上することができる。

【0240】

さらに本発明の表示装置は、以上のように、前記3つ以上の領域の少なくとも1つの領域の画素に対して、画素への電圧印加期間における一方の極性の電圧の実効値と他方の極性の電圧の実効値との差が所定値以下となるように両極性で間欠書込みする構成である。

【0241】

それゆえ、リフレッシュレートを低くした書込みであっても、液晶材料の劣化を抑制するための画素の極性反転駆動を行うことができ、さらにはこの極性反転駆動をフリッカが生じないように行うことができる。

20

【0242】

さらに本発明の表示装置は、以上のように、前記少なくとも1つの領域の画素への書込み極性を、前回までの書込み極性に対応するように設定する極性設定手段を有する構成である。

【0243】

それゆえ、ある領域の画素への書込み極性を、前回までの書込み極性に対応するように設定するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。

30

【0244】

さらに本発明の表示装置は、以上のように、前記少なくとも1つの領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整する極性自動調整手段を有する構成である。

【0245】

それゆえ、ある領域の画素への書込み極性を、前回までの書込み極性に基づいて自動調整するので、各極性の電圧の実効値の差を正確に所定値以下にすることができる。また、リフレッシュレートの種類だけのメモリを必要としない点で、様々なリフレッシュレートに容易に対応することができる。

【0246】

さらに本発明の表示装置は、以上のように、前記データ信号線駆動回路は、前記複数の領域のうち、少なくとも1つの領域の画素へのデータの書込みを行う多階調ドライバと、前記複数の領域のうち、前記多階調ドライバによって書込みが行われる領域以外の領域の画素へのデータの書込みを行う2値ドライバとで構成され、前記制御信号発生回路は、前記多階調ドライバと前記2値ドライバとを択一的に駆動する構成である。

40

【0247】

それゆえ、これら2つのドライバを搭載し、それらを選択的に使用することで、前記高性能のアナログアンプを使用する機会を減らし、低消費電力化を図ることができる。

【0248】

さらに本発明の表示装置は、以上のように、前記多階調ドライバは複数のドライバを備え

50

、前記多階調ドライバの前段側のドライバの最後段のシフトレジスタからの転送パルスを次段側のドライバの最前段のシフトレジスタへ転送する切換え回路をさらに備え、前記制御信号発生回路は、前記切換え回路による転送パルスの転送の許可および禁止を制御する構成である。

【0249】

それゆえ、多階調表示と2値表示とを複雑に組み合わせた表示を行うことができる。

【0250】

さらに本発明の表示装置は、以上のように、前記2値ドライバは、シフトレジスタと、前記2値ドライバの前記シフトレジスタの出力パルスにตอบสนองして2値の映像信号をラッチするラッチ回路と、前記ラッチ回路からの出力に応じた液晶印加電圧を選択する複数のセレクトクタとを備え、前記複数のセレクトクタのそれぞれをアクティブあるいは非アクティブとする転送位置指示回路をさらに備え、前記制御信号発生回路は、前記転送位置指示回路による前記複数のセレクトクタのそれぞれのアクティブおよび非アクティブを制御する構成である。

10

【0251】

それゆえ、多階調表示と2値表示とを複雑に組み合わせた表示を行うことができる。

【0252】

さらに本発明の表示装置は、以上のように、前記走査信号線駆動回路は、m段のシフトレジスタとm個の第1の論理回路とを備え、前記m個の第1の論理回路のそれぞれは、前記m段のシフトレジスタの対応する段からのパルスが入力されると共に、該パルスの出力の許可および禁止を制御するためのパルス幅制御信号が入力され、前記制御信号発生回路は、前記パルス幅制御信号のパルス幅を制御する構成である。

20

【0253】

それゆえ、m個の第1の論理回路のそれぞれがm段のシフトレジスタの対応する段から入力されるパルスを、制御信号発生回路によってパルス幅が制御されたパルス幅制御信号によって出力許可されると、その第1の論理回路からは走査信号をアクティブとして書込みを行うことができ、出力禁止されると、走査信号を非アクティブとして書込みを行わないようにすることができる。

【0254】

さらに本発明の表示装置は、以上のように、前記走査信号線駆動回路は、前記m段のシフトレジスタと前記m個の第1論理回路との間にm個の第2論理回路をさらに備え、前記m個の第2論理回路のそれぞれは、前記m段のシフトレジスタの対応する段の入力パルスと出力パルスとから、前記m段のシフトレジスタの対応する段からの前記パルスを作成する構成である。

30

【0255】

それゆえ、m段のシフトレジスタの対応する段の入力パルスと出力パルスとから、第1の論理回路が出力すべきあるいは出力を禁止すべきパルスを作成することができる。

【0256】

さらに本発明の表示装置は、以上のように、前記走査信号線駆動回路は複数のドライバを備え、前記走査信号線駆動回路の前段側のドライバの最後段のシフトレジスタからの転送パルスを、次段側のドライバの最前段のシフトレジスタへ転送するフレーム制御回路をさらに備え、前記制御信号発生回路は、前記フレーム制御回路による前記転送パルスの転送の許可および禁止を制御する構成である。

40

【0257】

それゆえ、フレーム制御回路によって前段側のドライバの最後段のシフトレジスタから次段側のドライバの最前段のシフトレジスタへ転送パルスの転送を許可するときには両ドライバに対応する領域に、同じ高いリフレッシュレートでの書込みを行うことができ、また、フレーム制御回路によって転送パルスの転送を禁止するときには前段側のドライバに対応する領域に高いリフレッシュレートによる書込みを行って、後段側のドライバに対応する領域に低いリフレッシュレートでの書込みを行うことができる。

【0258】

50

さらに本発明の表示装置は、以上のように、前記アクティブ素子が、多結晶シリコン薄膜トランジスタからなる構成である。

【0259】

それゆえ、多結晶シリコン薄膜トランジスタは移動度が高い反面、オフ抵抗が低く、オフ時のリーク電流が大きいため、本発明が特に有効である。

【図面の簡単な説明】

【図1】本発明の実施の一形態の表示装置である液晶表示装置の電気的構成を示すブロック図である。

【図2】図1の液晶表示装置における各画素の等価回路図である。

【図3】図1の液晶表示装置における走査信号線駆動回路の一構成例を示すブロック図である。

10

【図4】図1で示す液晶表示装置の走査信号線駆動回路の各部の波形図である。

【図5】図1で示す液晶表示装置のパーシャル駆動時の表示例を示す図である。

【図6】前記図5のような表示を実現する駆動方法を説明するための波形図である。

【図7】前記図6のような動作を実現するタイミングジェネレータの電気的構成を示すブロック図である。

【図8】表示パネルのアクティブ素子の部分の断面図である。

【図9】(a)ないし(c)は、本発明の実施の他の形態の表示装置である液晶表示装置による表示例を示す図である。

【図10】液晶の印加電圧と透過率との関係を示すグラフである。

20

【図11】本発明の実施のさらに他の形態の表示装置である液晶表示装置の電気的構成を示すブロック図である。

【図12】図11で示す液晶表示装置のフレーム制御回路の一構成例を示す回路図である。

【図13】図11で示す液晶表示装置の一駆動例を説明するための波形図である。

【図14】本発明の実施の他の形態の表示装置である液晶表示装置の電気的構成を示すブロック図である。

【図15】図14で示す液晶表示装置における転送位置指示回路の一構成例を示す回路図である。

【図16】図14で示す液晶表示装置の一駆動例を説明するための波形図である。

30

【図17】前記図16のような駆動による表示例を示す図である。

【図18】図14で示す液晶表示装置による他の表示例を示す図である。

【図19】本発明の実施の一形態の表示装置において極性反転を行う回路の第1の構成を示すブロック図である。

【図20】本発明の実施の一形態の表示装置において極性反転を行う回路の第2の構成を示すブロック図である。

【符号の説明】

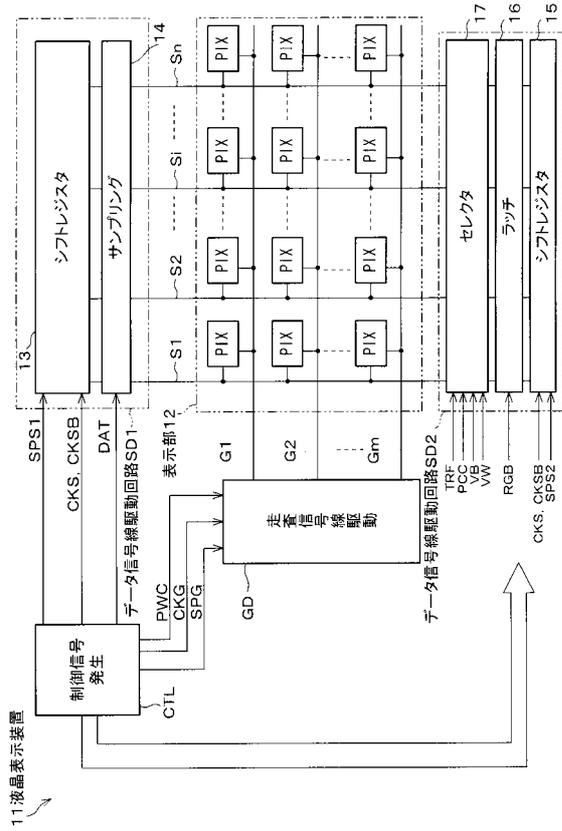
11, 21, 31 液晶表示装置(表示装置)
 12, 12a, 12b 表示部
 13, 13a, 13b, 15 シフトレジスタ
 14, 14a サンプルング回路
 16 ラッチ回路
 17, 17a, 17b セレクタ
 18 インタフェイス部
 19 カウンタ
 20 タイミングジェネレータ
 22 フレーム制御回路
 32 切換え回路
 33 転送位置指示回路
 40 極性設定回路(極性設定手段)

40

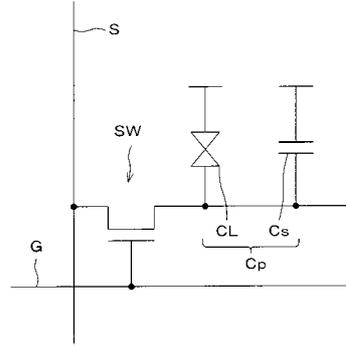
50

5 0	極性自動調整回路 (極性設定手段、極性自動調整手段)	
A 1 ~ A m	N A N D ゲート (第 2 の論理回路)	
B 1 ~ B m	N O R ゲート (第 1 の論理回路)	
C L	液晶容量	
C p	画素容量	
C s	補助容量	
C O M P 1 ~ C O M P k	コンパレータ	
C T L , C T L a , C T L b	制御信号発生回路	
F 1 ~ F m	シフトレジスタ	
G 1 ~ G m	走査信号線	10
G D , G D ' , G D a , G D b	走査信号線駆動回路	
G D 1 , G D 2	走査信号線駆動部 (ドライバ)	
I N V	インバータ	
P 1	部分表示領域 (表示領域)	
P 1 a	多階調表示領域 (表示領域)	
P 2	非表示領域	
P 2 a	2 値表示領域 (表示領域)	
P 1 b	2 値表示領域 (表示領域)	
P 2 b	多階調表示領域 (表示領域)	
P 3 b	2 値表示領域 (表意領域)	20
P 1 c	2 値表示領域 (表示領域)	
P 2 c	多階調表示領域 (表示領域)	
P 3 c	非表示領域	
P I X	画素	
P W C	パルス幅制御信号	
Q 1 , Q 1 1	アナログスイッチ	
Q 2 , Q 1 2	スイッチ	
R 1 ~ R k	レジスタ	
S 1 ~ S n	データ信号線	
S D 1 , S D 1 a , S D 1 b	データ信号線駆動回路 (多階調ドライバ)	30
S D 2 , S D 2 a	データ信号線駆動回路 (2 値ドライバ)	
S W	アクティブ素子	

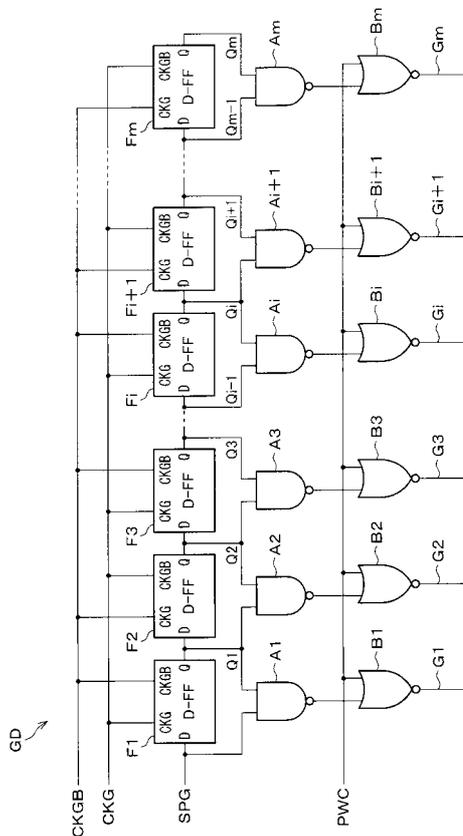
【図1】



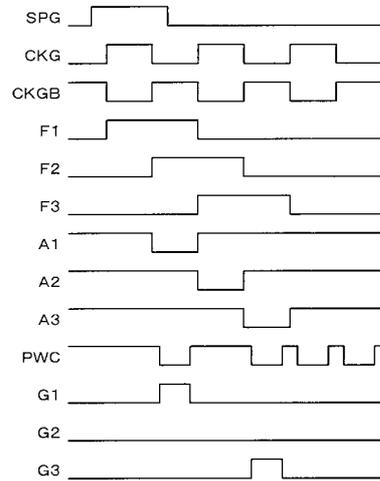
【図2】



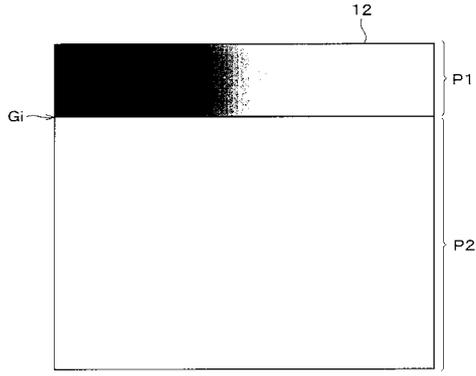
【図3】



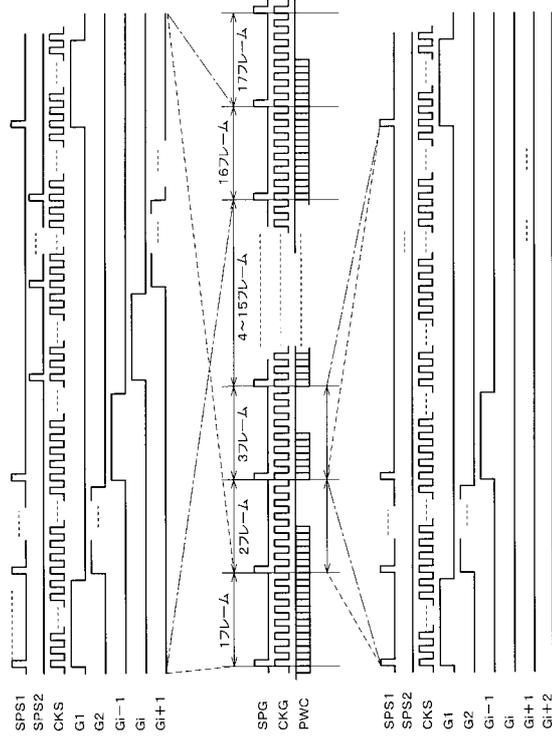
【図4】



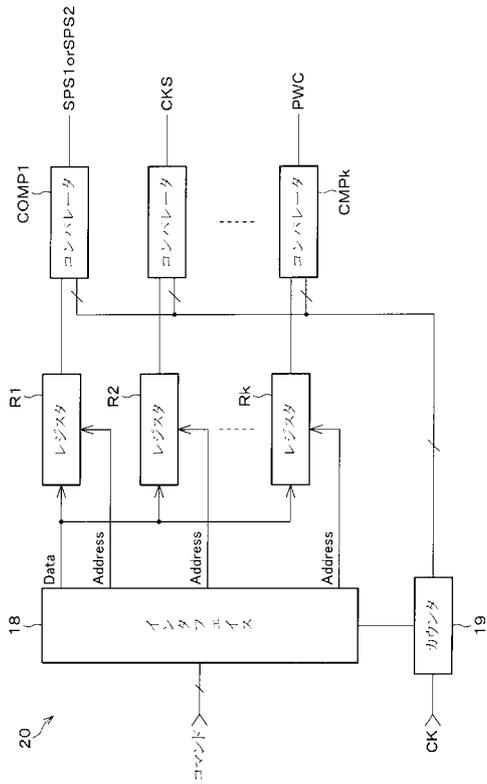
【図5】



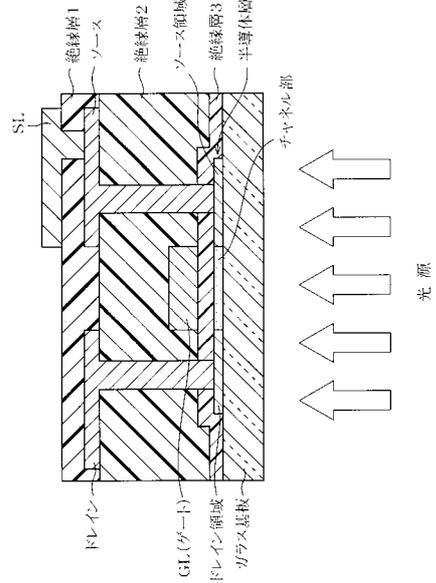
【図6】



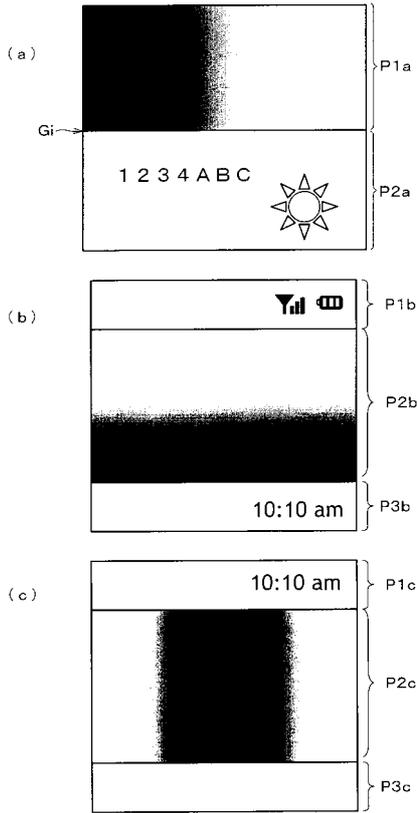
【図7】



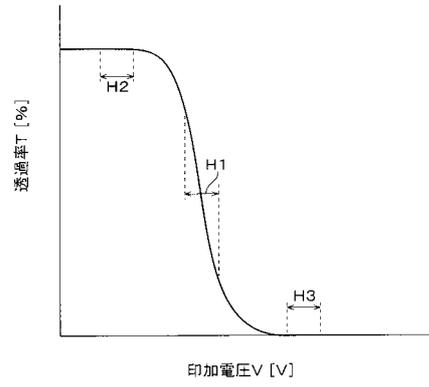
【図8】



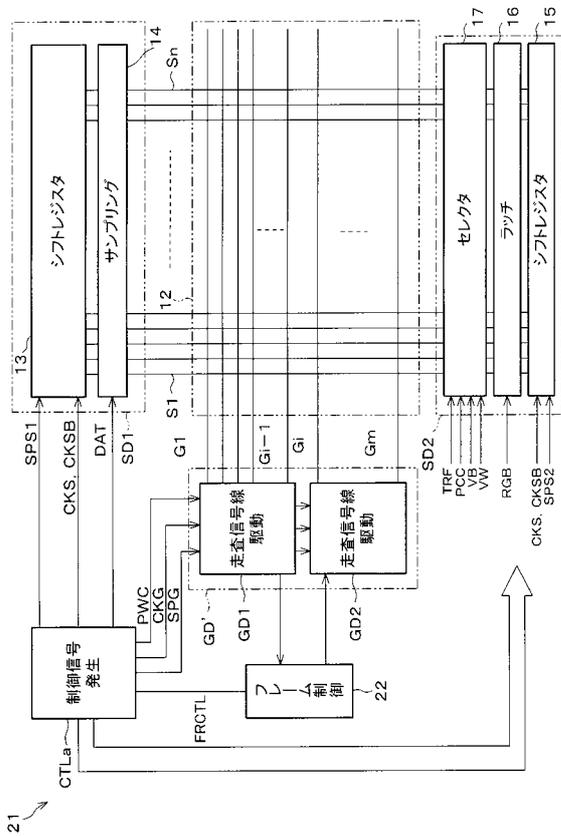
【図9】



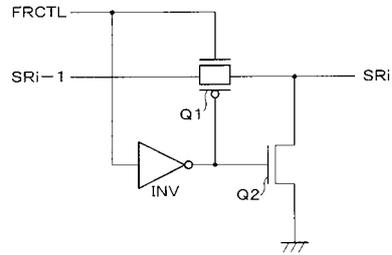
【図10】



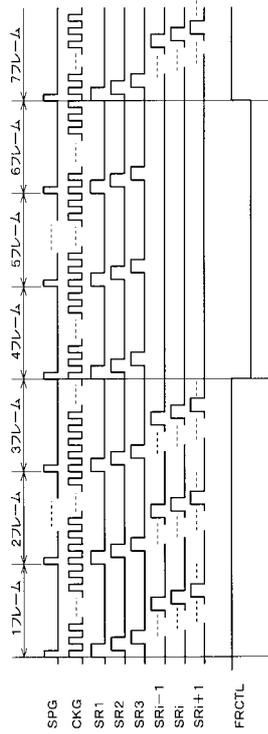
【図11】



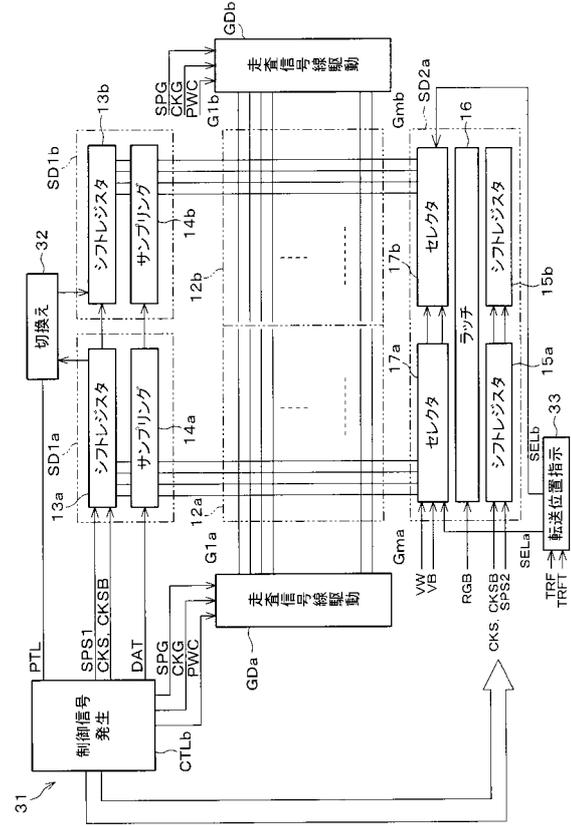
【図12】



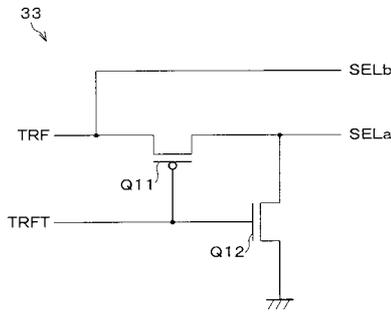
【図13】



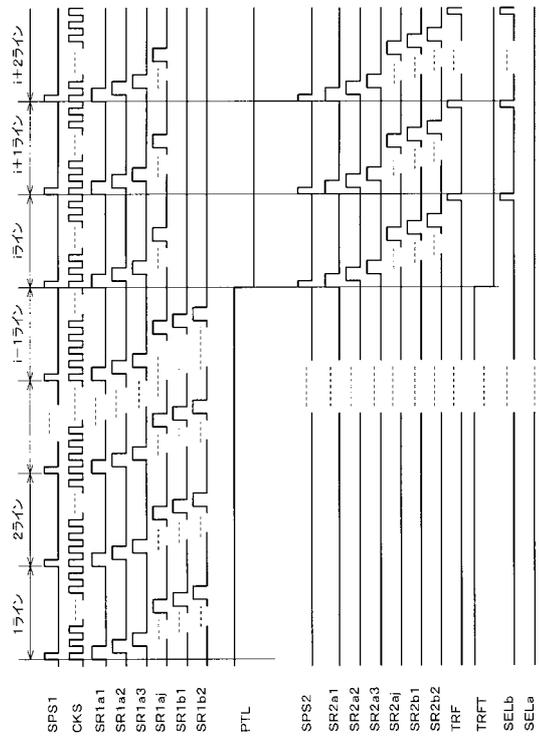
【図14】



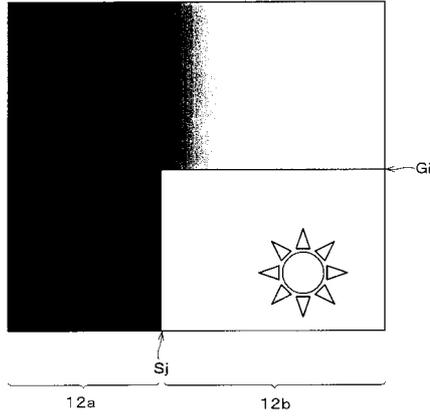
【図15】



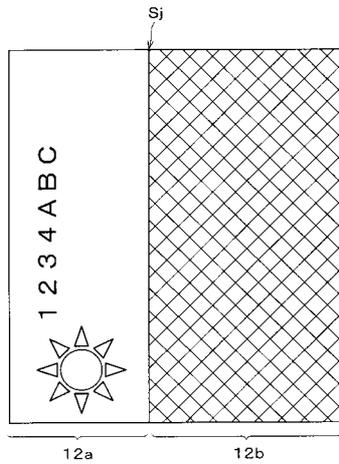
【図16】



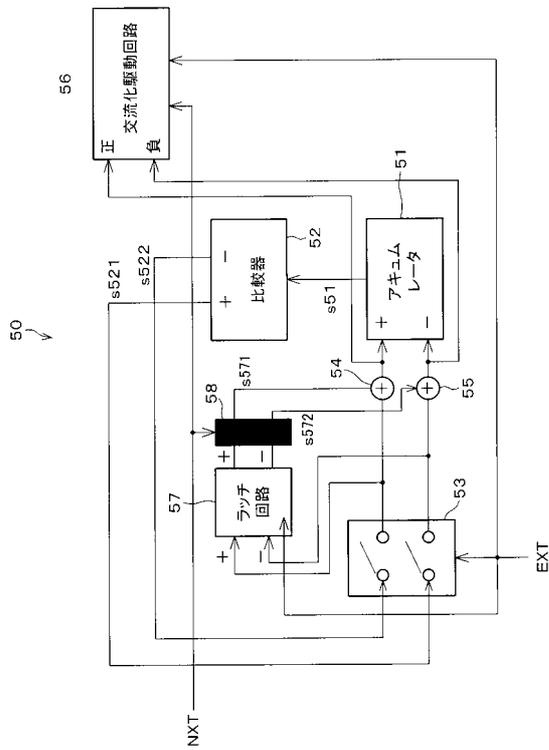
【図17】



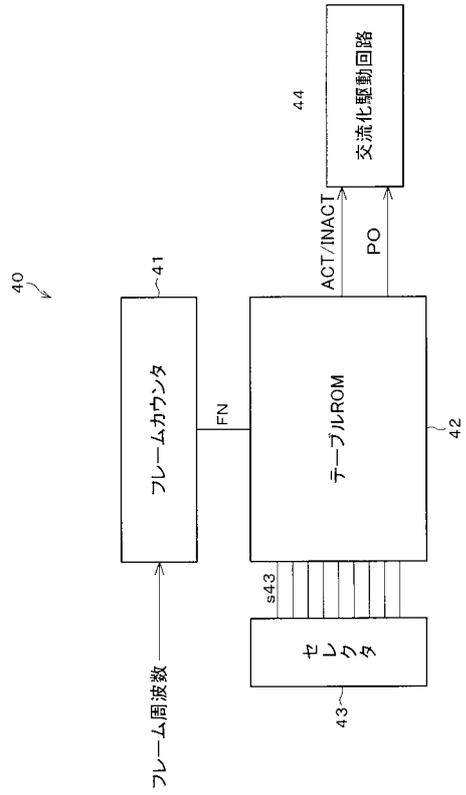
【図18】



【図20】



【図19】



フロントページの続き

- (51)Int.Cl. F I
 G 0 9 G 3/20 6 2 1 E
 G 0 9 G 3/20 6 2 1 K
 G 0 9 G 3/20 6 2 3 H
- (72)発明者 鷺尾 一
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 海瀬 泰佳
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 辻野 幸生
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 前田 和宏
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 高 橋 敬治
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 久保田 靖
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 青木 俊也
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 中村 直行

- (56)参考文献 特開 2 0 0 1 - 2 4 2 8 1 8 (J P , A)
 特開 2 0 0 1 - 3 4 3 9 2 8 (J P , A)
 特開 2 0 0 0 - 1 8 7 4 7 0 (J P , A)
 特開平 0 9 - 0 5 5 9 0 9 (J P , A)
 特開 2 0 0 1 - 1 0 9 4 3 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00 - 3/38

G02F 1/133

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP4190862B2	公开(公告)日	2008-12-03
申请号	JP2002321628	申请日	2002-11-05
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	鷺尾一 海瀬泰佳 辻野幸生 前田和宏 高橋敬治 久保田靖 青木俊也		
发明人	鷺尾一 海瀬泰佳 辻野幸生 前田和宏 ▲高▼橋敬治 久保田靖 青木俊也		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/3614 G09G3/3648 G09G3/3666 G09G3/3677 G09G2310/0213 G09G2310/0232 G09G2310/027 G09G2310/0283 G09G2310/0297 G09G2310/04 G09G2320/0214 G09G2320/10 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.621.B G09G3/20.621.D G09G3/20.621.E G09G3/20.621.K G09G3/20.623.H G11C19/00 G11C19/00.J		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA46 2H093/NB15 2H093/NC09 2H093/NC11 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC25 2H093/NC26 2H093/NC27 2H093/NC29 2H093/NC34 2H093/ND01 2H093/ND39 2H093/ND47 2H093/ND54 2H093/NH16 2H093/NH18 2H193/ZA04 2H193/ZC27 2H193/ZF24 2H193/ZF37 5B074/AA10 5B074/CA01 5C006/AC26 5C006/AF31 5C006/AF41 5C006/BB16 5C006/BF03 5C006/BF14 5C006/BF26 5C006/FA03 5C006/FA47 5C080/AA10 5C080/BB06 5C080/CC01 5C080/CC08 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	木岛隆一 金子一郎		
审查员(译)	中村直之		
优先权	2001384105 2001-12-18 JP		
其他公开文献	JP2003248468A		
外部链接	Espacenet		
摘要(译)			

