

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-288714

(P2009-288714A)

(43) 公開日 平成21年12月10日(2009.12.10)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>GO2F 1/1343 (2006.01)</b>	GO2F 1/1343	2H092
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1368	

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号	特願2008-143834 (P2008-143834)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成20年5月30日 (2008.5.30)	(74) 代理人	100080160 弁理士 松尾 憲一郎
		(72) 発明者	中山 悟 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内
		Fターム(参考)	2H092 GA59 GA64 HA04 JA24 JB14 NA01 NA04 PA06

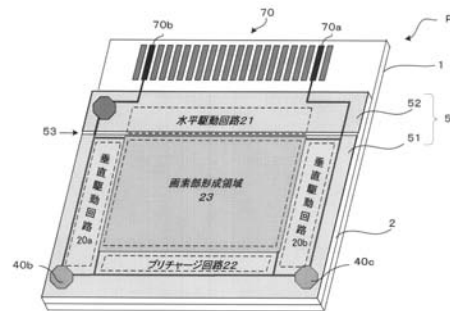
(54) 【発明の名称】 液晶表示パネル及びそれを備えた電子機器

(57) 【要約】

【課題】 周辺駆動回路による画素部への影響を低減させつつ、表示不良の発生を防止することができる液晶表示パネル及びそれを備えた電子機器を提供する。

【解決手段】 複数の画素電極と周辺駆動回路とを同一面上に有するアクティブマトリクス基板1と、これらの画素電極及び周辺駆動回路に対向する対向電極50を一方の面の略全面に設けた対向基板2とを備え、この対向基板2上において、周辺駆動回路のうち少なくとも画像信号線を駆動する水平駆動回路21に対向する対向電極52を、画素部形成領域23に対向する対向電極51と電気的に分離して設けた。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

走査線と、画像信号線と、前記走査線及び前記画像信号線との交差部にそれぞれ設けられた複数の画素部と、各前記画素部をマトリクス駆動する周辺駆動回路とを同一面上に有するアクティブマトリクス基板と、

前記複数の画素部と前記周辺駆動回路とに対向する対向電極を一方の面の略全面に設けた対向基板と、

アクティブマトリクス基板と対向基板との間に挟持された液晶層とを備え、

前記対向基板上において、前記周辺駆動回路のうち少なくとも前記画像信号線を駆動する水平駆動回路に対向する対向電極を、前記複数の画素部に対向する対向電極と電氣的に分離して設けた液晶表示パネル。

10

**【請求項 2】**

前記アクティブマトリクス基板には、前記周辺駆動回路のうち少なくとも前記水平駆動回路に対向する対向電極に電氣的に接続された第 1 入力端子と、前記複数の画素部に対向する対向電極に電氣的に接続された第 2 入力端子とをそれぞれ電氣的に独立して設けた請求項 1 に記載の液晶表示パネル。

**【請求項 3】**

前記周辺駆動回路のうち少なくとも前記水平駆動回路に対向する対向電極と前記複数の画素部に対向する対向電極とをスリット状の間隙を設けて電氣的に分離した請求項 1 又は請求項 2 の液晶表示パネル。

20

**【請求項 4】**

前記対向基板上において、前記周辺駆動回路の前記水平駆動回路及び前記走査線を駆動する垂直駆動回路に対向する対向電極を、前記複数の画素部に対向する対向電極と電氣的に分離して設けた請求項 1 ~ 3 のいずれか 1 項に記載の液晶表示パネル。

**【請求項 5】**

液晶表示パネルと、この液晶表示パネルに映像を供給する映像信号供給回路とを備え、前記液晶表示パネルは、

走査線と、画像信号線と、前記走査線及び前記画像信号線との交差部にそれぞれ設けられた複数の画素部と、各前記画素部をマトリクス駆動する周辺駆動回路とを同一面上に有するアクティブマトリクス基板と、

30

前記複数の画素部と前記周辺駆動回路とに対向する対向電極を一方の面の略全面に設けた対向基板と、

アクティブマトリクス基板と対向基板との間に挟持された液晶層とを備え、

前記対向基板上において、前記周辺駆動回路のうち少なくとも前記画像信号線を駆動する水平駆動回路に対向する対向電極を、前記複数の画素部に対向する対向電極と電氣的に分離して設けた電子機器。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、液晶表示パネル及びそれを備えた電子機器に関し、さらに詳細には、アクティブマトリクス型の液晶表示パネル及びそれを備えた電子機器に関する。

40

**【背景技術】****【0002】**

液晶プロジェクタ、パーソナルコンピュータなどの電子機器に用いられる液晶表示パネルとして、応答速度や画像品質の面で優れ、近年のカラー化に最適なアクティブマトリクス型の液晶表示パネルが主力となっている。

**【0003】**

ここで、従来のアクティブマトリクス型の液晶表示パネルの構成を図 6 を参照して説明する。従来のアクティブマトリクス型の液晶表示パネルは、図 6 ( a ) に示すアクティブマトリクス基板 101 と図 6 ( b ) に示す対向基板 102 とがスペーサの混入され

50

たシール材によって一定の間隔を保って貼り合わせられ、この一对の基板とシール材とにより形成された空間に液晶が封入された構造を有する。

【0004】

図6(a)に示すように、アクティブマトリクス基板101上には複数の走査線110と複数の画像信号線111とが互いに交差して形成され、その交差部にTFT及び画素電極からなる画素部112がマトリクス状に形成されて表示領域が構成される。

【0005】

この表示領域の周辺部には、各走査線110に対してパルス状の走査信号を順次に供給する垂直駆動回路120や、各画像信号線111に所定の画像信号を供給する水平駆動回路121等からなる周辺駆動回路が、上記表示領域の端辺に沿うように配置される。

10

【0006】

一方、対向基板102には、その内面側にはITO(Indium Tin Oxide)等の対向電極150が全面に亘って形成されており、基板隅部に形成されたコモン電極160a~160cによりアクティブマトリクス基板101のコモン電極140a~140cと電氣的に接続されている。

【0007】

ところで、近年、より高品質な表示を得るために多画素化や高速駆動が要求されるようになってきている。それに伴い、同時サンプリングする相展開数も増え、水平駆動回路に形成される多数の画像信号配線やこれらを含む周辺駆動回路と対向電極150との間に生じる寄生容量が無視できない程大きくなってきている。

20

【0008】

例えば、水平駆動回路121に形成される複数の画像信号線111に画像信号が流れると上記寄生容量を介して対向電極150の基準電位Vcomが変動する。この変動が画素部形成領域に対向する対向電極150及びコモン電極160b, 160c, 140b, 140cを經由して画素部112の基準電位Vcomまで伝播される。これにより画素部112に信号電圧を書き込む際の基準電位Vcomが変動し、本来書き込まれるべき画像信号の電圧が変化してしまい画質不良となることが報告されている。

【0009】

そこで、下記特許文献1, 2には、水平駆動回路を含む周辺駆動回路と対向する領域の対向電極の一部又は全部を除去することによって、上述の寄生容量の発生を抑制し、画質不良の問題を改善する技術が開示されている。

30

【特許文献1】特開2005-227513号公報

【特許文献2】特開2005-84650号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

ところが、上記特許文献1, 2のように、水平駆動回路を含む周辺駆動回路と対向する領域の一部又は全部に対向電極を形成しない領域(以下、「対向電極非形成領域」とする。)を設けると、次のような問題が生じる恐れがある。

【0011】

すなわち、水平駆動回路を含む周辺駆動回路と対向する領域の一部又は全部に対向電極非形成領域を対向基板に設けると、対向電極を形成した領域(以下、「対向電極形成領域」とする。)との間で、段差が生じる。従って、この段差による塗装ムラが発生して表示不良の恐れがある。また、対向電極非形成領域を設けた対向基板とアクティブマトリクス基板とを重ね合わせるときに対向電極形成領域部分と対向電極非形成領域部分とに応力が生じ、ギャップ異常又はギャップムラによる表示不良の恐れがある。

40

【課題を解決するための手段】

【0012】

そこで、かかる課題を解決すべく、請求項1に記載の発明は、走査線と、画像信号線と、前記走査線及び前記画像信号線との交差部にそれぞれ設けられた複数の画素部と、各前

50

記画素部をマトリックス駆動する周辺駆動回路とを同一面上に有するアクティブマトリックス基板と、前記複数の画素部と前記周辺駆動回路とに対向する対向電極を一方の面の略全面に設けた対向基板と、アクティブマトリックス基板と対向基板との間に挟持された液晶層とを備え、前記対向基板上において、前記周辺駆動回路のうち少なくとも前記画像信号線を駆動する水平駆動回路に対向する対向電極を、前記複数の画素部に対向する対向電極と電氣的に分離して設けたものである。

【 0 0 1 3 】

また、請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記アクティブマトリックス基板には、前記周辺駆動回路のうち少なくとも前記水平駆動回路に対向する対向電極に電氣的に接続された第 1 入力端子と、前記複数の画素部に対向する対向電極に電氣的に接続された第 2 入力端子とをそれぞれ電氣的に独立して設けたものである。

10

【 0 0 1 4 】

また、請求項 3 に記載の発明は、請求項 1 又は請求項 2 に記載の発明において、前記周辺駆動回路のうち少なくとも前記水平駆動回路に対向する対向電極と前記複数の画素部に対向する対向電極とをスリット状の間隙を設けて電氣的に分離したものである。

【 0 0 1 5 】

また、請求項 4 に記載の発明は、請求項 1 ~ 3 のいずれか 1 項に記載の発明において、前記対向基板上において、前記周辺駆動回路の前記水平駆動回路及び前記走査線を駆動する垂直駆動回路に対向する対向電極を、前記複数の画素部に対向する対向電極と電氣的に分離して設けたものである。

20

【 0 0 1 6 】

また、請求項 5 に記載の発明は、液晶表示パネルと、この液晶表示パネルに映像を供給する映像信号供給回路とを備えた電子機器において、前記液晶表示パネルは、走査線と、画像信号線と、前記走査線及び前記画像信号線との交差部にそれぞれ設けられた複数の画素部と、各前記画素部をマトリックス駆動する周辺駆動回路とを同一面上に有するアクティブマトリックス基板と、前記複数の画素部と前記周辺駆動回路とに対向する対向電極を一方の面の略全面に設けた対向基板と、アクティブマトリックス基板と対向基板との間に挟持された液晶層とを備え、前記対向基板上において、前記周辺駆動回路のうち少なくとも前記画像信号線を駆動する水平駆動回路に対向する対向電極を、前記複数の画素部に対向する対向電極と電氣的に分離して設けたものである。

30

【 発明の効果 】

【 0 0 1 7 】

本発明によれば、周辺駆動回路のうち少なくとも多数の画像信号線が集中して形成される水平駆動回路に対向する領域に、画素部形成領域に対向する対向電極に対して電氣的に分離した対向電極を設ける。従って、水平駆動回路に対向する対向電極の生じる電位変動が画素部に対向する対向電極を経由して画素部へ影響することを抑制することができ、画質の劣化を防止できる。しかも、対向電極を対向基板の略全面に設けることで、上述した塗装ムラ、ギャップ異常或いはギャップムラが生じることを抑制して表示不良の発生を防止することができる。

40

【 発明を実施するための最良の形態 】

【 0 0 1 8 】

以下、本発明のいくつかの実施形態を、図面を参照して説明する。

【 0 0 1 9 】

[ 1 . 第 1 実施形態 ]

[ 1 . 1 . 液晶表示パネルの概要 ]

図 1 は、本発明の第 1 実施形態に係る液晶表示パネルの構成の概略を示す図である。本実施形態では、本発明をアクティブマトリックス型の液晶表示パネルに適用した場合を例に挙げて説明するものとする。

【 0 0 2 0 】

図 1 に示すように、第 1 実施形態に係る液晶表示パネル P は、アクティブマトリックス

50

基板 1 と対向基板 2 とがスペーサの混入されたシール材（図示せず）によって一定の間隔を保って貼り合わせられ、この一对の基板とシール材とにより形成された空間に液晶（図示せず）が封入されて液晶層が形成される構造を有する。

【0021】

アクティブマトリクス基板 1 には、複数の画素部が形成される画素部形成領域 2 3 の他、これらの複数の画素部をマトリクス駆動する周辺駆動回路、外部回路との間で電圧や各種信号の入出力を行なうためのパッド部 7 0 等が同一面上に形成される。周辺駆動回路には、垂直駆動回路 2 0 a , 2 0 b、水平駆動回路 2 1、プリチャージ回路 2 2 などが含まれる、

【0022】

10

対向基板 2 には、アクティブマトリクス基板 1 と対向する面の略全面に I T O ( Indium Tin Oxide ) 等で形成された対向電極 5 0 が形成される。

【0023】

本実施形態においては、この対向電極 5 0 を図 1 に示すように、画素部形成領域 2 3 と水平駆動回路 2 1 との間の領域に対向する部分にスリット状の間隙 5 3 を設けて電氣的に分離した第 1 対向電極 5 1 と第 2 対向電極 5 2 とを形成している。すなわち、画素部形成領域 2 3 に対向する第 1 対向電極 5 1 と、周辺駆動回路のうち少なくとも水平駆動回路 2 1 に対向する第 2 対向電極 5 2 とを電氣的に分離して形成している。

【0024】

従って、水平駆動回路 2 1 に対向する第 2 対向電極 5 2 の生じる電位変動が画素部形成領域 2 3 に対向する第 1 対向電極 5 1 を経由して画素部形成領域 2 3 の画素部へ伝搬することを抑制することができ、画質の劣化を防止できる。

20

【0025】

しかも、第 1 対向電極 5 1 と第 2 対向電極 5 2 とからなる対向電極 5 0 はスリット状の間隙 5 3 を除いて対向基板 2 の略全面に設けているので、上述した段差やギャップが生じることを抑制して表示不良の発生を防止することができる。特に、スリット状の間隙 5 3 の面積を小さくすることで、塗装ムラ、ギャップ異常或いはギャップムラの発生をより抑制でき、表示不良の発生をより抑えることができる。

【0026】

さらに、対向電極 5 0 を分離するスリット状の間隙 5 3 を有効画素外へ位置させることにより、この間隙 5 3 により液晶の配向乱れが生じても画素部形成領域 2 3 への影響を抑制できる。

30

【0027】

また、アクティブマトリクス基板 1 には、基板端部に設けられたコモン電極 6 0 b , 6 0 c を介して第 1 対向電極 5 1 に電氣的に接続された第 1 入力端子 7 0 a と、基板端部に設けられたコモン電極 6 0 a を介して第 2 対向電極 5 2 に電氣的に接続された第 2 入力端子 7 0 b とをそれぞれ電氣的に独立して設けている。

【0028】

このように、第 1 対向電極 5 1 から第 2 対向電極 5 2 を液晶表示パネル P 上で電氣的に分離するので、第 1 対向電極 5 1 へ印加する電位と第 2 対向電極 5 2 へ印加する電位を異なるものとする事ができる。その結果、水平駆動回路 2 1 に対向する第 2 対向電極 5 2 に生じた電位変動が画素部へ影響することをより効果的に抑制することができる。

40

【0029】

[ 1 . 2 . 液晶表示パネル P の構成 ]

ここで、さらに具体的に、本実施形態に係る液晶表示パネル P の構成について図 2 及び図 3 を参照して説明する。図 2 ( a ) は第 1 実施形態に係る液晶表示パネル P のアクティブマトリクス基板 1 のレイアウト図、図 2 ( b ) は第 1 実施形態に係る液晶表示パネル P の対向基板 2 のレイアウト図、図 3 ( a ) は従来の液晶表示パネルにおける対向電極の影響を説明するための図、図 3 ( b ) は第 1 実施形態に係る液晶表示パネル P における対向電極の影響を説明するための図である。

50

## 【0030】

図2(a)に示すように、アクティブマトリクス基板1上には複数の走査線10と複数の画像信号線11とが互いに交差して形成され、その交差部にTFT、画素容量Cs、画素電極等からなる複数の画素部12がマトリクス状に形成されて画素部形成領域23が構成される。なお、画素電極とこれに対向して形成される第1対向電極51との間に発生する液晶容量により液晶セルが形成されることになる。

## 【0031】

また、このアクティブマトリクス基板1上には、垂直駆動回路20a、20b、水平駆動回路21、及び各画像信号線11をプリチャージするプリチャージ回路22等からなる周辺駆動回路が、上記画素部形成領域23の外周部端辺に沿うように配置される。この周辺駆動回路へ供給される各信号や電圧は、例えば図示しない外部回路のドライバICで生成されるものであり、入力端子であるパッド部70を介して供給される。この外部回路のドライバICは、例えば画像信号生成用の画像信号データ、基準電位Vcom発生用のVCOMデータ、或いは制御電位Vcont発生用のCONTデータなどをアナログ信号やDC電位に変換してパッド部70を介して周辺駆動回路へ出力する。

10

## 【0032】

垂直駆動回路20a、20bは、各走査線10に対してパルス状の走査信号を順次に供給する回路であり、所定の走査線10を選択する垂直シフトレジスタや、走査線10の電圧レベルを調整するレベルシフタ等から構成される。

20

## 【0033】

一方、水平駆動回路21は、各画像信号線11に所定の画像信号を供給する回路であり、外部回路から入力端子であるパッド部70を介して画像信号やセレクト信号を受け取り、画像信号をセレクト信号と対応する画素列の画像信号線11に出力するマルチプレクサ等から構成される。

## 【0034】

そして、垂直駆動回路20a、20b及び水平駆動回路21によりそれぞれ所定の走査線10及び画像信号線11が選択されると、選択された走査線10と画像信号線11との交差部に位置する画素部12に画像信号が供給され、画素部12が画像信号に応じた輝度で発光する。

30

## 【0035】

ここで、液晶表示パネルPにおいては、液晶に同極性の直流電圧が印加され続けることによる焼き付きを防止するために、反転駆動が行なわれる。この反転駆動の方式として、画素配列の行又は列毎に信号電圧の極性を入れ替えるライン反転方式、隣接する画素電極毎に信号電圧の極性を入れ替えるドット反転方式、さらには表示フレーム帰還毎に信号電圧を入れ替えるフレーム反転方式等がある。

## 【0036】

そして、対向基板2の第1対向電極51には一様に、反転駆動する画素電極の基準となる電圧(以下、「基準電位Vcom」とする。)がアクティブマトリクス基板上のパッド部70の第1入力端子70aから基準電位線13及びコモン電極40b、40c、60b、60cを通じて供給されている。

40

## 【0037】

また、アクティブマトリクス基板1上に形成された各画素部12の画素容量Csにも、画素配列の各行ごと行方向に延伸して形成される基準電位線13が接続され、基準電位Vcomが供給される。さらに、基準電位線13は、画素部形成領域23の外周部にもパターン配線されることで、画素部12及び周辺駆動回路(垂直駆動回路20a、20b、水平駆動回路21、プリチャージ回路22など)を静電気から保護するガードリング(シールド)の作用をなす。

## 【0038】

また、アクティブマトリクス基板1には、制御電位線14(図2(a)に示す破線部分)が形成される。この制御電位線14にはパッド部70の第2入力端子70bから制御

50

電位  $V_{cont}$  が供給される。また、この制御電位  $V_{cont}$  は、制御電位線 14 に接続されたコモン電極 40a にも供給される。

【0039】

一方、対向基板 2 は、図 2 (b) に示すように、アクティブマトリクス基板 1 に対向する面に、第 1 対向電極 51 と第 2 対向電極 52 とからなる対向電極 50 が略全面に形成される。

【0040】

第 1 対向電極 51 は、画素部形成領域 23、垂直駆動回路 20a、20b 及びプリチャージ回路 22 に対向する位置に形成される対向電極である。また、第 2 対向電極 52 は多数の画像信号線 11 が形成される水平駆動回路 21 に対向する位置に形成される対向電極である。

10

【0041】

そして、第 1 対向電極 51 と第 2 対向電極 52 とは、スリット状の間隙 53 を介して電氣的に分離された構造をとる。これにより、水平駆動回路 21 に対向する第 2 対向電極 52 の生じる電位変動が画素部形成領域 23 に対向する第 1 対向電極 51 を経由して画素部形成領域 23 の画素部 12 へ伝搬することを抑制することができ、画質の劣化を防止できる。

【0042】

すなわち、従来の液晶表示パネルでは、図 3 (a) に示すように、アクティブマトリクス基板 101 に形成された水平駆動回路 121 の上方には、対向電極 150 が対向配置されており、水平駆動回路 121 と対向電極 150 との間で寄生容量  $C_a$  が形成される。そのため、例えば、水平駆動回路 121 の多数の画像信号線 111 に流れる画像信号が対向電極 150 に影響を及ぼし、対向電極 150 の基準電位  $V_{com}$  が変動する。この変動が、図 3 (a) に示す点線の経路で、画素部 112 の基準電位  $V_{com}$  へ影響を及ぼし、画素部 112 の画素容量  $C_s$  に画像信号を書き込む際に正常な電圧を書き込むことができず、画質不良となる。なお、図 3 (a) 中の「HSW」は、各画像信号線 111 に配置され、各画素部 112 に画像信号を出力するためのスイッチである。

20

【0043】

一方、本実施形態の液晶表示パネル P においては、図 3 (b) に示すように、従来の液晶表示パネルと同様に寄生容量  $C_a$  が形成されるものの、この寄生容量  $C_a$  は、第 1 対向電極 51 と電氣的に分離された第 2 対向電極 52 との間に発生する寄生容量である。従って、水平駆動回路 21 に形成される多数の画像信号線 11 に流れる画像信号がこの第 2 対向電極 52 の制御電位  $V_{cont}$  に影響を及ぼしたとしても、第 1 対向電極 51 への影響はなく、第 1 対向電極 51 を介して画素部 112 の基準電位  $V_{com}$  へ影響することがない。その結果、本実施形態に係る液晶表示パネル P では上述従来の液晶表示パネルに比べて、水平駆動回路 21 による画素部 12 への影響を大幅に削減することができる。

30

【0044】

特に、水平駆動回路 21 では画素配列の列数に応じた数の画像信号線 11 が必要であり、これらが束となって密集して水平駆動回路 21 の領域に形成され、しかも、図 3 (b) に示すように、対向電極 50 と距離が近くなっている。従って、対向電極 50 のうち水平駆動回路 21 に対向する領域に対してアクティブマトリクス基板 1 からの影響が大きくなる。そこで、上述のように、少なくともこの水平駆動回路 21 に対向する第 2 対向電極 52 を他の対向電極である第 1 対向電極 51 と電氣的に分離することとしている。

40

【0045】

また、第 1 対向電極 51 は、コモン電極 60b、60c 及び基準電位線 13 を介して第 1 入力端子 70a から基準電位  $V_{com}$  が供給され、第 2 対向電極 52 は、コモン電極 60a 及び制御電位線 14 を介して第 2 入力端子 70b から制御電位  $V_{cont}$  が供給される。

【0046】

このように、第 1 対向電極 51 と第 2 対向電極 52 とに別々の電位を印加することができるようにしていることから、第 1 対向電極 51 での電圧変動が第 2 対向電極 52 へ影響

50

を及ばさないようにすることができる。

【0047】

なお、基準電位  $V_{com}$  と制御電位  $V_{cont}$  とを同じ電圧としても、第1対向電極51に生じた電位変動が画素部12へ影響することを抑制することができる。

【0048】

また、パッド部70において第1入力端子70aと第2入力端子70bとを別々とせず、一つの入力端子の形成箇所では基準電位線13と制御電位線14を一つの入力端子から分岐させるようにしてもよい。このとき、基準電位線13と制御電位線14とはパッド部70の入力端子以外の箇所で交わることがないようにする。

【0049】

また、上述においては、第2対向電極52に制御電位  $V_{cont}$  を接続することとしたが、アクティブマトリクス基板1から電氣的に切り離すようにしてもよい。すなわち、第2対向電極52を電氣的にオープンにするのである。これにより、第2対向電極52の電気変動をアクティブマトリクス基板1上の画素部12へ伝播することを抑えることができる。なお、第2対向電極52に制御電位  $V_{cont}$  などの固定電位を接続することにより、水平駆動回路21に対するシールド効果を得ることができるので、第2対向電極52に制御電位  $V_{cont}$  などの固定電位を接続することが望ましい。

【0050】

さらには、第1対向電極51と第2対向電極52とを切り離すスリット状の間隙53を有効画素外へ位置させることにより、スリット状の間隙53により液晶の配向乱れが生じて表示画素へ影響を与えることを抑制できる。また、同様に制御電位  $V_{cont}$  と基準電位  $V_{com}$  との電位差により横電界がかかることから、液晶の配向乱れが生じて表示画素への影響を抑制することができる。加えて、制御電位  $V_{cont}$  と基準電位  $V_{com}$  との電位差による横電界は、制御電位  $V_{cont}$  を基準電位  $V_{com}$  に揃えることにより横電界の発生を抑えることが可能である。

【0051】

[2. 第2実施形態]

次に、本発明の第2実施形態について説明する。図4は第2実施形態に係る液晶表示パネルP'の対向基板2'のレイアウト図である。なお、第2実施形態に係る液晶表示パネルP'のアクティブマトリクス基板は、第1実施形態に係るアクティブマトリクス基板1と同様の構成であるため、ここでは対向基板2'についてのみ説明する。

【0052】

図4に示すように、第2実施形態に係る液晶表示パネルP'の対向基板2'は、第2対向電極52'を水平駆動回路21に対向する位置のみならず、垂直駆動回路20a, 20bに対向する位置にも設けることとしている。

【0053】

このように垂直駆動回路20a, 20bに対向する位置にも第2対向電極52'を形成することにより、水平駆動回路21の信号による画素部12への影響のみならず、垂直駆動回路20a, 20bに流れる各信号による画素部12への影響を抑制することができる。従って、第1実施形態の液晶表示パネルPに比べさらに画質の向上を図ることができる。

【0054】

なお、第2対向電極52'には、制御電位  $V_{cont}$  を接続しなくてもよいが、制御電位  $V_{cont}$  に接続することによって、水平駆動回路21及び垂直駆動回路20a, 20bに対するシールド効果を得ることができるので、第2対向電極52'に制御電位  $V_{cont}$  を接続することが望ましい。

【0055】

また、第2対向電極52'を配置する領域は、水平駆動回路21や垂直駆動回路20a, 20bのみならず、周辺駆動回路全てに対向する領域としてもよい。すなわち、上述した対向基板2'に形成する第2対向電極52'は、画素部形成領域23に対向する対向電

10

20

30

40

50

極を除いた領域のうち、周辺駆動回路での信号変動が画素部 1 2 へ影響を及ぼす領域に形成するものであればよく、上記対向基板 2 ' の構成に限られない。

【 0 0 5 6 】

また、対向電極 5 1 , 5 2 ( 5 1 ' , 5 2 ' ) への基準電位  $V_{com}$  や制御電位  $V_{cont}$  の入力は、上記実施形態のコモン電極 4 0 a ~ 4 0 c , 6 0 a ~ 6 0 c を用いたものに限られるものではなく、コモン電極の数や位置は適宜変更することが可能である。また、コモン電極を用いることなく、配線による通電や対向基板 2 , 2 ' への直接入力としても良い。

[ 3 . 電子機器への適用 ]

【 0 0 5 7 】

上述した液晶表示パネル P , P ' は、液晶プロジェクタのほか、パーソナルコンピュータ、ワードプロセッサ或いは携帯電話機などの電子機器に適用することができる。図 5 は、本実施形態に係る電子機器、例えば携帯電話機の構成の概略を示す外観図である。

【 0 0 5 8 】

図 5 に示すように、本例に係る携帯電話機は、装置筐体 8 1 の前面側に、スピーカ部 8 2 、出力表示部 8 3 、操作部 8 4 及びマイク部 8 5 を上部側から順に配置された構成となっている。かかる構成の携帯電話機において、出力表示部 8 3 には液晶表示パネルが用いられ、この液晶表示パネルとして先述した実施形態に係る液晶表示パネル P , P ' が用いられる。また、出力表示部 8 3 に映像を供給する映像信号供給回路 ( 図示せず ) が装置筐体 8 1 内に収納されている。

【 0 0 5 9 】

以上、本発明の好ましい実施形態について説明したが、本発明は係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【 図面の簡単な説明 】

【 0 0 6 0 】

【 図 1 】 第 1 実施形態に係る液晶表示パネルの構成の概略を示す図である。

【 図 2 】 第 1 実施形態に係る液晶表示パネルのアクティブマトリクス基板及び対向基板のレイアウト図である。

【 図 3 】 液晶表示パネルにおける対向電極の影響を説明するための図である。

【 図 4 】 第 2 実施形態に係る液晶表示パネルの対向基板のレイアウト図である。

【 図 5 】 本実施形態に係る電子機器である携帯電話機の構成の概略を示す外観図である。

【 図 6 】 従来のアクティブマトリクス型の液晶表示パネルの構成を示す図である。

【 符号の説明 】

【 0 0 6 1 】

- P 液晶表示パネル
- 1 アクティブマトリクス基板
- 2 , 2 ' 対向基板
- 1 0 走査線
- 1 1 画像信号線
- 1 2 画素部
- 1 3 第 1 基準電位線
- 1 4 第 2 基準電位線
- 2 0 a , 2 0 b 垂直駆動回路
- 2 1 水平駆動回路
- 2 2 プリチャージ回路
- 2 3 画素部形成領域
- 4 0 a ~ 4 0 c , 6 0 a ~ 6 0 c コモン電極
- 5 0 対向電極
- 5 1 第 1 対向電極

10

20

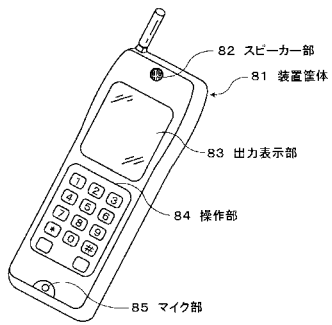
30

40

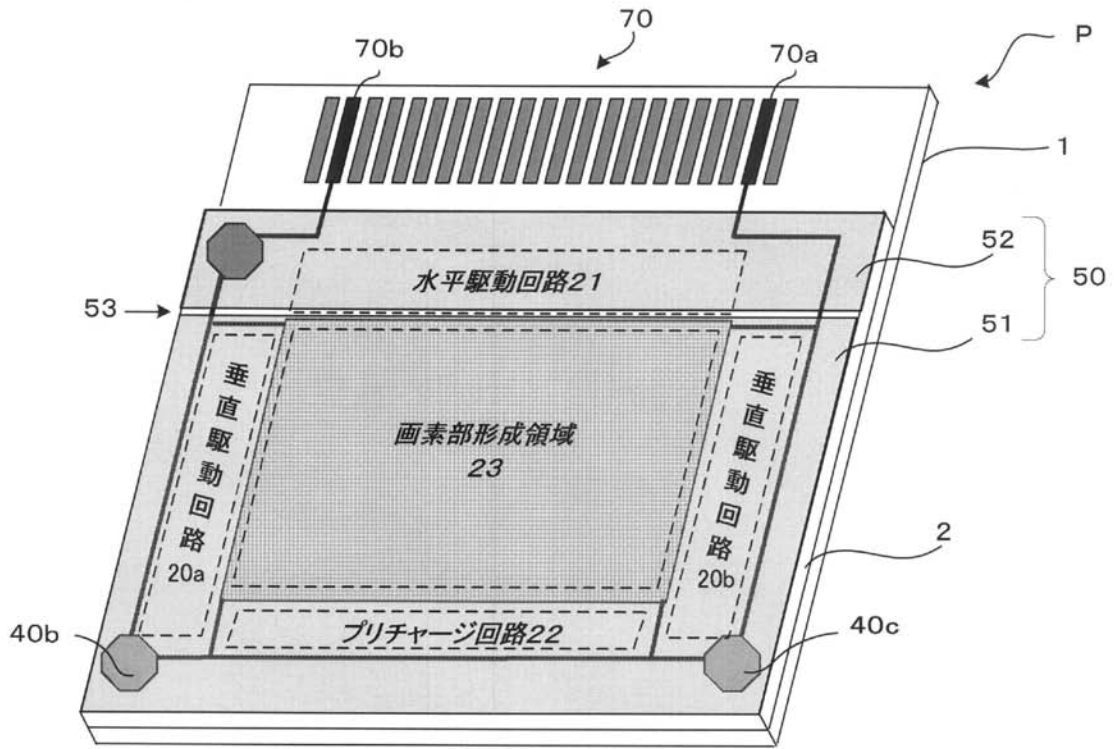
50

5 2 第 2 対向電極  
7 0 パッド部

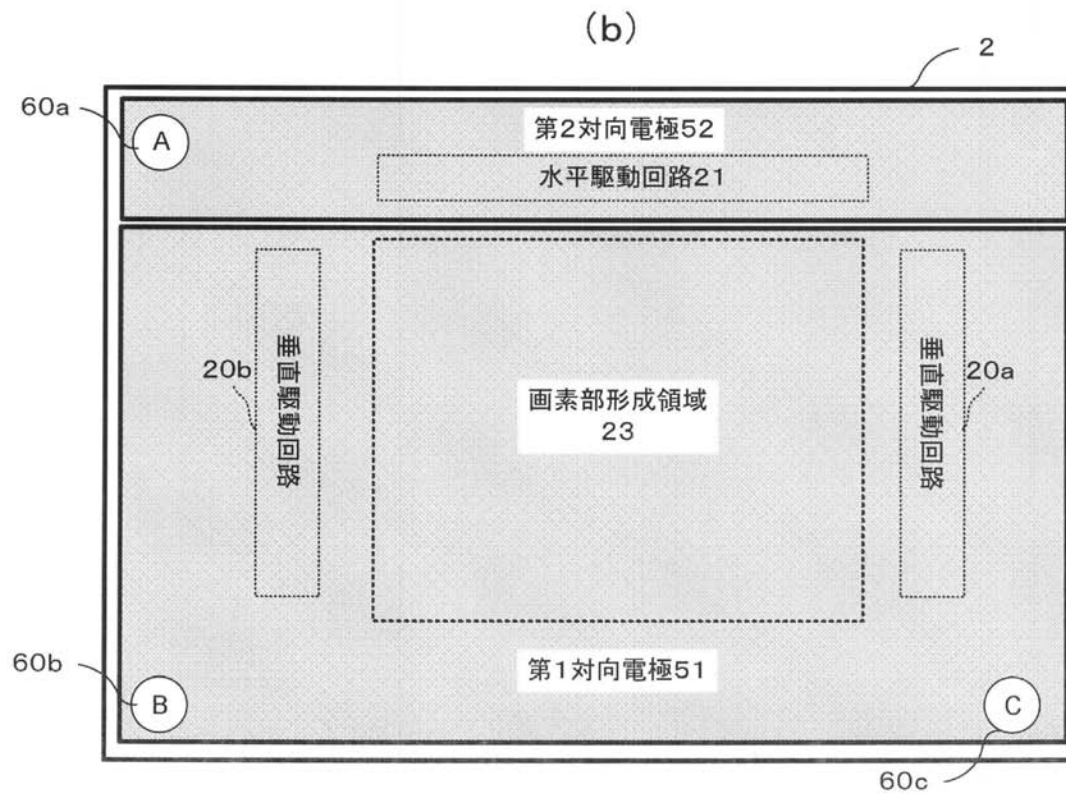
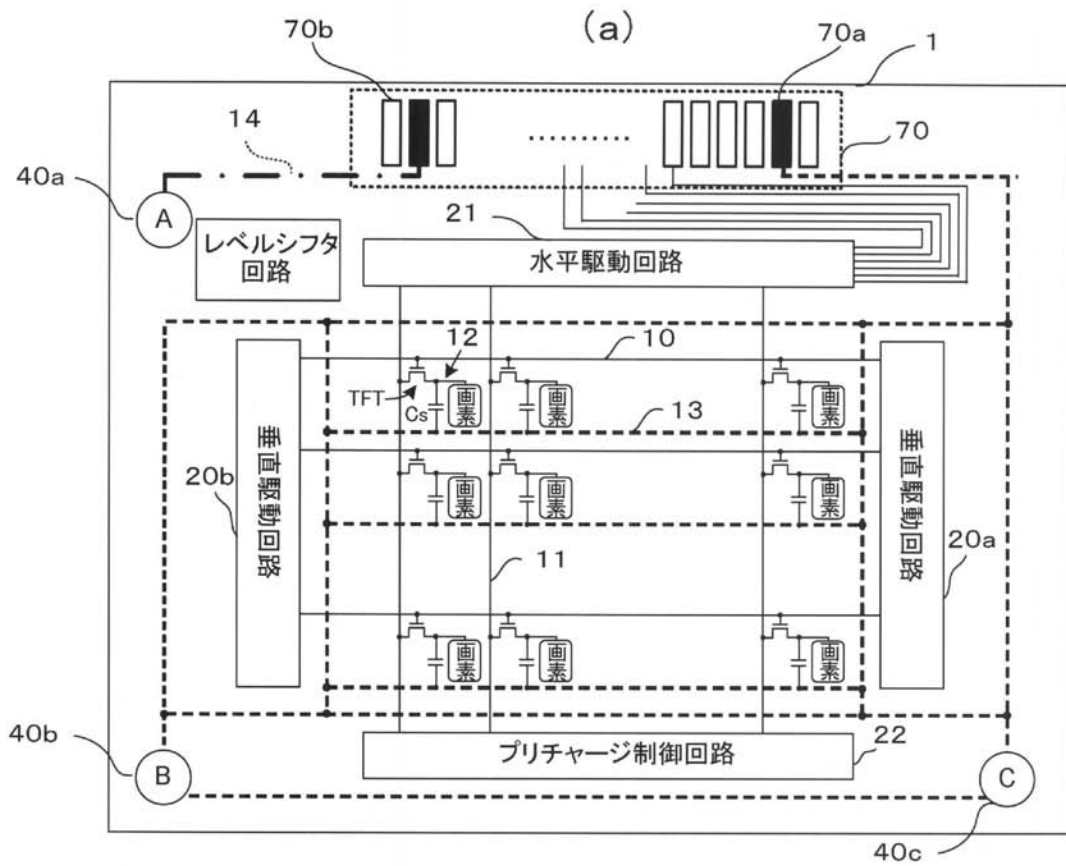
【 図 5 】



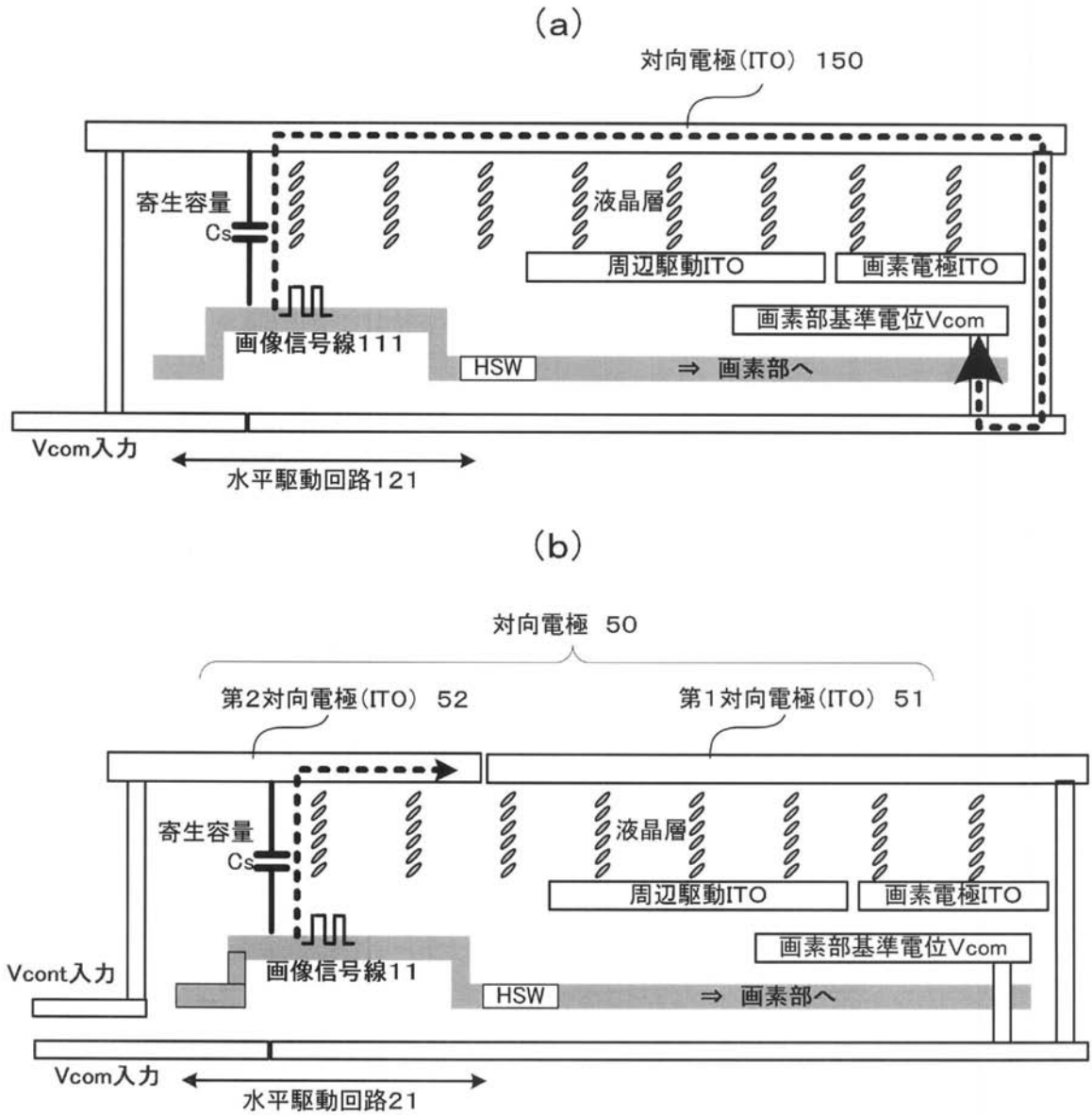
【図1】



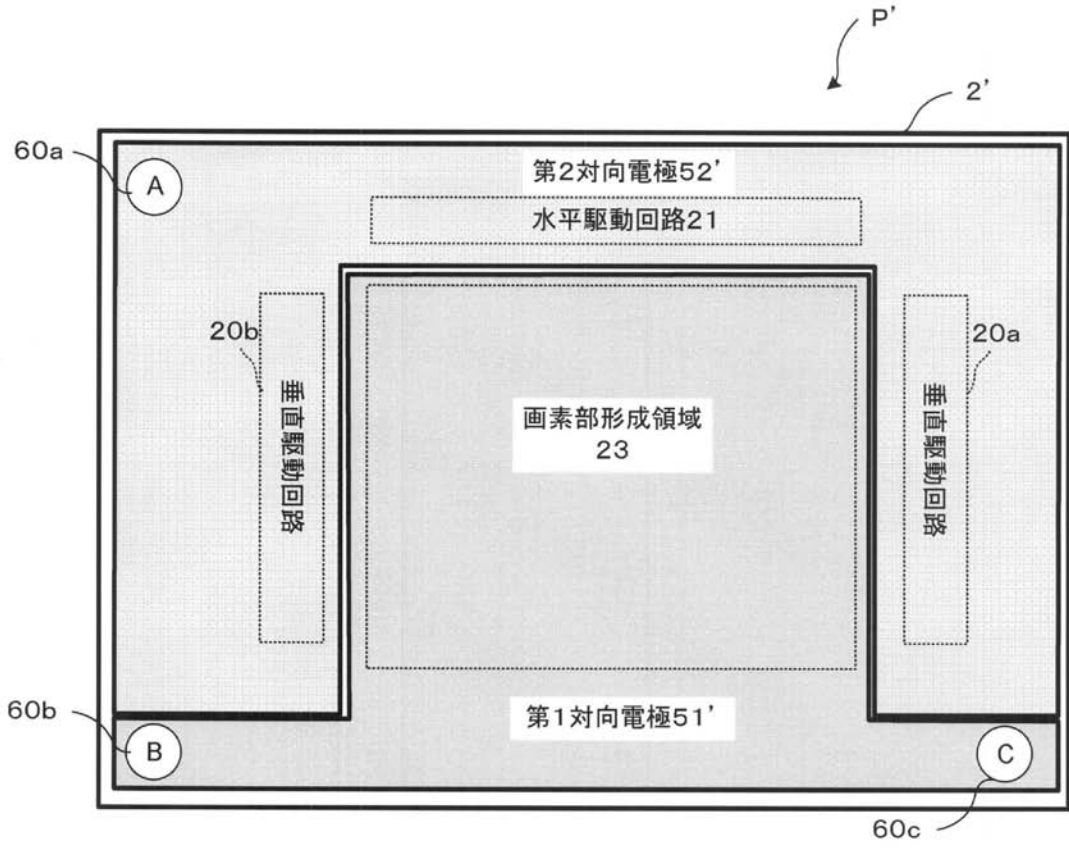
【図2】



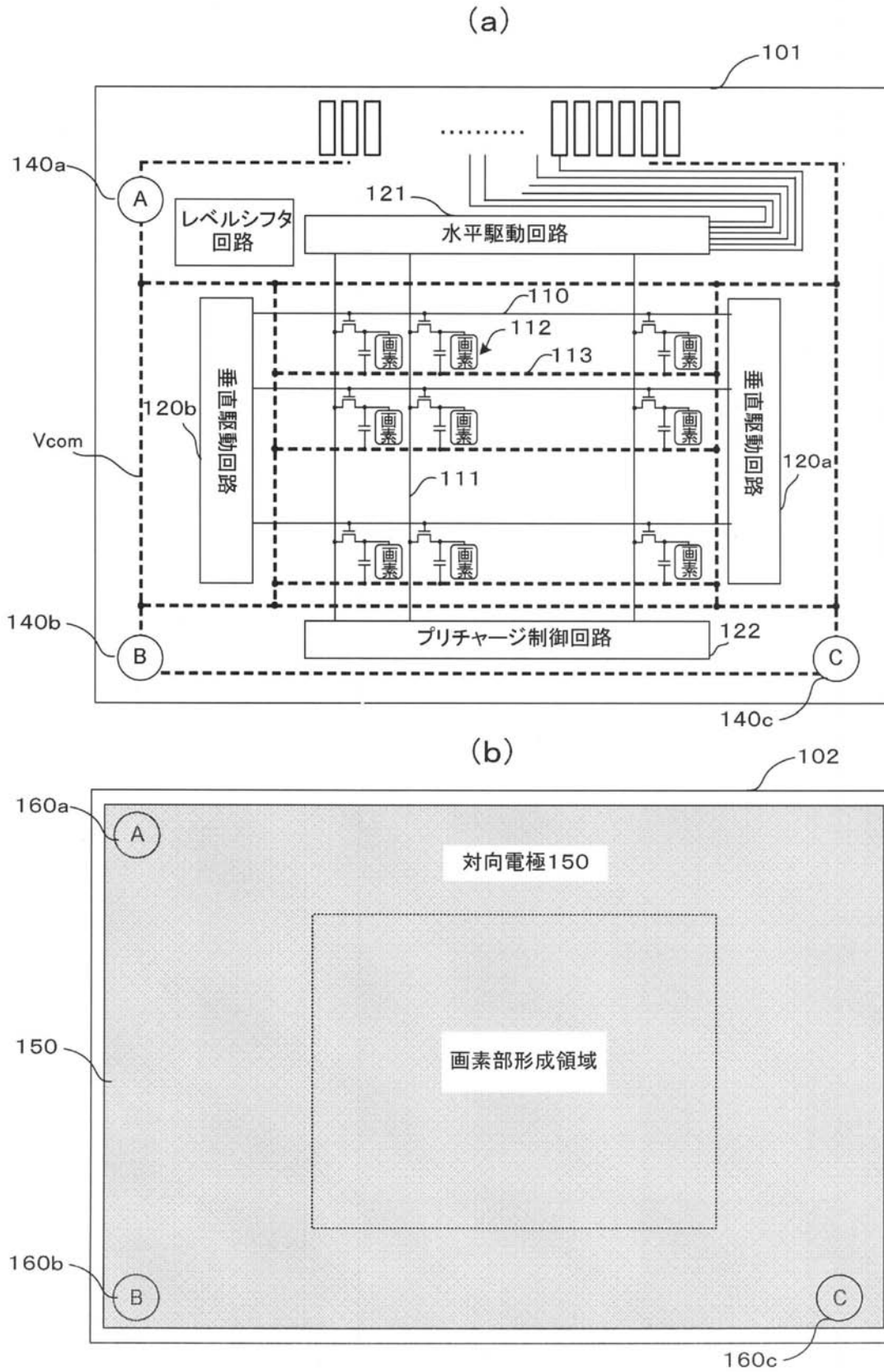
【 図 3 】



【 図 4 】



【図6】



专利名称(译)	液晶显示面板和具有该液晶显示面板的电子设备		
公开(公告)号	<a href="#">JP2009288714A</a>	公开(公告)日	2009-12-10
申请号	JP2008143834	申请日	2008-05-30
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	中山悟		
发明人	中山 悟		
IPC分类号	G02F1/1343 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA59 2H092/GA64 2H092/HA04 2H092/JA24 2H092/JB14 2H092/NA01 2H092/NA04 2H092/PA06 2H192/AA24 2H192/BA17 2H192/DA72 2H192/FA22 2H192/FA72 2H192/FB02 2H192/GA03 2H192/JB02		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种能够在减少外围驱动电路对像素部的影响的同时防止显示缺陷的发生的液晶显示面板以及具有该液晶显示面板的电子设备。有源矩阵基板（1）在同一表面上具有多个像素电极和外围驱动电路，并且与像素电极和外围驱动电路相对的对电极（50）设置在大致整个表面上。在对向基板2上，与对向至少驱动周边驱动电路中的图像信号线的水平驱动电路21的对向电极52电连接至对向像素部形成区域23的对向电极51。单独提供。[选型图]图1

