

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2003 - 157059

(P2003 - 157059A)

(43)公開日 平成15年5月30日 (2003.5.30)

(51) Int. Cl ⁷	識別記号	F I	テラコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	612	G 0 9 G 3/20	5 C 0 5 8
	622		5 C 0 8 0
	623		

審査請求 未請求 請求項の数 30 L (全 14数) 最終頁に続く

(21)出願番号 特願2001 - 356373(P2001 - 356373)

(22)出願日 平成13年11月21日(2001.11.21)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 宮武 正樹

埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内

(74)代理人 100083806

弁理士 三好 秀和 (外7名)

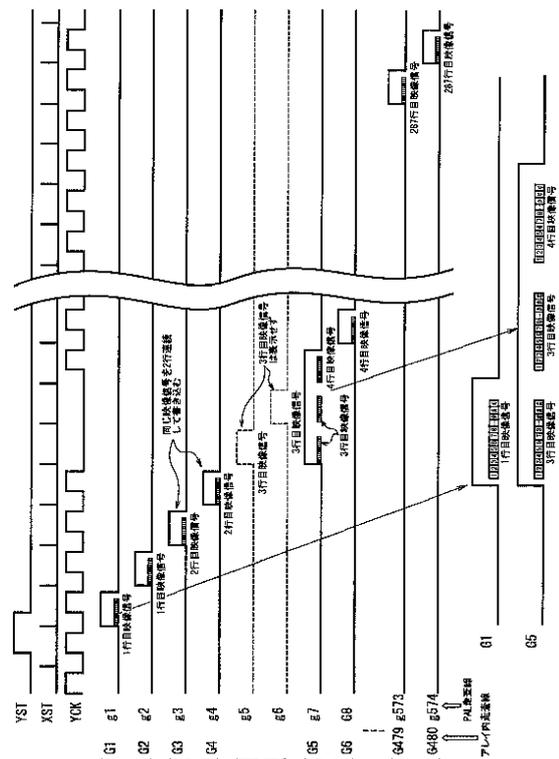
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 信号線駆動回路および走査線駆動回路をアレ
イ基板上に設けた液晶表示装置において、タイミング信
号の増加なく間引き処理を可能とする。

【解決手段】 V G Aパネル(走査線本数M = 480)
にP A L方式の映像信号(走査線本数N = 574)を表
示させる場合、例えば走査線G5について、クロック信
号Y C KをP = 2クロック期間停止して走査線のO N期
間をP + 1 = 3水平走査期間とし、このO N期間中に送
られてくる走査線3本分の映像信号のうち、最初の2本
分については表示せずに最後のものだけを表示するよ
うにして、1回の間引き処理でP = 2本分の走査線の
間引きを行い、この処理を(N - M) / P = 47本分のア
レイ内走査線について行う。



【特許請求の範囲】

【請求項1】 直交する複数の信号線と複数の走査線の各交差部に配置した画素トランジスタと、前記信号線に映像信号に基づく信号電圧を供給する信号線駆動回路と、前記走査線にクロック信号に基づく走査電圧を供給する走査線駆動回路とをアレイ基板上に設けた液晶表示装置において、

前記走査線駆動回路に設けられ、1水平走査期間を周期とするクロック信号の入力がP（Pは1以上の自然数）クロック期間停止した場合に、走査線のON期間を（P + 1）水平走査期間とする水平走査期間制御手段と、この走査線のON期間中に送られてくる走査線（P + 1）本分の映像信号のうちの最後の映像信号だけを前記画素トランジスタに保持させる保持手段と、送られてくる映像信号の走査線本数Nが液晶表示装置の走査線の本数Mよりも多い場合に、走査線駆動回路に出力するクロック信号をPクロック期間停止して走査線P本分の映像信号の間引きを行う処理を（N - M）/ P本分の走査線について行う間引き処理手段と、を有することを特徴とする液晶表示装置。

【請求項2】 前記走査線のON期間中に送られてくる走査線（P + 1）本分の映像信号のうちの最初のP本分の映像信号については、画素トランジスタへ出力させないように前記信号線駆動回路を制御する制御手段を有することを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記間引き処理手段は、同一の映像信号が2回送られてくる場合に、後の映像信号が送られてくるタイミングでクロック信号を2クロック期間停止させることを特徴とする請求項1又は2記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、直交する複数の信号線と複数の走査線の各交差部に画素トランジスタを配置したマトリクス駆動方式の液晶表示装置に関する。

【0002】

【従来の技術】ワープロ、パーソナルコンピュータおよび携帯テレビなどでは、薄型で軽量の表示装置が広く用いられている。特に、液晶表示装置は、薄型、軽量および低消費電力化容易なことから、盛んに開発が行なわれており、高解像度で大画面サイズの液晶表示装置が比較的低価格で手に入るようになってきている。

【0003】液晶表示装置の中でも、複数の信号線と複数の走査線を直交させたときの各交差部に画素薄膜トランジスタ（以下「画素TFT（Thin Film Transistor）」という）を配置したマトリクス駆動方式の液晶表示装置は、発色性に優れ、残像が少ないことから、今後の主流になると考えられている。

【0004】このマトリクス駆動方式の液晶表示装置では、液晶表示装置全体の小型化を図るため、信号線に信

号電圧を供給する信号線駆動回路および走査線に走査電圧を供給する走査線駆動回路を画素TFTと同一の製造プロセスによりアレイ基板上に一体的に形成するようにした技術開発が盛んに行われている。このような製造プロセスを用いた液晶表示装置としては、ポリシリコンTFT-LCDがある。

【0005】ところで、このように開発された液晶表示装置の用途の1つとして車載型モニタがある。車載型モニタの機能としては、カーナビゲーション画面とTV画面の2用途の切替表示が要求されるが、さらに、TV画面の表示用途として、NTSC方式とPAL方式の両方式に対応することがニーズとして望まれている。

【0006】NTSC方式では走査線数が1フィールドにつき240本であるのに対し、PAL方式では1フィールドにつき287本である。このような両方式について、例えば走査線480本のVGAパネルに表示する場合、NTSC方式では、走査線本数がVGAパネルの1/2であるため、NTSC方式の走査線1本分の映像信号を、VGAパネルの2本分の走査線に連続して送ることによって高画質表示が可能となる。

【0007】これに対し、VGAパネルにPAL方式の映像信号を表示させる場合には、PAL方式の走査線数が287本でありVGAパネルの1/2ではないため、単純にPAL方式の走査線1本分の映像信号をVGAパネルの2本分の走査線に連続して送ることはできず、映像信号を間引くための何らかの処理が必要となる。この点に関して、一般的には間引き処理のための新たなタイミング信号を設けることが考えられる。

【0008】

【発明が解決しようとする課題】しかしながら、信号線駆動回路および走査線駆動回路をアレイ基板上に設けた液晶表示装置においては、間引き処理のために新たなタイミング信号を用いることとすると、その分だけ配線スペースが必要となって額縁サイズが大きくなり、また、インターフェース信号が増加するという問題が生じる。

【0009】本発明は、上記に鑑みてなされたものであり、その目的とするところは、信号線駆動回路および走査線駆動回路をアレイ基板上に設けた液晶表示装置において、タイミング信号の増加なく映像信号の間引き処理を可能とした液晶表示装置を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、第1の本発明に係る液晶表示装置は、直交する複数の信号線と複数の走査線の各交差部に配置した画素トランジスタと、前記信号線に映像信号に基づく信号電圧を供給する信号線駆動回路と、前記走査線にクロック信号に基づく走査電圧を供給する走査線駆動回路とをアレイ基板上に設けた液晶表示装置において、前記走査線駆動回路に設けられ、1水平走査期間を周期とするクロック信号の入力がP（Pは1以上の自然数）クロック期間停

止した場合に、走査線のON期間を $(P+1)$ 水平走査期間とする水平走査期間制御手段と、この走査線のON期間中に送られてくる走査線 $(P+1)$ 本分の映像信号のうちの最後の映像信号だけを前記画素トランジスタに保持させる保持手段と、送られてくる映像信号の走査線本数 N が液晶表示装置の走査線の本数 M よりも多い場合に、走査線駆動回路に出力するクロック信号を P クロック期間停止して走査線 P 本分の映像信号の間引きを行う処理を $(N-M)/P$ 本分の走査線について行う間引き処理手段と、を有することを特徴とする。

【0011】本発明にあつては、送られてくる映像信号の走査線本数 N が液晶表示装置の走査線の本数 M よりも多い場合に、走査線駆動回路に出力するクロック信号を P クロック期間停止して走査線のON期間を $(P+1)$ 水平走査期間とし、そのON期間中に送られてくる走査線 $(P+1)$ 本分の映像信号のうちの最後の映像信号だけを画素トランジスタに保持させて表示し、最初の P 本分の走査線については表示せずに間引くようにした処理を1フィールド中の $(N-M)/P$ 本分の走査線について繰り返し行うようにしたことで、タイミング信号を増加させることなく、走査線 $(N-M)$ 本分の映像信号を間引く処理を可能とすることができる。

【0012】第2の本発明に係る液晶表示装置は、第1の液晶表示装置において、前記走査線のON期間中に送られてくる走査線 $(P+1)$ 本分の映像信号のうちの最初の P 本分の映像信号については、画素トランジスタへ出力させないように前記信号線駆動回路を制御する制御手段を有することを特徴とする。

【0013】本発明にあつては、走査線のON期間である $(P+1)$ 水平走査期間中に送られてくる $(P+1)$ 本分の映像信号のうちの最初の P 本分の映像信号については画素トランジスタへ出力させないように信号線駆動回路を制御するようにしたことで、信号線駆動回路について低消費電力化を図ることができる。

【0014】第3の本発明に係る液晶表示装置は、第1又は第2の液晶表示装置において、前記間引き処理手段は、同一の映像信号が2回送られてくる場合に、後の映像信号が送られてくるタイミングでクロック信号を2クロック期間停止させることを特徴とする。

【0015】本発明にあつては、同一の映像信号が2回送られてくる場合に、後の映像信号が送られてくるタイミングでクロック信号を2クロック期間停止させるようにしたことで、間引き処理の対象となった映像信号について少なくとも走査線1本分は表示されることとなるので、結果として全ての映像信号について表示することができ、画質劣化なく高精細に表示することができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。

【0017】[第1の実施の形態]図1は、一実施の形

態における液晶表示装置の概略構成を示すブロック図である。同図の液晶表示装置1は、複数の信号線と複数の走査線とが直交するように配置され、信号線と走査線の各交差部に対応して画素TFT4が配置された画素アレイ部3と、信号線に映像信号に基づく信号電圧を供給する信号線駆動回路5と、走査線にクロック信号に基づく走査電圧を供給する走査線駆動回路6とをアレイ基板2上に備え、これら信号線駆動回路5および走査線駆動回路6に対して動作に必要なスタート信号、クロック信号および映像信号を供給する外部駆動回路7を有する構成である。ここでは、画素アレイ部3について一例として走査線数480本のVGAパネルを想定する。

【0018】本液晶表示装置1は、走査線数が480本のVGA方式の映像信号を表示できるほか、TV画面として走査線数が240本のNTCS方式と走査線数が287本のPAL方式とを切り替えて表示するものである。

【0019】外部駆動回路7は、信号線駆動回路5に対してはスタート信号XSTとクロック信号XCKと映像信号を出力し、走査線駆動回路6に対してはスタート信号YSTとクロック信号YCKを出力する。このクロック信号YCKの周期は、1水平走査期間の周期と同一のものが用いられる。また、外部駆動回路7は、間引き処理部8を備えており、VGAパネルにPAL方式の映像信号を表示するときの間引き処理に必要な制御を行う。

【0020】走査線駆動回路6は、クロック信号YCKの入力が P (P は1以上の自然数)クロック期間停止した場合に、走査線のON期間を $(P+1)$ 水平走査期間とする機能を備えている。この機能は、例えば、クロック信号YCKの入力が2クロック期間停止すると、走査線のON期間を3水平走査期間とするものである。

【0021】図2は、走査線駆動回路6の構成を示す回路図である。同図に示すように、走査線駆動回路6は、シフトレジスタ回路61、シャット回路62、レベルシフタ回路63、パルスカット回路64、バッファ回路65等を有する構成である。これらシャット回路62、レベルシフタ回路63、パルスカット回路64、バッファ回路65は、画素アレイ部3に設けられた走査線の数に対応した分だけそれぞれ複数個設けられる。

【0022】シフトレジスタ回路61は、同図の拡大図に示すようなクロックドインバータを備えたレジスタ61aを複数直列に接続したものである。スタート信号YSTが入力されたレジスタ61aでは、ON期間が1水平走査期間に対応する走査電圧のパルス波形を生成し、この走査電圧を隣接のレジスタ61aに伝播する。各レジスタ61aは、走査電圧を隣接するレジスタ61aに順次伝播していく。このレジスタ61aの1個分で半クロック分の位相が遅れ、レジスタ61aの2個分で1クロック分の位相が遅れるようになっている。

【0023】シフトレジスタ回路61では、クロック信

号YCKの入力がPクロック期間停止すると、その停止期間分だけON期間のホールド状態が延長され、これによりON期間を(P+1)期間とするようになってい

【0024】シャット回路62は、画素アレイ部2内の全ての走査線について出力のON/OFFを制御するためのものであり、レベルシフト回路63は、走査線に供給する走査電圧を適切な値にシフトするためのものである。パルスカット回路64は、各走査線に順次出力されるパルス波形にタイミング的な重なりが生じないように重なり部分をカットするためのものである。パッファ回路65は、画素アレイ部2内の走査線の配線長に応じた駆動出力を走査電圧に与えるためのものである。

【0025】図3は、VGAパネルにVGA方式の映像信号を表示するときの処理の一例を示すタイミングチャートである。同図において、画素アレイ部3のアレイ内走査線についてはG1~G480で示してある。

【0026】外部駆動回路7は、クロック信号YCKおよびスタート信号YSTを走査線駆動回路6に出力してG1、G2...方向への垂直走査を開始するとともに、クロック信号XCK、スタート信号XSTおよび映像信号を信号線駆動回路5に出力して水平走査を開始する。このクロック信号YCKおよびスタート信号XSTの周期は、1水平走査期間の周期と一致している。

【0027】外部駆動回路7は、走査線駆動回路6に対して走査線G1を1水平走査期間ONさせ、そのON期間中に信号線駆動回路5に対してVGA方式の1行目の映像信号を各信号線に出力させる。この映像信号は、走査線G1の各画素TFT4に保持される。この保持は、走査線G1がOFFした後も次に走査線G1がONして映像信号が更新されるまで継続され、この保持の継続期間中に映像信号が表示された状態となる。同様にして、走査線G2、G3...についても映像信号が表示される。

【0028】図4は、VGAパネルにNTCS方式の映像信号を表示するときの処理の一例を示すタイミングチャートである。VGAパネルの走査線480本に対して、NTCS方式の走査線は240本であり、外部駆動回路7には、走査線 $240 \times 2 = 480$ 本分の映像信号が送られてくる。

【0029】外部駆動回路7は、走査線駆動回路6および信号線駆動回路5を制御することによって、走査線G1に1水平走査期間だけNTCS方式の1行目の映像信号を表示させた後、走査線G2にも同様にNTCS方式の1行目の映像信号を表示させる。同様にして、走査線G3、G4にはNTCS方式の2行目の映像信号を表示させ、走査線G5、G6にはNTCS方式の3行目の映像信号を表示させる。このように、NTCS方式の走査線1本分の映像信号を、VGAパネルの2本分の走査線に連続して表示させる。

【0030】図5は、VGAパネルにPAL方式の映像

信号を表示するときの間引き処理の一例を示すタイミングチャートである。VGAパネルの走査線480本に対して、PAL方式の走査線は287本であり、外部駆動回路7には、走査線 $287 \times 2 = 574$ 本分の映像信号が送られてくる。このため、その差分に相当する走査線 $574 - 480 = 94$ 本分の映像信号を間引く処理が必要である。なお、同図において、PAL方式の走査線についてはg1~g574で示してある。

【0031】外部駆動回路7は、走査線駆動回路6および信号線駆動回路5を制御することによって、図4と同様に、走査線G1、G2にPAL方式の1行目の映像信号を表示させた後、走査線G3、G4にはPAL方式の2行目の映像信号を表示させる。

【0032】走査線G4に映像信号が表示されたところで、外部駆動回路7の間引き処理部8は、クロック信号YCKを2クロック期間、すなわち2水平走査期間停止させる。このとき、走査線駆動回路6では、走査線G5の出力波形を3水平走査期間ONさせることとなる。この一方で、信号線駆動回路5に入力されるスタート信号XSTは、通常通り1水平走査期間周期で入力されているので、走査線G5には、PAL方式の3行目の映像信号が2回出力された後に4行目の映像信号が出力され、最終的に4行目の映像信号だけが走査線G5の各画素TFT4に保持されることとなる。これによって、走査線G5には、PAL方式の3行目の映像信号は表示されず、4行目の映像信号だけが表示される。走査線G6には、PAL方式の4行目の映像信号が表示される。

【0033】すなわち、この間引き処理では、走査線G5に映像信号を表示させるタイミングで、走査線2本分のPAL方式の映像信号を間引いていることとなる。このような間引きの処理を480本の走査線中のいずれかの47本について行うことによって、 $47 \times 2 = 94$ 本分のPAL方式の映像信号を間引くことができる。

【0034】したがって、本実施の形態によれば、外部駆動回路7から走査線駆動回路6に出力するクロック信号YCKを2水平走査期間停止して走査電圧の出力波形を3水平走査期間ONするようにし、その3水平走査期間中に送られてくるPAL方式の走査線3本分の映像信号のうち最後の映像信号だけを表示して、最初の走査線2本分の映像信号については表示されず間引かれるようにした処理を、1フィールド中の47本分の走査線について繰り返し行うようにしたことで、タイミング信号を増加させることなく、94本分の走査線の間引きが可能となり、VGAパネルにPAL方式の映像信号を画質劣化なく表示させることができる。

【0035】ここで、間引き処理を行う47本分の走査線は、できるだけ均等間隔で配置された走査線を選ぶことが高画質の観点からは望ましい。また、1フレーム分の映像信号を全ての画素TFT4に表示させた後、次のフレームに移行する際には、間引き処理を行う走査線を

変更するようにすることが望ましい。

【0036】なお、本実施の形態においては、VGAパネルにPAL方式の映像信号を表示させる場合を想定したが、これに限られるものではない。例えば、画素アレイ部3の走査線本数をM、外部駆動回路7に送られてくる映像信号の走査線本数をNとすると、NがMよりも大きい場合に、走査線駆動回路6に入力されるクロック信号YCKをP(Pは1以上の自然数)クロック期間停止して走査線のON期間を(P+1)水平走査期間として、1回の間引き処理でP本分の走査線の間引きを行

い、この処理を(N-M)/P本分の走査線について行うことによって、映像信号の走査線本数をN本からM本に間引いて表示することができる。

【0037】この方式について、上記のVGAパネルにPAL方式の映像信号を表示させた場合に適用して説明すると、Mは480、Nは574、Pは2であり、クロック信号YCKを2クロック期間停止して走査線のON期間をP+1=3水平走査期間とし、1回の間引き処理で2本分の走査線の間引きを行い、この処理を(N-M)/P=47本分の走査線について行ったものである。

【0038】[第2の実施の形態]第2の実施の形態では、第1の実施の形態のものと比較して間引き処理の内容が異なっているだけであるので、この点について説明する。なお、本実施の形態における液晶表示装置の基本的な構成は、図1を用いて説明したものと同様であるので、ここでは構成についての重複した説明は省略する。

【0039】図6は、本実施の形態でのVGAパネルにPAL方式の映像信号を表示するときの間引き処理を示すタイミングチャートである。第1の実施の形態で説明した図5のタイミングチャートと異なる点は、本実施の形態では、外部駆動回路7の間引き処理部8により、クロック信号YCKを2水平走査期間停止させて走査線G5について走査電圧がONとなっている3水平走査期間中に、送られてくる走査線3本分の映像信号のうち、最初の走査線2本分については外部駆動回路7から信号線駆動回路5へスタート信号XSTを出力せずに、最後の走査線1本分についてだけスタート信号XSTを出力するようにしたことである。

【0040】これによって、走査線G5では、このON期間中の最初の走査線2本分については信号線駆動回路5から映像信号が出力されず、最後の走査線についてだけPAL方式の4行目の映像信号が出力され、この4行目の映像信号だけが画素TFT4に保持されることとなる。

【0041】すなわち、画素アレイ部3の走査線本数Mは480、外部駆動回路7に送られてくる映像信号の走査線本数Nは574、クロック信号YCKの停止期間Pは2であり、走査線のON期間であるP+1=3水平走査期間に送られてくる走査線3本分の映像信号のうちの

最初のP=2本分の映像信号については、信号線駆動回路5へのスタート信号XSTを停止することによって画素TFT4へ出力させないこととしている。

【0042】これによって、走査線G5には、PAL方式の3行目の映像信号は表示されず、4行目の映像信号だけが表示されることとなり、走査線G5に映像信号を表示させるタイミングで、2本分のPAL方式の映像信号を間引いていることになる。このような間引きの処理を480本の走査線のうちの47本分について行うことによって、47×2=94本分のPAL方式の映像信号を間引くことができる。

【0043】したがって、本実施の形態によれば、走査線のON期間である(P+1)水平走査期間中に送られてくる走査線(P+1)本分の映像信号のうちの最初のP本分の映像信号については、信号線駆動回路5へのスタート信号XSTを停止することによって、信号線駆動回路5から画素TFT4へ出力させないようにしたことで、信号線駆動回路5について低消費電力化を図ることができる。

【0044】[第3の実施の形態]第3の実施の形態も、第1の実施の形態のものと比較して間引き処理の内容が異なっているだけであるので、この点について説明する。なお、本実施の形態における液晶表示装置の基本的な構成は、図1を用いて説明したものと同様であるので、ここでは構成についての重複した説明は省略する。

【0045】図7は、本実施の形態でのVGAパネルにPAL方式の映像信号を表示するときの間引き処理の一例を示すタイミングチャートである。第1の実施の形態で説明した図5のタイミングチャートでは、2回送られてくるPAL方式の映像信号のうちの最初の映像信号が送られてくるタイミングでクロック信号YCKを2水平走査期間停止させることとしたが、本実施の形態では、2回送られてくる映像信号のうちの後の映像信号が送られてくるタイミングでクロック信号YCKを2水平走査期間停止させるようにしている。

【0046】同図に示すように、2回送られてくる2行目の映像信号のうちの後の映像信号が送られてくるタイミングでクロック信号YCKを2水平走査期間停止した場合には、走査線G3に最初の2行目映像信号が表示された後、走査線G4の走査電圧が3水平走査期間ONし、そのON期間中に走査線G4には後の2行目映像信号が出力される。そして、走査線G4に3行目の映像信号が2回出力され、最終的に3行目の映像信号だけが走査線G4の各画素TFT4に保持される。これによって、走査線G4には、PAL方式の2行目の映像信号は表示されず、3行目の映像信号だけが表示されることとなる。走査線G5、6には、PAL方式の4行目の映像信号が表示される。

【0047】すなわち、1本の走査線に映像信号を表示させるタイミングで、2本分のPAL方式の映像信号を

間引いていることとなる。そして、このような間引き処理を480本ある走査線のうちの47本分の走査線について繰り返し行う。

【0048】したがって、本実施の形態においても、タイミング信号を増加させることなく、PAL方式の映像信号を94本間引くことができ、VGAパネルにPAL方式の映像信号を表示させることができる。

【0049】また、本実施の形態によれば、PAL方式の2行目の映像信号については走査線G3に表示され、3行目の映像信号については走査線G4に表示されることから分かるように、2回送られてくる映像信号のうちの後の映像信号が送られてくるタイミングでクロック信号YCKを2水平走査期間停止させるようにしたことで、間引きの対象となった映像信号であっても少なくとも1本分のアレイ内走査線には表示されることとなるので、結果としてPAL方式の全ての映像信号について表示することができ、画質劣化を低減して高精細に表示することができる。

【0050】[第4の実施の形態]第4の実施の形態も、第1の実施の形態のものと比較して間引き処理の内容が異なっているだけであるので、この点について説明する。なお、本実施の形態における液晶表示装置の基本的な構成は、図1を用いて説明したものと同様であるので、ここでは構成についての重複した説明は省略する。

【0051】図8は、本実施の形態でのVGAパネルにPAL方式の映像信号を表示するときの間引き処理の一例を示すタイミングチャートである。本実施の形態では、2回送られてくるPAL方式の映像信号のうちの最初の映像信号が送られてくるタイミングでクロック信号YCKを1水平走査期間停止させるようにしている。

【0052】同図に示すように、2行目の映像信号について最初の映像信号が送られてきたタイミングでクロック信号YCKを1水平走査期間停止させると、走査線G3の走査電圧が2水平走査期間ONとなり、このON期間中に走査線G3には2行目の映像信号が2回出力されて、最終的に後方の2行目映像信号が走査線G3の画素TFT4に保持される。これによって、走査線G3には、PAL方式の2行目の映像信号について、最初に送られてきた映像信号は表示されず、後に送られてきた映像信号だけが表示されることとなる。

【0053】すなわち、画素アレイ部3の走査線本数Mは480、外部駆動回路7に送られてくる映像信号の走査線本数Nは574、クロック信号YCKの停止期間Pは1であり、走査線のON期間である $P+1=2$ 水平走査期間中に送られてくる走査線2本分の映像信号のうちの最初の $P=1$ 本分の映像信号については表示させないこととしている。そして、この処理をアレイ内走査線480本中のうちの $(N-M)/P=94$ 本分の走査線について繰り返し行う。

【0054】したがって、本実施の形態においても、タ

*イミング信号を増加させることなく、PAL方式の映像信号を94本間引くことができ、VGAパネルにPAL方式の映像信号を表示させることができる。

【0055】また、本実施の形態によれば、2回送られてくるPAL方式の映像信号のうちの最初の映像信号が送られてくるタイミングでクロック信号YCKを1水平走査期間停止させるようにしたことで、間引きの対象となった映像信号であっても少なくとも1本分のアレイ内走査線には表示されることとなるので、結果としてPAL方式の全ての映像信号について表示することができ、画質劣化を低減して高精細に表示することができる。

【0056】

【発明の効果】以上、説明したように、本発明に係る液晶表示装置によれば、送られてくる映像信号の走査線本数Nが液晶表示装置の走査線の本数Mよりも多い場合に、走査線のON期間を $(P+1)$ 水平走査期間とし、そのON期間中に送られてくる走査線 $(P+1)$ 本分の映像信号のうちの最初のP本分の走査線については表示せずに間引くようにした処理を1フィールド中の $(N-M)/P$ 本分の走査線について繰り返し行うようにしたことで、タイミング信号を増加させることなく、 $(N-M)$ 本分の走査線を間引く処理を可能とすることができる。

【図面の簡単な説明】

【図1】第1の実施の形態における液晶表示装置の概略構成を示すブロック図である。

【図2】走査線駆動回路の構成を示す回路図である。

【図3】VGAパネルにVGA方式の映像信号を表示するときの処理の一例を示すタイミングチャートである。

【図4】VGAパネルにNTCS方式の映像信号を表示するときの処理の一例を示すタイミングチャートである。

【図5】VGAパネルにPAL方式の映像信号を表示するときの間引き処理の一例を示すタイミングチャートである。

【図6】第2の実施の形態においてVGAパネルにPAL方式の映像信号を表示するときの間引き処理の一例を示すタイミングチャートである。

【図7】第3の実施の形態においてVGAパネルにPAL方式の映像信号を表示するときの間引き処理の一例を示すタイミングチャートである。

【図8】第4の実施の形態においてVGAパネルにPAL方式の映像信号を表示するときの間引き処理の一例を示すタイミングチャートである。

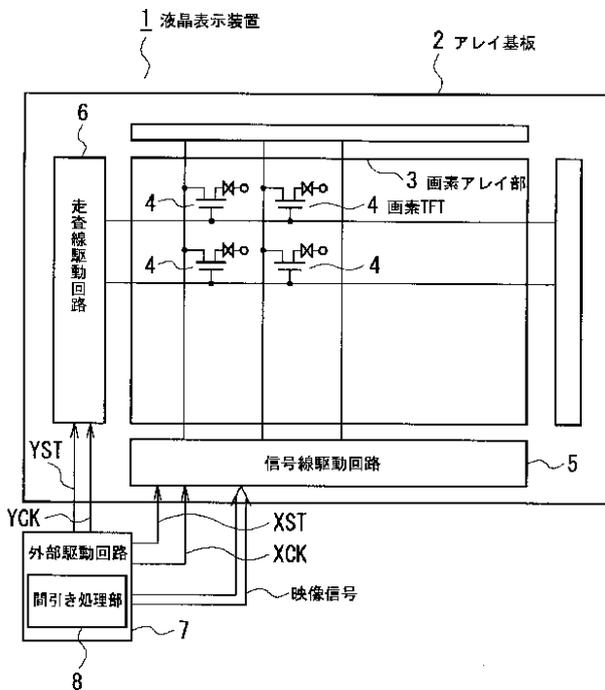
【符号の説明】

- 1 液晶表示装置
- 2 アレイ基板
- 3 画素アレイ部
- 4 画素TFT
- 5 信号線駆動回路

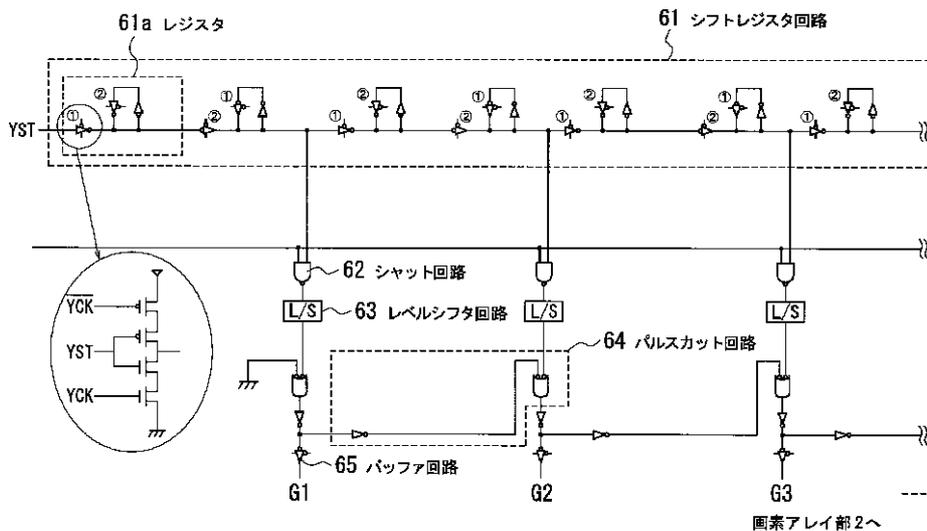
- 6 走査線駆動回路
- 7 外部駆動回路

* 8 間引き処理部

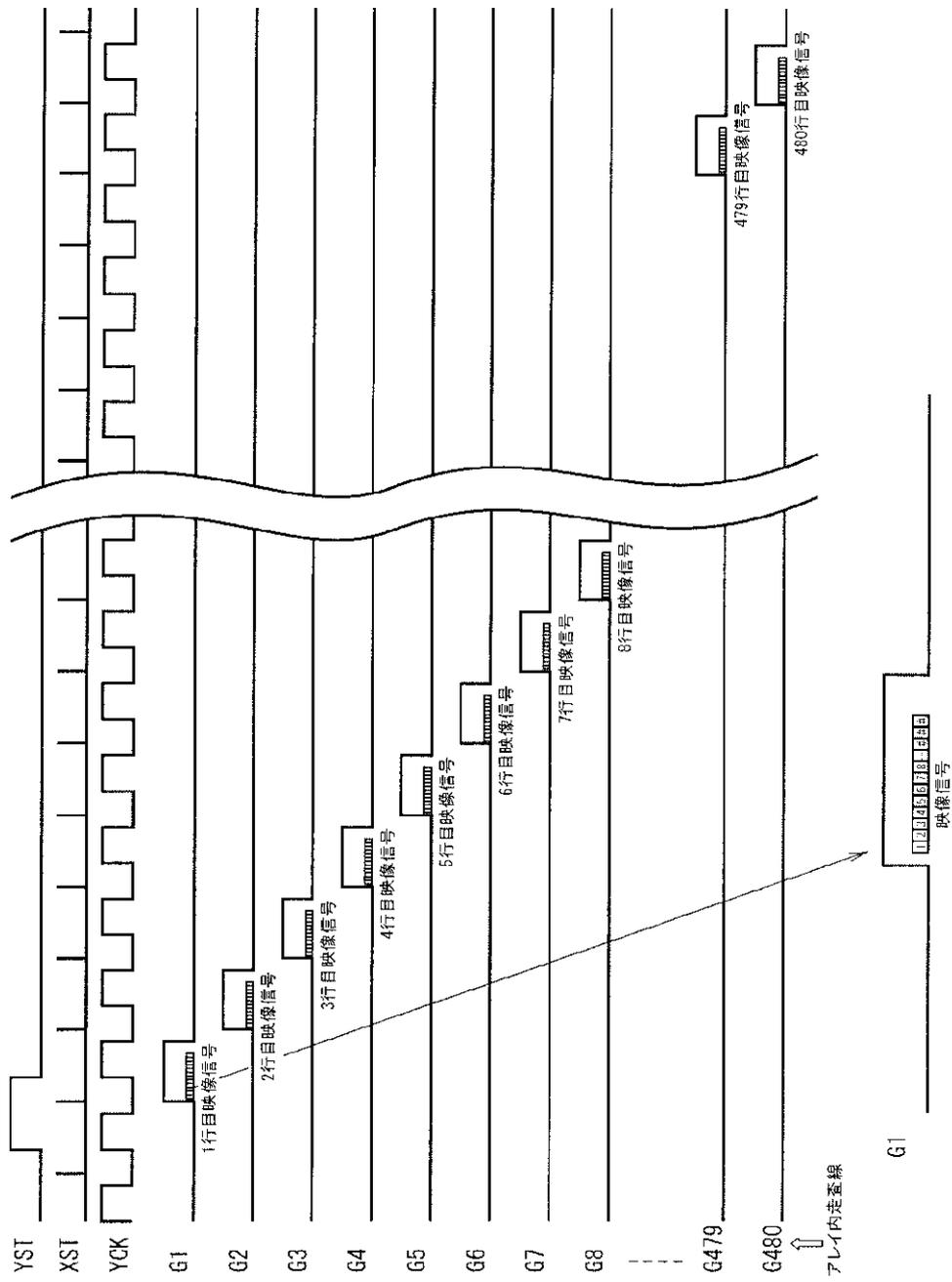
【図1】



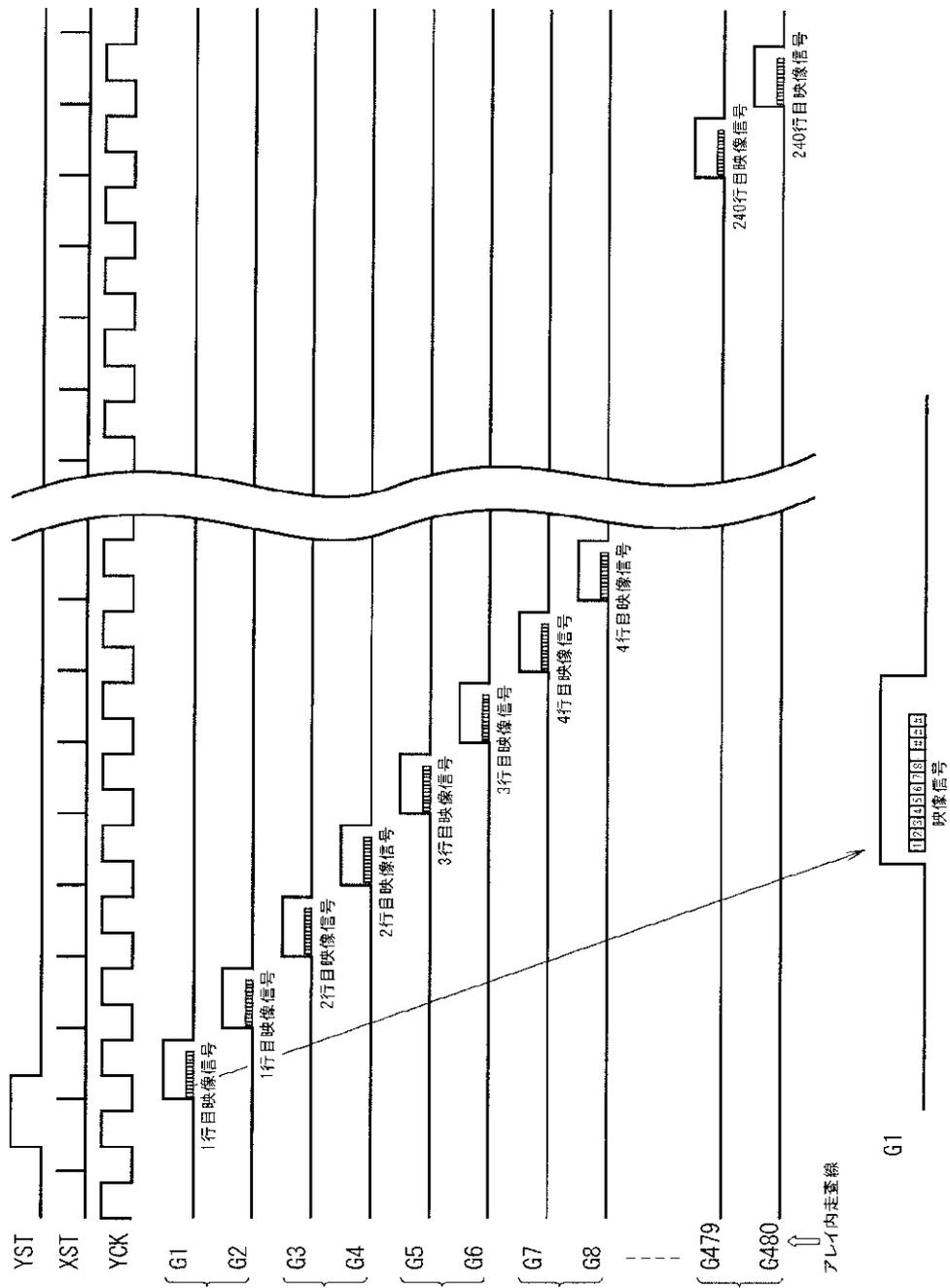
【図2】



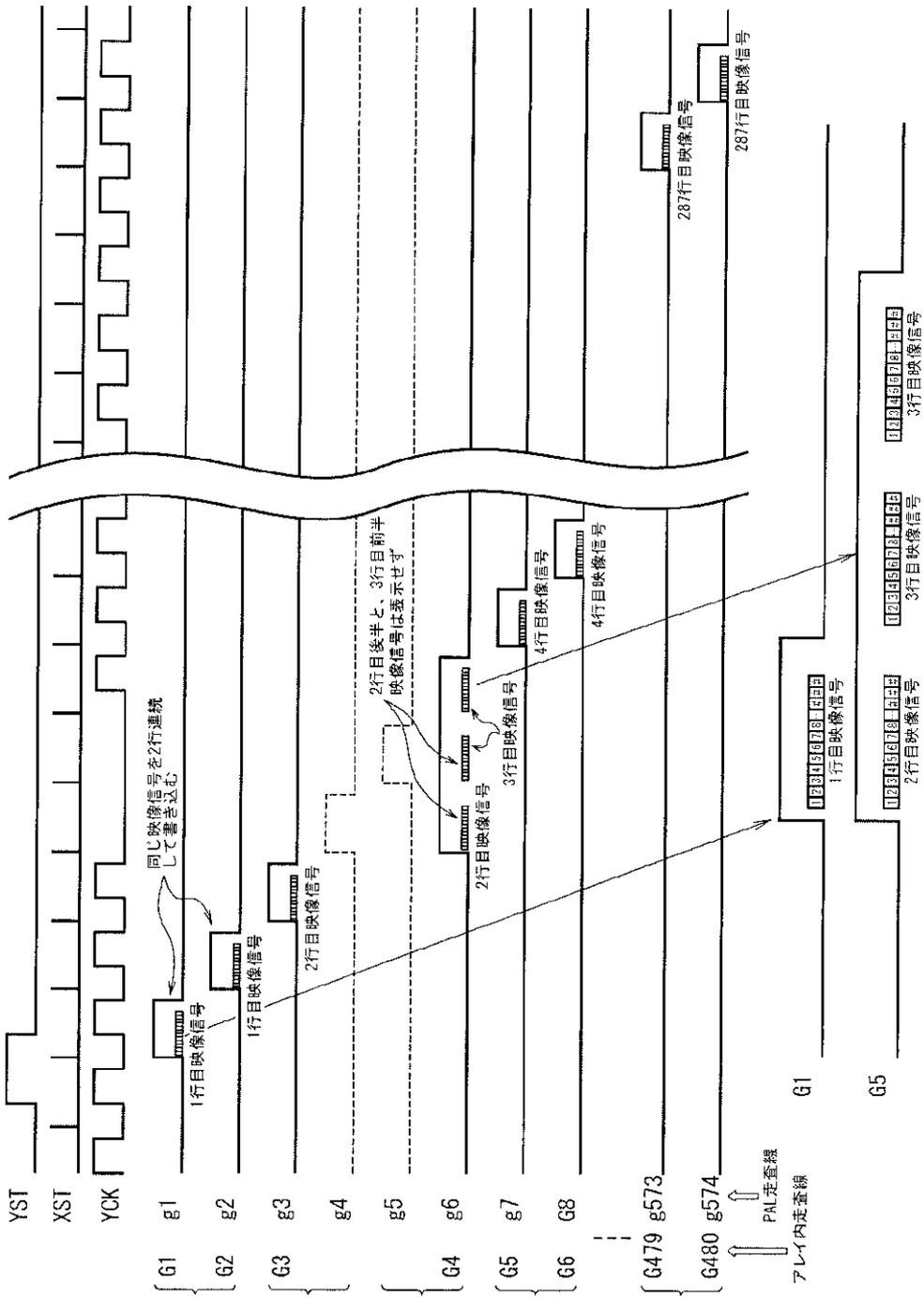
【図3】



【図4】



【図7】



同じ映像信号を2行連続して書き込む

2行目後半、3行目前半映像信号は表示せず

287行目映像信号

287行目映像信号

3行目映像信号

3行目映像信号

3行目映像信号

2行目映像信号

2行目映像信号

G1

G5

アレイ内走査線

PAL走査線

G479 g573

G480 g574

g1

g2

g3

g4

g5

g6

g7

g8

YST

XST

YOK

1行目映像信号

1行目映像信号

2行目映像信号

2行目映像信号

3行目映像信号

3行目映像信号

4行目映像信号

4行目映像信号

1行目映像信号

1行目映像信号

2行目映像信号

2行目映像信号

3行目映像信号

3行目映像信号

4行目映像信号

4行目映像信号

287行目映像信号

287行目映像信号

287行目映像信号

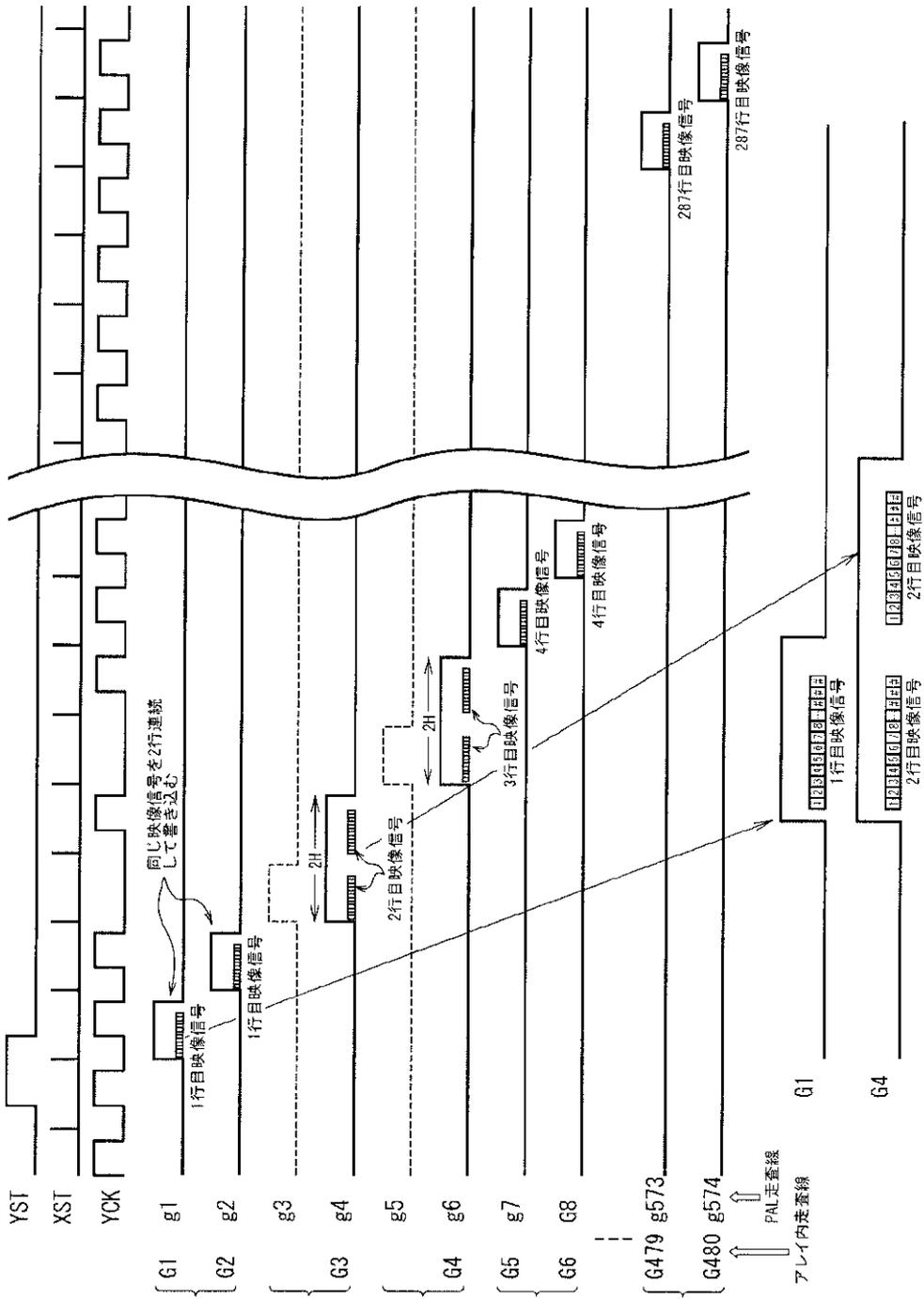
287行目映像信号

287行目映像信号

287行目映像信号

287行目映像信号

【図8】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G	3/20
H 0 4 N	5/66

識別記号

6 5 0
1 0 2

F I

G 0 9 G	3/20
H 0 4 N	5/66

テ-マ-コ-ト (参考)

6 5 0 C
1 0 2 B

Fターム(参考) 2H093 NA16 NA44 NC09 NC16 NC34
NC44 ND34 ND50 ND60
5C006 AA01 AC24 AF45 AF47 BB16
BC11 BC20 BF26 FA42 GA02
GA03
5C058 AA06 BA01 BA35 BB25
5C080 AA10 BB05 DD22 FF11 GG08
JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2003157059A	公开(公告)日	2003-05-30
申请号	JP2001356373	申请日	2001-11-21
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	宫武正樹		
发明人	宫武 正樹		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.U G09G3/20.622.D G09G3/20.623.U G09G3/20.650.C H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA44 2H093/NC09 2H093/NC16 2H093/NC34 2H093/NC44 2H093/ND34 2H093/ND50 2H093/ND60 5C006/AA01 5C006/AC24 5C006/AF45 5C006/AF47 5C006/BB16 5C006/BC11 5C006/BC20 5C006/BF26 5C006/FA42 5C006/GA02 5C006/GA03 5C058/AA06 5C058/BA01 5C058/BA35 5C058/BB25 5C080/AA10 5C080/BB05 5C080/DD22 5C080/FF11 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04		
外部链接	Espacenet		

摘要(译)

解决的问题：在液晶显示装置中实现减薄处理，在该液晶显示装置中，在阵列基板上设置信号线驱动电路和扫描线驱动电路而不会增加定时信号。例如，当在VGA面板（扫描线编号M = 480）上显示PAL视频信号（扫描线编号N = 574）时，对于扫描线G5，时钟信号YCK停止P = 2个时钟周期。扫描线ON时段被设置为P + 1 = 3水平扫描时段，并且在该ON时段期间发送的三条扫描线的视频信号中，前两行不显示并且后两行不显示。仅显示对象，以便在一个细化过程中抽取P = 2条扫描线，并对(NM) / P = 47阵列内扫描线执行此过程。

