

(51) Int.Cl ⁷	識別記号	F I	テ-マコード [*] (参考)
H 0 1 L 29/786		H 0 1 L 21/20	2 H 0 9 2
G 0 2 F 1/1368		29/78	626 C 5 F 0 0 4
H 0 1 L 21/20		G 0 2 F 1/136	500 5 F 0 5 2
21/3065		H 0 1 L 21/302	J 5 F 1 1 0
21/336		29/78	627 G
審査請求 未請求 請求項の数 17 O L (全 10数)			

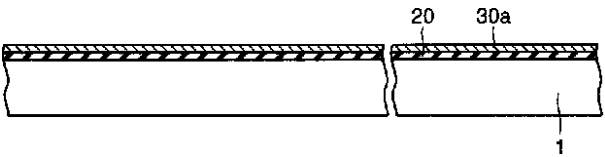
(21)出願番号	特願2000 - 152882(P2000 - 152882)	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成12年5月24日(2000.5.24)	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
		(72)発明者	高鍋 昌一 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(74)代理人	100064746 弁理士 深見 久郎 (外 4 名)
		最終頁に続く	

(54)【発明の名称】 薄膜トランジスタおよび液晶表示装置ならびにそれらの製造方法

(57)【要約】

【課題】 オフ電流 I offおよびS 値がともに低く、 p 型 T F T と n 型 T F T の V th の対称性が良好な T F T 、 L C D およびそれらの製造方法を提供する。

【解決手段】 この T F T の製造方法は、基板 1 の上に下地膜 2 を形成する工程と、下地膜を 5 0 0 以上に加熱する工程と、加熱された下地膜の上にトランジスタを形成するシリコン膜 3 0 a を成膜する工程とを備える。



【特許請求の範囲】

【請求項 1】 基板の上に下地膜を形成する工程と、前記下地膜を 500 以上に加熱する工程と、前記加熱された下地膜の上にトランジスタ形成用のシリコン膜を成膜する工程とを備える、薄膜トランジスタの製造方法。

【請求項 2】 前記 500 以上の加熱が、レーザ照射によってなされる、請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 3】 前記 500 以上の加熱が、RTA (Rapid Thermal Annealing) によってなされる、請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 4】 基板の上に下地膜を形成する工程と、前記下地膜の上にアモルファスシリコン膜を成膜する工程と、前記アモルファスシリコン膜をレーザ照射した後、そのレーザ照射されたシリコン膜を除去する工程と、前記シリコン膜を除去した後の前記下地膜の上にトランジスタ形成用のシリコン膜を成膜する工程とを備える、薄膜トランジスタの製造方法。

【請求項 5】 基板の上に下地膜を形成する工程と、前記下地膜の上にアモルファスシリコン膜を成膜する工程と、前記アモルファスシリコン膜を除去する工程と、前記アモルファスシリコン膜が除去された後の前記下地膜をレーザ照射する工程と、前記レーザ照射された後の下地膜の上にトランジスタ形成用のシリコン膜を成膜する工程とを備える、薄膜トランジスタの製造方法。

【請求項 6】 前記レーザ照射されたシリコン膜またはアモルファスシリコン膜の除去は、ウエットエッチングによってなされる、請求項 4 または 5 に記載の薄膜トランジスタの製造方法。

【請求項 7】 前記下地膜は、シリコン酸化膜およびシリコン窒化膜との 2 層膜、のうちのいずれか一方である、請求項 1 ~ 6 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 8】 前記トランジスタ形成用のシリコン膜を成膜する工程は、減圧 CVD によりアモルファスシリコン膜を成膜した後、レーザ照射により結晶化して多結晶シリコン膜を形成する工程を有する、請求項 1 ~ 7 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 9】 前記下地膜を形成する工程の前に、前記基板上に熱吸収の高い薄膜を形成する工程を備える、請求項 1 ~ 8 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 10】 前記下地膜へのレーザ照射は、炭酸ガスレーザ発振装置を用いて行う、請求項 2、5、6、7、8 または 9 のいずれかに記載の薄膜トランジスタの製造方法。

*【請求項 11】 前記請求項 1 ~ 10 のいずれかに記載の薄膜トランジスタの製造方法を用いて、液晶の下方の下部基板の駆動回路領域および画素領域に薄膜トランジスタを設ける、アクティブマトリックス方式の液晶表示装置の製造方法。

【請求項 12】 トランジスタの主要部であるシリコン膜が接している前記下地膜の表面における組成、結晶構造および電子構造のうち、少なくともいずれかが一つが、下地膜の上へのシリコン膜の成膜とその除去を行わずにトランジスタ形成用シリコン膜を成膜した薄膜トランジスタにおける下地膜とは、相違している、薄膜トランジスタ。

【請求項 13】 トランジスタの主要部であるシリコン膜が接している前記下地膜の表面における組成、結晶構造および電子構造のうち、少なくともいずれかが一つが、下地膜への加熱処理を行わずにトランジスタ形成用シリコン膜を成膜した薄膜トランジスタにおける下地膜とは、相違している、薄膜トランジスタ。

【請求項 14】 前記シリコン膜が接している下地がシリコン酸化膜である、請求項 12 または 13 に記載の薄膜トランジスタ。

【請求項 15】 前記シリコン膜が、下地膜の表面に成膜されたアモルファスシリコン膜がレーザアニールにより多結晶シリコン膜とされたシリコン膜である、請求項 12 ~ 14 のいずれかに記載の薄膜トランジスタ。

【請求項 16】 前記下地膜の下に熱吸収性の良い膜を備えている、請求項 12 ~ 15 のいずれかに記載の薄膜トランジスタ。

【請求項 17】 前記請求項 12 ~ 16 のいずれかに記載の薄膜トランジスタを、液晶の後方の下部基板の駆動回路領域および画素領域に備えている、アクティブマトリックス方式の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ (TFT:Thin Film Transistor) およびその TFT を搭載した液晶表示装置 (LCD:Liquid Crystal Display) ならびにそれらの製造方法に関する。

【0002】

【従来の技術】アクティブマトリックス方式の LCD では、画素領域の画素ごとに 2 個ずつの n 型 TFT を、また駆動回路領域に n 型 TFT と p 型 TFT とを備えて、画像信号に応じて各画素領域の液晶に電圧を印加し、光を変調し表示画面を形成している。これらの TFT を形成する場合、アモルファスシリコン膜からレーザアニール等によって結晶化された多結晶シリコン膜に TFT を形成する方法が用いられている。

【0003】図 17 ~ 図 22 を用いて、従来の LCD の製造方法の概略を説明する。まず、ガラス基板 101 の表面に下地膜 102 を成膜する (図 17)。次いで、こ

の下地膜 102 の表面にアモルファスシリコン膜 103a を成膜し、レーザアニール等により結晶化して多結晶シリコン膜とし、パターニングによりチャネル形状 103c を形成する (図 18)。次いで、多結晶シリコン膜のチャネル形状 103c と下地膜 102 との表面にゲート絶縁膜 104 を成膜する (図 19)。次いで、レジスト (図示せず) により p 型 TFT 131b の上を覆って、画素領域の n 型 TFT 132 および駆動回路領域の n 型 TFT 131a のソース、ドレイン領域に n 型不純物を高濃度に打ち込み、n+型不純物領域 103u を形成する。次いで、駆動回路領域および画素領域の n 型 TFT 131a, 132 の上をレジストで覆って、駆動回路領域の p 型 TFT 131b のソース、ドレイン領域に p 型不純物、例えば B イオンを打ち込み、ソース、ドレイン領域 103v を形成する (図 20)。その後、図 21 に示すように、層間絶縁膜 106 を成膜し、次いで、ソース、ドレイン領域の上の層間絶縁膜にコンタクトホールを開口する。次に、このコンタクトホールを埋めるように導電膜を成膜して、ソース、ドレイン電極配線 107 を形成した後、パッシベーション膜 108 を成膜する (図 22)。さらに、この上に下部電極を形成して、下部基板の骨格を完成する。

【0004】上記した下部基板と所定のギャップをあけて上部電極を備える上部基板を設け、そのギャップに液晶を注入する。表示画面は、上記の下部基板上の TFT に加えられる画像信号に基いて、上記 TFT により液晶に電圧を印加して光を変調させることにより形成される。

【0005】従来、上記 TFT 用のアモルファスシリコン膜を成膜する際、TFT の電気特性のばらつきを抑制するために、下地膜とアモルファスシリコン膜とを連続して、大気開放なしに形成する必要があった。大気開放されると、下地膜の表面にパーティクル等の塵芥が載り、正常な成膜を行うことができない。下地膜とアモルファスシリコン膜とを連続して大気開放なしに形成するためには、アモルファスシリコン膜を下地膜と同じプラズマ CVD 装置によって形成しなければならない。しかし、プラズマ CVD 装置によってアモルファスシリコン膜を形成すると、TFT におけるキャリアの移動度の低下を伴う問題があった。したがって、現状は、やむをえず下地膜を形成した後、一度、大気にさらした後、減圧 CVD により下地膜の上にアモルファスシリコン膜を形成している。この方法によれば、キャリア移動度の高い TFT を得ることが可能となる。

【0006】

【発明が解決しようとする課題】しかしながら、上記の方法で得られた p 型 TFT は、オフ電流 I_{off} が高く、かつ S 値が大きいという問題があった。S 値は、ドレイン電流 I_d を 1 桁 (1 Dec) 上げるために必要なゲート電圧上昇分であり、この値が小さいほうが、小さなゲート

電圧上昇で同じドレイン電流を制御することができるので、好ましい。また、p 型 TFT と n 型 TFT との V_{th} の中心値がゼロからずれていた。図 23 は、下地膜をプラズマ CVD によって成膜した後に、大気にさらし、次いで減圧 CVD によりアモルファスシリコン膜を成膜して作製した n 型 TFT および p 型 TFT のドレイン電流 I_d とゲート電圧 V_g との関係を示す図である。p 型 TFT のオフ電流 I_{off} は高く、ドレイン電流を 1 桁上昇させるのに必要なゲート電圧上昇分である S 値が高いことが分かる。 I_{off} が高いことは、誤動作の原因と消費電力の増大につながる。また、S 値が高いことは、上記したように、ゲート電圧印加によるドレイン電流の制御性が劣ることを意味する。また、p 型 TFT と n 型 TFT との V_{th} の中心値はゼロから大きく偏倚している。これらの電気特性は TFT や LCD の基本性能に関わるものであり、上記の特性の改善要求が強く出されていた。

【0007】本発明は、オフ電流 I_{off} 、およびドレイン電流を 1 オーダー上げるのに必要なゲート電圧上昇分である S 値、をともに低くし、かつ p 型 TFT と n 型 TFT の V_{th} の中央値がゼロに近い TFT、およびその TFT を搭載した LCD ならびにそれらの製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の第 1 の局面の TFT の製造方法は、基板の上に下地膜を形成する工程と、下地膜を 500 以上に加熱する工程と、加熱された下地膜の上にトランジスタ形成用のシリコン膜を成膜する工程とを備える (請求項 1)。

【0009】下地膜が 500 以上に加熱されることにより、下地膜が改質処理されて膜質の優れたトランジスタ形成用シリコン膜を成膜することができる。本発明者らは、450 の加熱では不十分であり、500 以上の加熱で効果が生じることを確認している。この結果、TFT のうちでもとくに p 型 TFT のオフ電流 I_{off} および S 値の両方をともに低減することができる。また、n 型 TFT および p 型 TFT のしきい値電圧 V_{th} の中心をゼロ付近にすることができ、駆動回路領域にこれらの TFT を並置して、無駄のない小さい振幅の正負の電圧切換えを行うことが可能となる。

【0010】上記第 1 の局面の TFT の製造方法では、500 以上の加熱が、レーザ照射によってなされている (請求項 2)。

【0011】上記レーザ照射により、下地膜表面の改質処理が促進され、良好な膜質のシリコン膜が成膜され、その結果、オフ電流 I_{off} が低く、ゲート電圧によるドレイン電流の制御が良く効く p 型 TFT が形成される。また、p 型 TFT と n 型 TFT の V_{th} の中央値をゼロ付近にすることができる。

【0012】上記第 1 の局面の TFT の製造方法では、500 以上の加熱が、RTA (Rapid Thermal Anneal

ng)によってなされている(請求項3)。

【0013】上記のRTAはランプアニールによりなされるので、簡便に下地膜の改質処理を行うことができ、IoffおよびS値を低くすることができる。

【0014】本発明の第2の局面のTFTの製造方法は、基板の上に下地膜を形成する工程と、下地膜の上にアモルファスシリコン膜を成膜する工程と、アモルファスシリコン膜をレーザ照射した後、そのレーザ照射されたシリコン膜を除去する工程と、シリコン膜を除去した後の下地膜の上にトランジスタ形成用のシリコン膜を成膜する工程とを備える(請求項4)。

【0015】上記の構成により、アモルファスシリコン膜が形成され、レーザアニールにより結晶化され、次いで除去されるという工程により、加熱のみの処理とは異なる方法により下地膜の改質処理がなされる。この結果、下地膜の表面の組成、結晶構造、電子構造等が改質される。このため、トランジスタ形成用に良好な膜質のシリコン膜が成膜され、p型TFTのIoffやS値を低下させ、p型TFTとn型TFTのVthの中心値をゼロ付近にすることが可能となる。

【0016】本発明の第3の局面のTFTの製造方法は、基板の上に下地膜を形成する工程と、下地膜の上にアモルファスシリコン膜を成膜する工程と、アモルファスシリコン膜を除去する工程と、アモルファスシリコン膜が除去された後の下地膜をレーザ照射する工程と、レーザ照射された後の下地膜の上にトランジスタ形成用のシリコン膜を成膜する工程とを備える(請求項5)。

【0017】上記方法により、下地膜の独特の改質効果を得ることができ、上記改質処理がなされた下地膜の表面に形成されるp型TFTは、さらに良好なレベルに改善されて、より低いIoffとより低いS値を確保することができる。また、p型TFTとn型TFTのVthの中心値をよりゼロ付近に近づけることが可能となる。

【0018】上記第2および第3の局面のTFTの製造方法では、レーザ照射されたシリコン膜またはアモルファスシリコン膜の除去は、ウェットエッチングによってなされている(請求項6)。

【0019】ウェットエッチングではエッチングの選択比を大きくできるエッチャントが豊富にあり、他の部分に影響しないで、上記レーザ照射されたシリコン膜またはレーザ照射なしのアモルファスシリコン膜を完全に除去することができる。そのため、残存物等を残さずにクリーンに改質処理を進行させることができる。

【0020】上記第1～第3の局面のTFTの製造方法では、下地膜は、シリコン酸化膜およびシリコン窒化膜とシリコン窒化膜との2層膜、のうちのいずれか一方である(請求項7)。

【0021】本発明における改質処理は、シリコン酸化膜が下地膜である場合に良好な結果をもたらす場合が多い。このため、下地膜のシリコン酸化膜における過剰な

酸素が、アモルファスシリコン膜を成膜して除去することで正される現象や、加熱により過剰な酸素がガスとして除去されることなどが考えられる。上記構成により、本発明の下地膜改質処理によって確実に良好な結果を得ることができる。すなわち、p型TFTにおける低いIoffおよび低いS値を得ることができ、かつ、n型TFTとp型TFTのVthの中央値をゼロ付近にすることができる。

【0022】上記第1～第3の局面のTFTの製造方法では、トランジスタ形成用のシリコン膜を成膜する工程は、減圧CVDによりアモルファスシリコン膜を成膜した後、レーザ照射により結晶化して多結晶シリコン膜を形成する工程を有している(請求項8)。

【0023】上記構成により、上記の効果をもたらす下地膜の改質処理を行ったうえで、大面積にわたってTFTを形成することが可能となる。また、本発明の下地膜の改質は、アモルファスシリコン膜をレーザ照射して多結晶シリコン膜にする過程を含む場合に、上記した効果が明りょうに現れる。

【0024】上記第1～第3の局面のTFTの製造方法では、下地膜を形成する工程の前に、基板上に熱吸収の高い薄膜を形成する工程を備えている(請求項9)。

【0025】上記構成により、加熱による下地膜の改質処理が効果的に行われ、n型TFTとp型TFTのVthの中心値をゼロ付近にすることができる。

【0026】上記第1および第2の局面のTFTの製造方法では、下地膜へのレーザ照射は、炭酸ガスレーザ発振装置を用いて行われる(請求項10)。

【0027】下地膜としてはシリコン酸化膜が一般的であり、そのシリコン酸化膜の熱吸収は、波長が約10μmの光に対して大きい。このため、炭酸ガスレーザ発振装置により、約10μmの波長のレーザを発振させ、シリコン酸化膜に照射することにより、シリコン酸化膜に効率良く熱吸収が行われ、上記の効果を実に得ることができる。

【0028】上記第1～3の局面のいずれかのTFTの製造方法を用いて、液晶の下方の下部基板の駆動回路領域および画素領域に薄膜トランジスタを設ける、アクティブマトリックス方式のLCDの製造方法(請求項11)。

【0029】この製造方法により、駆動回路領域に並置されるn型TFTとp型TFTのVthの中間値をゼロ付近にすることができ、液晶への交互の正負電圧の印加を小さな振幅で効率よく行うことができる。また、p型TFTのオフ電流Ioffを低減し、S値を減少させることができる。この結果、消費電力を抑制することができ、かつゲート電圧によるチャネル駆動性を良好なものとすることが可能となる。

【0030】本発明の第1の局面のTFTは、トランジスタの主要部であるシリコン膜が接している下地膜の表

面における組成、結晶構造および電子構造のうち、少なくともいずれかが一つが、下地膜の上へのシリコン膜の成膜とその除去を行わずにトランジスタ形成用シリコン膜を成膜した T F T における下地膜とは、相違している（請求項 12）。

【0031】本発明における表面改質の原因は、上記の下地の表面における組成、結晶構造および電子構造のうち、少なくともいずれかが一つが改良された結果である。これらの要因は、表面改質処理を行わずにトランジスタ形成用シリコン膜を成膜して形成された T F T における 10 値と明確に相違している。これらの相違が原因となつて、上記の I off および S 値の低下、および p 型 T F T と n 型 T F T の V th の良好な対称性を得ることができる。

【0032】本発明の第 2 の局面の T F T は、トランジスタの主要部であるシリコン膜が接している下地膜の表面における組成、結晶構造および電子構造のうち、少なくともいずれかが一つが、下地膜への加熱処理を行わずにトランジスタ形成用シリコン膜を成膜した T F T における 20 下地膜とは、相違している（請求項 13）。

【0033】上記構成は、改質処理として、下地膜への加熱処理が行われた T F T の構成を示す。本発明におけるこの構成上の相違により、上記特性の改良を得ることができる。

【0034】上記第 1 および第 2 の局面における T F T では、シリコン膜が接している下地がシリコン酸化膜である（請求項 14）。

【0035】シリコン酸化膜表面の改質により、オフ電流が低く、S 値の低い p 型 T F T を得ることができ、かつ p 型 T F T と n 型 T F T の V th の中央値をゼロ付近に 30 することができる。

【0036】上記第 1 および第 2 の局面の薄膜トランジスタでは、シリコン膜が、下地膜の表面に成膜されたアモルファスシリコン膜がレーザアニールにより多結晶体シリコン膜とされたシリコン膜である（請求項 15）。

【0037】下地膜の改質は、上記のアモルファスシリコン膜の成膜およびレーザアニールによる多結晶体シリコン膜への結晶化の過程を通じて、上記の効果を発現する 40 場合が多い。したがって、上記の構成により、T F T における I off および S 値の低下、ならびに p 型 T F T と n 型 T F T の V th の良好な対称性を、より確実に得ることが可能となる。

【0038】上記第 1 および第 2 の局面の薄膜トランジスタでは、下地膜の下に熱吸収性の良い膜を備えている（請求項 16）。

【0039】上記の構成により、下地膜の改質を効率良く行うことができる。アクティブマトリックス方式の L C D は、上記第 1 および第 2 の局面のいずれかの T F T を、液晶の後方の下部基板の駆動回路領域および画素領域に備えていることが望ましい（請求項 17）。

【0040】駆動回路領域に並置される n 型 T F T と p 型 T F T の V th の中間値を、ゼロ付近にすることができ、液晶への交互の正負電圧の印加を効率よく行うことができる。また、p 型 T F T のオフ電流 I off を低減し、S 値を減少させることができる。この結果、消費電力を抑制することができ、かつゲート電圧によるチャネル駆動性を良好なものとするのが可能となる。

【0041】

【発明の実施の形態】次に、本発明の実施の形態について図面を用いて説明する。

【0042】（実施の形態 1）図 1～図 10 に本発明の実施の形態 1 における L C D の製造方法を説明する。まず、ガラス基板 1 の表面に下地膜 2 として、シリコン酸化膜を上層とする（シリコン酸化膜/シリコン窒化膜）の 2 層膜をプラズマ C V D 装置により成膜する（図 1）。その後、図 2 に示すように、プリカーサのアモルファスシリコン膜 3 a を減圧 C V D 装置により成膜し、その後、そのアモルファスシリコン膜 3 a にエキシマレーザ照射を行い、結晶化して多結晶体シリコン膜 3 b を得る（図 3）。さらに、この多結晶体シリコン膜をウエットエッチングによって除去する（図 4）。この改質処理によって、上記シリコン酸化膜の表面の組成が変化したり、結晶構造や電子構造が変化したりする。この改質処理を受けた下地膜を符号 20 によって表示する。このシリコン酸化膜の表面改質処理の後、再び、図 5 に示すように、減圧 C V D 装置を用いてシリコン酸化膜の表面にトランジスタ形成用のアモルファスシリコン膜 30 a を成膜し、エキシマレーザを用いたレーザアニールにより結晶化して多結晶体シリコン膜とする。この後、図 6 に示すように、上記の多結晶体シリコン膜をチャネル形状 30 c にパターニングした後、この上にゲート絶縁膜 4 としてシリコン酸化膜をプラズマ C V D により成膜する（図 7）。

【0043】その後、ゲート電極膜として A l 合金、C r、T a のような金属膜をスパッタリングにより成膜し、パターニングおよびエッチング加工により、ゲート電極 5 を形成する（図 8）。この後、p 型 T F T の領域 51 b はレジスト（図示せず）で覆い、n 型 T F T のソース、ドレイン領域に n 型不純物を打ち込み、ソース、ドレイン領域 30 u を形成する。次いで、n 型 T F T の領域 51 a、52 をレジスト（図示せず）で覆い、p 型不純物を p 型 T F T のソース、ドレイン領域に打ち込み、ソース、ドレイン領域 30 v を形成する（図 8）。次いで、層間絶縁膜 6 をプラズマ C V D 装置によって成膜する（図 9）。つぎに、層間絶縁膜 6 にコンタクトホールを開口し、ソース、ドレイン配線用の導電膜を成膜後に、ソース、ドレイン配線 7 にパターニングする。つぎに、最後のプラズマ C V D によってパッシベーション膜 8 である S i N 膜を成膜する（図 10）。

【0044】この後、下部電極を形成し、この下部基板

と所定のギャップをあけて上部電極を備える上部基板を設け、そのギャップに液晶を注入する。表示画面は、上記の TFT に加えられる画像信号に基いて、上記 TFT により液晶に電圧を印加して光を変調させることにより形成される。

【0045】本発明に基き、下地膜（シリコン酸化膜/シリコン窒化膜）の上にアモルファスシリコン膜を成膜し、レーザ照射により多結晶シリコン膜とした後に除去する改質処理を行った TFT の 6 例についての特性を図 11 に示す。従来の製造方法による多結晶シリコン TFT の特性を示す図 23 と比較することにより、本実施の形態における多結晶シリコン TFT のオフ電流 I_{off} は低く、ゲート電圧の制御性の指標である S 値も良好であることが分かる。また、図 11 においては、 n 型 TFT と p 型 TFT の V_{th} の中央値がゼロ付近にあり、LCD の駆動回路として用いるのに適していることが分かる。

【0046】（実施の形態 2）本実施の形態では、アモルファスシリコン膜の成膜後、そのアモルファスシリコン膜をウエットエッチングにより除去し、下地膜であるシリコン酸化膜にレーザ照射を施す点に特徴がある。まず、図 12 に示すように、ガラス基板 1 の表面に、下地膜 2 としての（シリコン酸化膜/シリコン窒化膜）の 2 層膜をプラズマ CVD によって成膜する。その後、図 13 に示すように、アモルファスシリコン膜 3a を減圧 CVD で成膜し、次いでウエットエッチングによりそのアモルファスシリコン膜を除去する（図 14）。この時点の下地膜 19 は、改質処理がすでになされているが完了していない改質途中の下地膜である。次に、露出されたシリコン酸化膜にアモルファスシリコン膜の多結晶化と同じ条件でレーザ照射を施す。この時点で改質処理が終了した下地膜 20 が形成される（図 15）。その後、減圧 CVD によりアモルファスシリコン膜を成膜し、レーザ照射により結晶化させる。この後の製造方法は、実

* 施の形態 1 における製造方法と同様である。

【0047】上記実施の形態 2 の製造方法で作製した TFT の 6 例についての $I_d - V_g$ 曲線を図 16 に示す。図 23 の従来例の TFT の $I_d - V_g$ 曲線と比較して、本実施の形態において、TFT は、低い I_{off} と良好な S 値を得ることができる。また、 p 型 TFT と n 型 TFT の V_{th} の中間値はゼロ付近にあり、LCD の駆動回路に適した TFT が形成されている。

【0048】（実施の形態 3）実施の形態 1 においては、アモルファスシリコンが結晶化された多結晶シリコン膜はウエットエッチングにより除去されていた。本実施の形態 3 では、ドライエッチングにより、多結晶シリコン膜を除去する。ドライエッチングの条件は下記の通りである。

（a）圧力：20 Pa

（b） SF_6 流量：180 sccm (standard cubic cm/min)

（c） O_2 流量：30 sccm (standard cubic cm/min)

（d） $F_{1,2,3}$ 流量：100 sccm (standard cubic cm/min)

（e）RF パワー：1 kW

（f）モード：PE モード

このドライエッチング条件によって多結晶シリコン膜を除去した下地膜を用いて、この後、実施の形態 1 と同様の製造方法で製造した TFT は、実施の形態 1 または 2 における TFT と同様に、低い I_{off} と良好な S 値を得ることができる。かつ、 p 型 TFT と n 型 TFT の V_{th} の中間値はゼロ付近にすることができる。

【0049】

【実施例】本発明の実施の形態 1 による改質処理（本発明例 1）および実施の形態 2 による改質処理（本発明例 2）を適用した実施例を表 1 に示す。

【0050】

【表 1】

特性	n 型 TFT		p 型 TFT		n 型 TFT と p 型 TFT の V_{th} の中間値 (v)
	V_{th} (V)	S 値 (V/Dec)	V_{th} (V)	S 値 (V/Dec)	
本発明例 1 (実施の形態 1)	2.81	0.27	-1.51	0.41	0.65
本発明例 2 (実施の形態 2)	2.26	0.26	-2.08	0.37	0.09
従来例	3.82	0.29	-0.80	0.54	1.51

【0051】表 1 によれば、 p 型 TFT の S 値は、本発明例 1 では 0.41 V/Dec (Dec: I_d の 1 桁分) であり、また本発明例 2 では 0.37 V/Dec であった。これに対して、従来例では、0.54 V/Dec であり、本発明例 1 および 2 はともに従来例よりも S 値は低く、ゲート電圧によるドレイン電流の制御性に優れている。また、 p 型

TFT と n 型 TFT の V_{th} の中間値は、本発明例 1 が 0.65 V であり、本発明例 2 が 0.09 V であるのに対して従来例は 1.51 V と非常にゼロから偏倚している。この結果より、本発明例はともに、 S 値や V_{th} の対称性が従来例よりも優れていることが分かる。また、本発明例のなかで比較すると、実施の形態 2 による方法、

すなわち下地膜にアモルファスシリコン膜を成膜し除去し、レーザアニールして下地膜表面を改質する方法のほう、実施の形態 1 における方法よりも良好な結果をもたらす傾向がある。

【0052】上記において、本発明の実施の形態について説明を行なったが、上記に開示された本発明の実施の形態は、あくまで例示であって、本発明の範囲はこれら発明の実施の形態に限定されない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含む。

【0053】

【発明の効果】本発明によれば、オフ電流 I_{off} 、およびドレイン電流を 1 オーダー上げるのに必要なゲート電圧上昇分である S 値、をとともに低くし、かつ p 型 TFT と n 型 TFT の V_{th} の中央値がゼロに近い TFT を製造することができる。さらにその TFT を搭載した、消費電力が低く制御性に優れた LCD を得ることができる。

【図面の簡単な説明】

【図 1】 実施の形態 1 において、ガラス基板の上に下地膜を成膜した段階の断面図である。

【図 2】 図 1 の状態に対して、アモルファスシリコン膜を成膜した段階の断面図である。

【図 3】 図 2 の状態に対して、レーザアニールしてアモルファスシリコン膜を多結晶シリコン膜にした段階の断面図である。

【図 4】 図 3 の状態に対して、ウエットエッチングにより多結晶シリコン膜を除去した段階の断面図である。

【図 5】 図 4 の状態に対して、アモルファスシリコン膜を減圧 CVD で成膜した段階の断面図である。

【図 6】 図 5 の状態に対して、レーザアニールにより多結晶シリコン膜として、パターニングしてチャンネル形状にした段階の断面図である。

【図 7】 図 6 の状態に対して、ゲート絶縁膜を成膜した段階の断面図である。

【図 8】 図 7 の状態に対して、ゲート電極をパターニングして、その後 n 型 TFT のソース、ドレイン領域に n 型不純物を打ち込み、 p 型 TFT のソース、ドレイン領域に p 型不純物を打ち込んだ段階の断面図である。

【図 9】 図 8 の状態に対して、層間絶縁膜を成膜した段階の断面図である。

【図 10】 図 9 の状態に対して、パッシベーション膜を成膜した段階の断面図である。

【図 11】 実施の形態 1 の方法で製造した TFT の $I_d - V_g$ 曲線を示す図である。

【図 12】 実施の形態 2 において、ガラス基板の上に下地膜を成膜した段階の断面図である。

【図 13】 図 12 の状態に対して、アモルファスシリコン膜を成膜した段階の断面図である。

【図 14】 図 13 の状態からアモルファスシリコン膜をウエットエッチングによって除去した段階の断面図である。

【図 15】 図 14 の状態に対して、レーザ照射した段階の断面図である。

【図 16】 実施の形態 2 の方法で製造した TFT の $I_d - V_g$ 曲線を示す図である。

【図 17】 従来法において、ガラス基板の上に下地膜およびアモルファスシリコン膜を成膜した段階の断面図である。

【図 18】 アモルファスシリコン膜にレーザアニールして多結晶シリコン膜を形成し、チャンネル形状にパターニングした段階の断面図である。

【図 19】 ゲート絶縁膜を成膜した段階の断面図である。

【図 20】 ゲート電極をパターニングして形成し、 n 型 TFT のソース、ドレイン領域に n 型不純物を打ち込み、 p 型 TFT のソース、ドレイン領域に p 型不純物を打ち込んだ段階の断面図である。

【図 21】 層間絶縁膜を成膜した段階の断面図である。

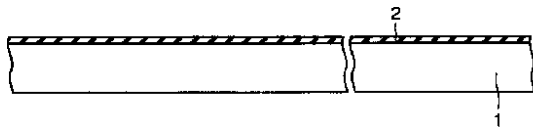
【図 22】 層間絶縁膜にコンタクトホールを開口し、ソース、ドレイン配線を形成し、その上にパッシベーション膜を成膜した段階の断面図である。

【図 23】 従来法で製造した TFT の $I_d - V_g$ 曲線を示す図である。

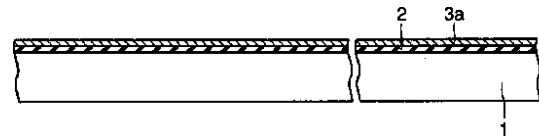
【符号の説明】

1 ガラス基板、2 下地膜、3 a アモルファスシリコン膜、3 b 多結晶シリコン膜、4 ゲート絶縁膜、5 ゲート電極、6 層間絶縁膜、7 ソース、ドレイン配線、8 パッシベーション膜、19 改質途中の下地膜、20 改質された下地膜、30 a トランジスタ形成用アモルファスシリコン膜、30 c トランジスタ形正用チャンネル形状多結晶シリコン、30 u n 型 TFT のソースドレイン領域、30 v p 型 TFT のソースドレイン領域、51 a 駆動回路領域の n 型 TFT、51 b 駆動回路領域の p 型 TFT、52 画素領域の n 型 TFT。

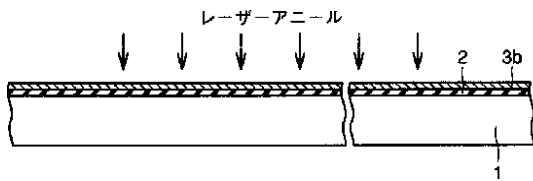
【図1】



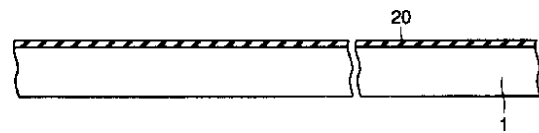
【図2】



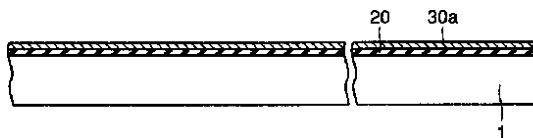
【図3】



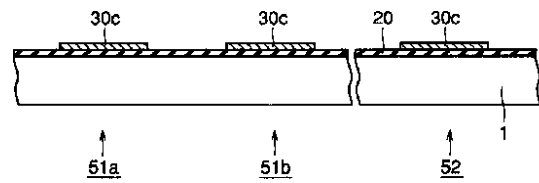
【図4】



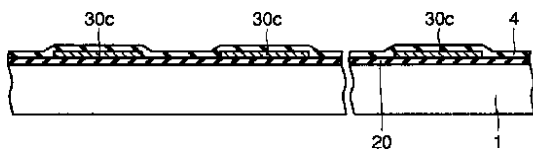
【図5】



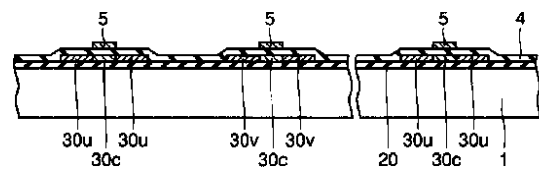
【図6】



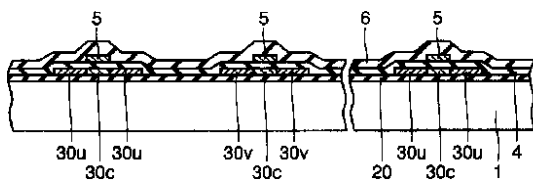
【図7】



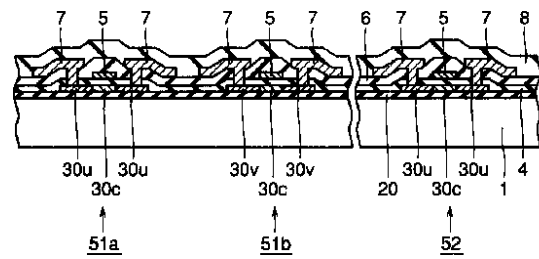
【図8】



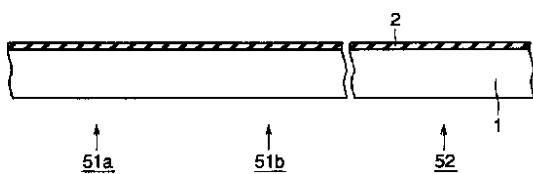
【図9】



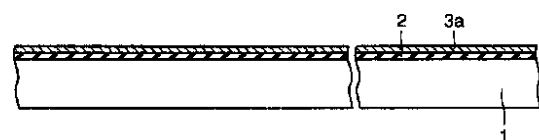
【図10】



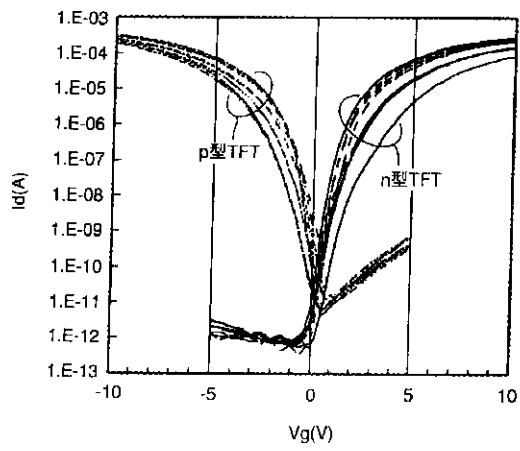
【図12】



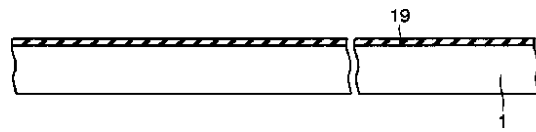
【図13】



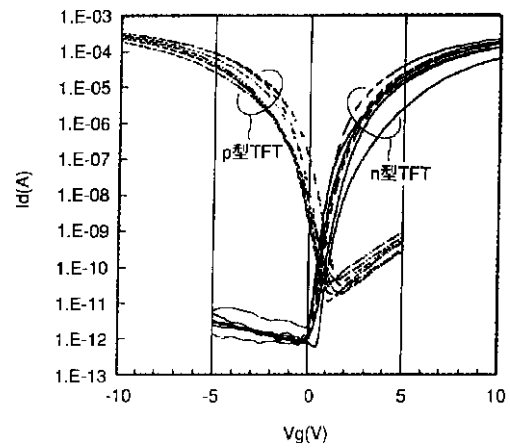
【図11】



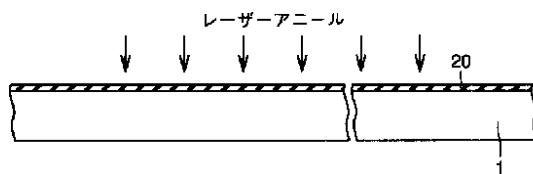
【図14】



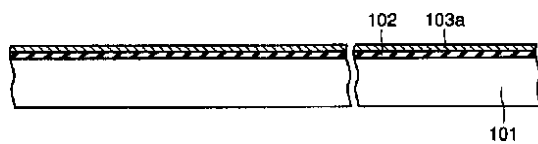
【図16】



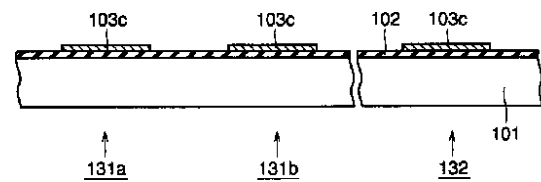
【図15】



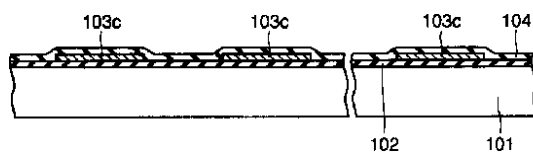
【図17】



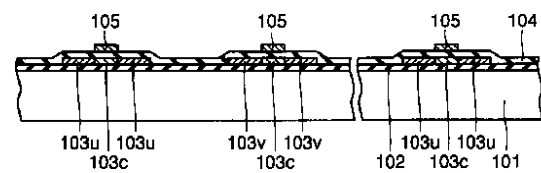
【図18】



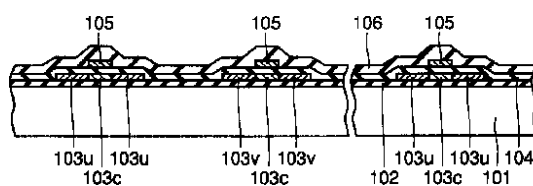
【図19】



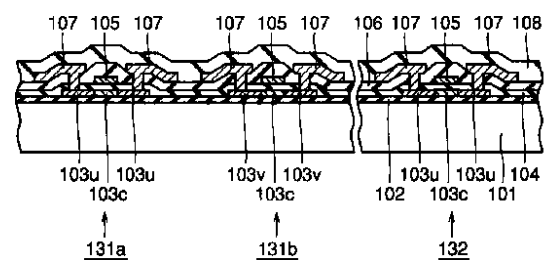
【図20】



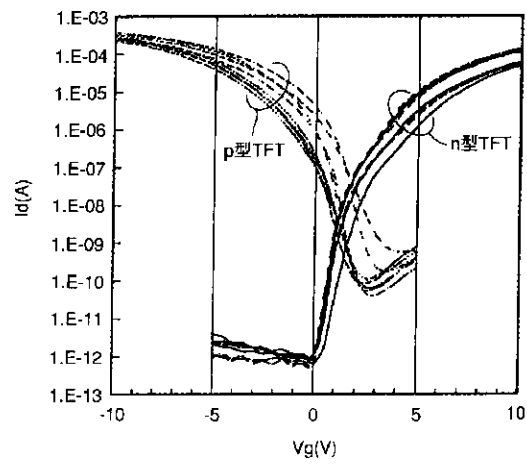
【図21】



【図22】



【図23】



フロントページの続き

(72)発明者 林 正美
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72)発明者 小松 紀和
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

F ターム(参考) 2H092 JA25 JA29 JA38 JA42 JA44
JA46 JB13 JB23 JB32 JB33
JB38 JB51 JB57 JB63 JB69
KA04 KA07 KB24 MA05 MA07
MA14 MA15 MA16 MA18 MA19
MA20 MA27 MA30 MA35 MA37
MA41
5F004 AA16 BB13 DA00 DA18 DA26
DB02
5F052 AA02 AA24 BB06 BB07 DA02
DB02 EA12 FA22 HA01 JA01
5F110 AA06 AA08 BB02 BB04 CC02
DD02 DD13 DD14 DD17 EE04
EE06 EE44 FF02 FF30 GG02
GG13 GG47 GG57 NN02 NN24
NN35 PP03 QQ04 QQ11

专利名称(译)	薄膜晶体管和液晶显示装置及其制造方法		
公开(公告)号	JP2001332739A	公开(公告)日	2001-11-30
申请号	JP2000152882	申请日	2000-05-24
[标]申请(专利权)人(译)	三菱电机株式会社 精工爱普生株式会社		
申请(专利权)人(译)	三菱电机株式会社 精工爱普生公司		
[标]发明人	高鍋 昌一 林 正美 小松 紀和		
发明人	高鍋 昌一 林 正美 小松 紀和		
IPC分类号	G02F1/136 G02F1/1368 H01L21/20 H01L21/302 H01L21/3065 H01L21/336 H01L29/786		
FI分类号	H01L21/20 H01L29/78.626.C G02F1/136.500 H01L21/302.J H01L29/78.627.G G02F1/1368 H01L21/302.105.Z H01L21/302.301.Z		
F-TERM分类号	2H092/JA25 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JA44 2H092/JA46 2H092/JB13 2H092/JB23 2H092/JB32 2H092/JB33 2H092/JB38 2H092/JB51 2H092/JB57 2H092/JB63 2H092/JB69 2H092/KA04 2H092/KA07 2H092/KB24 2H092/MA05 2H092/MA07 2H092/MA14 2H092/MA15 2H092/MA16 2H092/MA18 2H092/MA19 2H092/MA20 2H092/MA27 2H092/MA30 2H092/MA35 2H092/MA37 2H092/MA41 5F004/AA16 5F004/BB13 5F004/DA00 5F004/DA18 5F004/DA26 5F004/DB02 5F052/AA02 5F052/AA24 5F052/BB06 5F052/BB07 5F052/DA02 5F052/DB02 5F052/EA12 5F052/FA22 5F052/HA01 5F052/JA01 5F110/AA06 5F110/AA08 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD17 5F110/EE04 5F110/EE06 5F110/EE44 5F110/FF02 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG47 5F110/GG57 5F110/NN02 5F110/NN24 5F110/NN35 5F110/PP03 5F110/QQ04 5F110/QQ11 2H192/AA24 2H192/CB02 2H192/CB34 2H192/EA76 2H192/FB02 2H192/HA82 2H192/HA90 5F152/AA14 5F152/BB02 5F152/CC02 5F152/CD13 5F152/CD14 5F152/CE05 5F152/CE13 5F152/FF03		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种TFT，具有低截止电流 I_{off} 和低S值，并且具有p型TFT和n型TFT的良好的 V_{th} 对称性的LCD及其制造方法。 解决方案：该TFT制造方法包括以下步骤：在基板1上形成基膜2；将基膜加热到500°C或更高的步骤；以及在加热的基膜上形成晶体管的硅。 以及形成膜30a的步骤。

特性	n型 TFT		p型 TFT		n型 TFT と p型 TFT の V_{th} の中間値 (V)
	V_{th} (V)	S 値 (V/Dec)	V_{th} (V)	S 値 (V/Dec)	
本発明例 1 (実施の形態 1)	2.81	0.27	-1.51	0.41	0.65
本発明例 2 (実施の形態 2)	2.26	0.26	-2.08	0.37	0.09
従来例	3.82	0.29	-0.80	0.54	1.51