

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4361844号
(P4361844)

(45) 発行日 平成21年11月11日(2009.11.11)

(24) 登録日 平成21年8月21日(2009.8.21)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

請求項の数 1 (全 37 頁)

(21) 出願番号 特願2004-220263 (P2004-220263)
 (22) 出願日 平成16年7月28日(2004.7.28)
 (65) 公開番号 特開2006-39290 (P2006-39290A)
 (43) 公開日 平成18年2月9日(2006.2.9)
 審査請求日 平成18年10月24日(2006.10.24)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (73) 特許権者 501358079
 友達光電股▲ふん▼有限公司
 AU Optronics Corpor
 ation
 台湾新竹科学工業園區新竹市力行二路一号
 No. 1, Lt-Hsin Rd, 11,
 Science-Based Indus
 trial Park, Hsinchu,
 Taiwan, R. O. C.

(74) 代理人 100091672
 弁理士 岡本 啓三

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

相互に対向して配置された第1及び第2の基板と、
 前記第1及び第2の基板間に封入された液晶と、
 前記第1の基板に形成されたゲートバスライン及びデータバスラインと、
 前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
 前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成され
 た複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから
 前記薄膜トランジスタを介して表示電圧が印加される制御電極とを有する液晶表示装置

10

において、
 前記制御電極と容量結合した副画素電極と前記ゲートバスライン及び前記データバスラ
 インのうちの少なくとも一方のバスラインとの間を電氣的にシールドするシールド部材を
 有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1画素領域内に複数の副画素電極を有する液晶表示装置に関し、特に副画素
 電極のうちの少なくとも1つが表示電圧が印加される制御電極と容量結合した液晶表示装
 置に関する。

20

【背景技術】

【0002】

液晶表示装置は、C R T (Cathode Ray Tube) に比べて薄くて軽量であり、低電圧で駆動できて消費電力が小さいという利点がある。そのため、液晶表示装置は、テレビ、ノート型 P C (パーソナルコンピュータ)、デスクトップ型 P C、P D A (携帯端末) 及び携帯電話など、種々の電子機器に使用されている。特に、各画素 (サブピクセル) 毎にスイッチング素子として T F T (Thin Film Transistor: 薄膜トランジスタ) を設けたアクティブマトリクス型液晶表示装置は、その駆動能力の高さから C R T にも匹敵する優れた表示特性を示し、デスクトップ型 P C やテレビなど、従来 C R T が使用されていた分野にも広く使用されるようになった。

10

【0003】

一般的に、液晶表示装置は、2枚の基板と、これらの基板間に封入された液晶とにより構成されている。一方の基板には画素毎に画素電極及び T F T 等が形成され、他方の基板には画素電極に対向するカラーフィルタと、各画素共通のコモン (共通) 電極とが形成されている。カラーフィルタには赤色 (R)、緑色 (G) 及び青色 (B) の3種類があり、画素毎にいずれか1色のカラーフィルタが配置されている。隣接して配置された赤色 (R)、緑色 (G) 及び青色 (B) の3つの画素で1つのピクセル (Pixel) を構成する。以下、画素電極及び T F T が形成された基板を T F T 基板と呼び、T F T 基板に対向して配置される基板を対向基板と呼ぶ。また、T F T 基板と対向基板との間に液晶を封入してなる構造物を液晶パネルという。

20

【0004】

従来は、2枚の基板間に水平配向型液晶 (誘電率異方性が正の液晶) を封入し、液晶分子をツイスト配向させる T N (Twisted Nematic) 型液晶表示装置が広く使用されていた。しかし、T N 型液晶表示装置には視野角特性が悪く、画面を斜め方向から見たときにコントラストや色調が大きく変化するという欠点がある。このため、視野角特性が良好な M V A (Multi-domain Vertical Alignment) 型液晶表示装置が開発され、実用化されている。

【0005】

図1(a), (b) は、M V A 型液晶表示装置の一例を示す模式断面図である。T F T 基板 10 及び対向基板 20 はスペーサ (図示せず) を挟んで配置されており、これらの基板 10, 20 の間には垂直配向型液晶 (誘電率異方性が負の液晶) 30 が封入されている。T F T 基板 10 の画素電極 12 には、電圧印加時の液晶分子の傾斜方向を決めるドメイン規制用構造物として、スリット 12a が設けられている。この画素電極 12 の表面は、例えばポリイミドからなる垂直配向膜 14 に覆われている。

30

【0006】

対向基板 20 のコモン電極 22 の下には、ドメイン規制用構造物として複数の土手状の突起 23 が形成されている。これらの突起 23 は、図1(a) に示すように、基板 10 側のスリット 12a に対し斜め方向にずれた位置に配置されている。コモン電極 22 及び突起 23 の表面も、例えばポリイミドからなる垂直配向膜 24 に覆われている。

【0007】

T F T 基板 10 の下側及び対向基板 20 の上側にはそれぞれ偏光板 (図示せず) が配置される。これらの偏光板は、吸収軸を相互に直交させて配置される。

40

【0008】

このように構成された M V A 型液晶表示装置において、画素電極 12 とコモン電極 22 との間に電圧を印加しない状態では、図1(a) に示すように、殆どの液晶分子 30a は基板面に対し垂直に配向する。但し、突起 23 の近傍の液晶分子 30a は、突起 23 の傾斜面に垂直な方向に配向する。この場合、T F T 基板 10 の下側から偏光板を通して液晶層に進入した光は、偏光方向が変化することなく液晶層を通過し、対向基板側 20 の上側の偏光板により遮断される。すなわち、この場合は黒表示となる。

【0009】

50

画素電極 1 2 とコモン電極 2 2 との間に所定の電圧を印加すると、電界の影響により液晶分子 3 0 a は基板面に対し斜めに配向する。この場合に、図 1 (b) に示すように、スリット 1 2 a 及び突起 2 3 の両側では液晶分子 3 0 a の傾斜方向が異なり、いわゆる配向分割 (マルチドメイン) が達成される。この図 1 (b) に示すように液晶分子 3 0 a が基板面に対し斜めに配向したときは、 T F T 基板 1 0 の下側から偏光板を通過して液晶層に進入した光は、液晶層で偏光方向が変化し、対向基板 2 0 の上側の偏光板を通過するようになる。偏光板を通過する光の量は、画素電極 1 2 とコモン電極 2 2 との間に印加される電圧に依存する。

【 0 0 1 0 】

また、 M V A 型液晶表示装置では、図 1 (b) に示すように、電圧を印加したときの液晶分子 3 0 a の傾斜方向がスリット 1 2 a 及び突起 2 3 の両側で異なるので、斜め方向への光の漏れが抑制され、優れた視野角特性が得られる。

【 0 0 1 1 】

上記の例ではドメイン規制用構造物が突起及びスリットの場合について説明したが、基板表面の窪み (溝) をドメイン規制用構造物とすることもある。また、図 1 (a) , (b) では T F T 基板 1 0 及び対向基板 2 0 の両方にドメイン規制用構造物を設けた例について説明したが、 T F T 基板 1 0 及び対向基板 2 0 のうちのいずれか一方のみにドメイン規制用構造物を形成してもよい。

【 0 0 1 2 】

ところで、従来の M V A 型液晶表示装置では、画面を斜め方向から見たときに白っぽくなる現象が発生する。図 2 は、横軸に印加電圧 (V) をとり、縦軸に透過率をとって、画面を正面から見たときの T - V (透過率 - 電圧) 特性と、上 6 0 ° の方向から見たときの T - V 特性とを示す図である。この図 2 に示すように、しきい値電圧よりも若干高い電圧を画素電極に印加したとき (図中丸で囲んだ部分) には、斜め方向から見たときの透過率が正面から見たときの透過率よりも高くなる。また、印加電圧がある程度高くなると、斜め方向から見たときの透過率は、正面から見たときの透過率よりも低くなる。このため、斜め方向から見たときには赤色画素、緑色画素及び青色画素の輝度差が小さくなり、その結果前述したように画面が白っぽくなる現象が発生する。この現象は、白茶け (discolor) と呼ばれている。白茶けは、 M V A 型液晶表示装置だけでなく、 T N 型液晶表示装置でも発生する。

【 0 0 1 3 】

米国特許第 4 8 4 0 4 6 0 号の明細書には、 1 つの画素を複数の副画素に分割して、それらの副画素を容量結合することが提案されている。このような液晶表示装置では、各副画素の容量比によって電位が分割されるため、各副画素に相互に異なる電圧を印加することができる。従って、見かけ上、 1 つの画素に T - V 特性のしきい値が異なる複数の領域が存在することになる。このように 1 つの画素に T - V 特性のしきい値が異なる複数の領域が存在すると、正面から見たときの透過率よりも斜め方向から見たときの透過率が高くなる現象が抑制され、その結果画面が白っぽくなる現象 (白茶け) も抑制される。このように 1 つの画素を容量結合した複数の副画素に分割して表示特性を改善する方法は、容量結合による H T (ハーフトングレースケール) 法と呼ばれる。なお、米国特許第 4 8 4 0 4 6 0 号の明細書に記載された液晶表示装置は、 T N 型液晶表示装置である。

【 0 0 1 4 】

図 3 は容量結合による H T 法を実現する液晶表示装置の T F T 基板の一例を示す平面図、図 4 は図 3 の I - I 線による断面図である。

【 0 0 1 5 】

T F T 基板のベースとなるガラス基板 5 1 の上には、水平方向 (X 方向) に延びる複数のゲートバスライン 5 2 と、垂直方向 (Y 方向) に延びる複数のデータバスライン (ドレインバスライン) 5 5 とが形成されている。これらのゲートバスライン 5 2 及びデータバスライン 5 5 により区画される矩形の領域がそれぞれ画素領域である。また、ガラス基板 5 1 の上には、ゲートバスライン 5 2 と平行に配置され、各画素領域の中央を横断する補

10

20

30

40

50

助容量バスライン 5 3 が形成されている。

【 0 0 1 6 】

ゲートバスライン 5 2 及び補助容量バスライン 5 3 とデータバスライン 5 5 との間には第 1 の絶縁膜 5 4 が形成されており、この第 1 の絶縁膜 5 4 によりゲートバスライン 5 2 及び補助容量バスライン 5 3 とデータバスライン 5 5 との間が電氣的に分離されている。

【 0 0 1 7 】

各画素領域には、T F T 5 6 と、制御電極 5 7 と、補助容量電極 5 8 と、副画素電極 6 1 a , 6 1 b とが形成されている。T F T 5 6 は、図 3 に示すようにゲートバスライン 5 2 の一部をゲート電極としている。また、図 4 に示すように、T F T 5 6 の活性層となる半導体膜 5 6 a はゲートバスライン 5 2 の上方に形成されており、この半導体膜 5 6 a の上にはチャンネル保護膜 5 6 b が形成されている。

10

【 0 0 1 8 】

T F T 5 6 のドレイン電極 5 6 d はデータバスライン 5 5 に接続しており、ソース電極 5 6 s はゲートバスライン 5 2 を挟んでドレイン電極 5 6 d に対向する位置に配置されている。更に、補助容量電極 5 8 は第 1 の絶縁膜 5 4 を挟んで補助容量バスライン 5 3 に対向する位置に形成されている。更にまた、制御電極 5 7 は、図 3 に示すように、配線 5 9 を介してソース電極 5 6 s と補助容量電極 5 8 とに電氣的に接続されている。

【 0 0 1 9 】

これらのデータバスライン 5 5 、T F T 5 6 、制御電極 5 7 、補助容量電極 5 8 及び配線 5 9 は第 2 の絶縁膜 6 0 に覆われており、副画素電極 6 1 a , 6 1 b は第 2 の絶縁膜 6 0 上に形成されている。副画素電極 6 1 a は、第 2 の絶縁膜 6 0 を挟んで制御電極 5 7 と容量結合している。また、副画素電極 6 1 b は、第 2 の絶縁膜 6 0 に形成されたコンタクトホール 6 0 a を介して補助容量電極 5 8 と電氣的に接続している。副画素電極 6 1 a , 6 1 b の表面は配向膜 6 2 に覆われている。

20

【 0 0 2 0 】

一方、対向基板は、図 4 に示すように、ベースとなるガラス基板 7 1 の一方の面側（図 4 では下側）に形成されたカラーフィルタ 7 2 と、カラーフィルタ 7 2 の面上に形成されたコモン電極 7 3 と、コモン電極 7 3 の表面を覆う配向膜 7 4 とを備えている。

【 0 0 2 1 】

これらの T F T 基板及び対向基板はスペーサ（図示せず）を挟んで配置される。そして、T F T 基板と対向基板との間には液晶 8 0 が封入される。

30

【 0 0 2 2 】

透過型液晶表示装置の場合、副画素電極 6 1 a , 6 1 b は I T O (Indium-Tin Oxide) 等の透明導電体により形成される。また、反射型液晶表示装置の場合、副画素電極 6 1 a , 6 1 b はアルミニウム等の反射率が高い材料により形成される。

【 0 0 2 3 】

図 5 は、上述した T F T 基板を備えた液晶表示装置の 1 画素を示す等価回路図である。この図 5 において、 C_{LC1} は副画素電極 6 1 b とコモン電極 7 3 とにより構成される容量であり、 C_s は補助容量電極 5 8 と補助容量バスライン 5 3 とにより構成される容量であり、 C_c は副画素電極 6 1 a と制御電極 5 7 とにより構成される容量であり、 C_{LC2} は副画素電極 6 1 a とコモン電極 7 3 とにより構成される容量である。この図 5 に示すように、副画素電極 6 1 a とコモン電極 7 3 との間の容量 C_{LC2} と制御容量 C_c とで分圧されるため、副画素電極 6 1 b に印加される電圧を V_{px1} とすると、副画素電極 6 1 a に印加される電圧 V_{px2} は下記（ 1 ）式に示すようになる。

40

【 0 0 2 4 】

【 数 1 】

$$V_{px2} = \frac{C_c}{C_c + C_{LC2}} \times V_{px1} \quad \cdots(1)$$

実際の電圧比（ V_{px2} / V_{px1} ）は液晶表示装置の表示特性の設計事項であるが、およ

50

そ 0.6 ~ 0.8 が理想的であるとされている。

【0025】

以下、副画素電極 61a のように容量結合を介して表示電圧が印加される副画素電極を、フローティング副画素電極という。また、副画素電極 61b のように低抵抗の導電体（配線等）を介して TFT に電氣的に接続された副画素電極を、TFT に直結した副画素電極という。

【0026】

特許第 3076938 号の明細書（特開平 5 - 66412 号公報）には、図 6 に示すように、画素電極を複数（図 6 では 4 つ）の副画素電極 91a ~ 91d に分割し、各副画素電極 91a ~ 91d の下方に絶縁膜を介して制御電極 92a ~ 92d をそれぞれ配置した TN 型液晶表示装置が開示されている。この液晶表示装置では、TFT 90 を介して制御電極 92a ~ 92d に表示電圧が印加される。各副画素電極 91a ~ 91d の大きさは相互に異なっているので、副画素電極 91a ~ 91d に印加される電圧も相互に異なり、HT 法による効果、すなわち白茶けを抑制する効果を得ることができる。なお、この液晶表示装置では、副画素電極 91a ~ 91d の間から光が漏れることを防止するために、副画素電極 91a ~ 91d の間にも制御電極 93 を配置している。

【特許文献 1】米国特許第 4840460 号明細書

【特許文献 2】特許第 3076938 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0027】

しかしながら、本願発明者等の実験研究により、上述した従来のフローティング副画素電極を有する液晶表示装置では焼き付きにより表示特性が劣化することが判明した。

【0028】

図 7(a) ~ (c) 及び図 8 は、焼き付きの程度を測定する試験方法を示す模式図である。まず、液晶表示装置に、図 7(a) に示すような白黒のチェッカーパターンを一定時間連続して表示する。その後、液晶表示装置の全面に、図 7(b) に示すような中間調の表示を行う。このとき、画面に焼き付きが発生すると、図 7(c) に示すように、チェッカーパターンが薄く見える。チェッカーパターンの表示から中間調の表示に切り替えた後、例えば図 7(c) の X-X 線に沿って輝度を測定する。そして、図 8 に示すように暗い部分の輝度を a、暗い部分と明るい部分との輝度差を b としたときに、 $100 \times b / (a + b)$ で定義される焼き付き率を計算する。

【0029】

上記の方法により、フローティング副画素電極を有しない液晶表示装置の焼き付き率とフローティング副画素電極を有する液晶表示装置の焼き付き率を測定した。その結果、フローティング副画素電極を有しない液晶表示装置の焼き付き率が 5% 以下であるのに対し、フローティング副画素電極を有する液晶表示装置の焼き付き率は 10% 以上と高いものであった。

【0030】

以上から、本発明の目的は、容量結合 HT 法を使用して白茶けを抑制する液晶表示装置において、焼き付きの発生を回避できる液晶表示装置を提供することである。

【課題を解決するための手段】

【0031】

上記した課題は、相互に対向して配置された第 1 及び第 2 の基板と、前記第 1 及び第 2 の基板間に封入された液晶と、前記第 1 の基板に形成されたゲートバスライン及びデータバスラインと、前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極とを有する液晶表示装置において、前記制御電極と容量結合した副画素電極と前

記ゲートバスライン及び前記データバスラインのうちの少なくとも一方のバスラインとの間を電氣的にシールドするシールド部材を有する液晶表示装置により解決する。

【 0 0 3 2 】

本発明においては、制御電極と容量結合した副画素電極とゲートバスライン及びデータバスラインのうちの少なくとも一方のバスラインとの間を、例えば一定の電位に保持される補助容量バスラインに接続されたシールド部材により電氣的にシールドする。このように、制御電極と容量結合した副画素電極をシールド部材でシールドすることにより、ゲートバスライン又はデータバスラインから副画素電極への電荷の注入が回避され、その結果焼き付きが防止される。

【 0 0 3 3 】

10

シールド部材として、T F Tに直結された副画素電極を使用することもできる。例えば制御電極と容量結合した副画素電極とゲートバスラインとの間にT F Tに直結した副画素電極を配置することにより、ゲートバスラインから制御電極と容量結合した副画素電極へ電荷が注入されることを回避できる。

【発明を実施するための最良の形態】

【 0 0 4 3 】

以下、本発明について、更に詳細に説明する。

【 0 0 4 4 】

通常、液晶表示装置の焼き付きは、ゲートバスライン及びデータバスライン等に流れる信号に直流電圧成分が存在し、白表示時と黒表示時とで液晶層のC R値（液晶容量及び液晶抵抗の値）が変化することが原因である。以下に、フローティング副画素電極を有する液晶表示装置で焼き付きが発生する理由について説明する。

20

【 0 0 4 5 】

図9はフローティング副画素電極を備えた液晶表示装置の1画素を示す平面図であり、図10（a）は図9のII - II線の位置における模式断面図、図10（b）は図9のIII - III線の位置における模式断面図、図10（c）は図9のIV - IV線の位置における模式断面図、図10（d）は図9のV - V線の位置における模式断面図である。

【 0 0 4 6 】

図9に示す液晶表示装置においては、図10（a）に示すように、副画素電極（フローティング副画素電極）61aとコモン電極73との間に、 C_{LC2} と R_{LC2} とが並列に接続されているとみなすことができる。ここで、 C_{LC2} は副画素電極61aとコモン電極73との間の容量であり、 R_{LC2} は副画素電極61aとコモン電極73との間の抵抗である。

30

【 0 0 4 7 】

また、副画素電極61aとゲートバスライン52との間にも、 $C_{gp \times 2}$ と R_{goff} とが並列に接続されているとみなすことができる。ここで、 $C_{gp \times 2}$ は副画素電極61aとゲートバスライン52との間の容量であり、 R_{goff} は副画素電極61aとゲートバスライン52との間の抵抗である。

【 0 0 4 8 】

一方、副画素電極（T F T56に直結した副画素電極）61bとコモン電極73との間にも、図10（b）に示すように、 C_{LC1} と R_{LC1} とが並列に接続されているとみなすことができる。ここで、 C_{LC1} は副画素電極61bとコモン電極73との間の容量であり、 R_{LC1} は副画素電極61bとコモン電極73との間の抵抗である。

40

【 0 0 4 9 】

また、副画素電極61bとゲートバスライン52との間には、 $C_{gp \times 1}$ と $R_{gp \times 1}$ とが並列に接続されているとみなすことができる。ここで、 $C_{gp \times 1}$ は副画素電極61bとゲートバスライン52との間の容量であり、 $R_{gp \times 1}$ は副画素電極61bとゲートバスライン52との間の抵抗である。

【 0 0 5 0 】

ゲートバスライン52には、1フィールド期間の殆どの時間、T F T56をオフ状態に維持するために、コモン電極73の電位に対し - 1.2 V程度低い直流電圧（ V_{goff} ）が印

50

加される。この直流電圧に応じた電荷が、容量 $C_{gp \times 2}$ と抵抗 R_{goff} とを介して副画素電極 61a, 61b に蓄積される。しかし、通常、1フィールド毎に1回ずつ TFT 56 がオンになって副画素電極 61b とデータバスライン 55 とが電氣的に接続されるため、副画素電極 61b では TFT 56 がオフの期間に蓄積された電荷がデータバスライン 55 に流れ、直流電圧成分は残留しない。一方、副画素電極 61a では、TFT 56 がオンになっても副画素電極 61a に蓄積された電荷はそのまま保持される。このため、副画素電極 61a には直流電圧成分が残留する。

【0051】

図10(c)に示すように、副画素電極 61a とデータバスライン 55 との間には、 $C_{dp \times 2}$ と $R_{dp \times 2}$ とが並列に接続されているとみなすことができる。ここで、 $C_{dp \times 2}$ は副画素電極 61a とデータバスライン 55 との間の容量であり、 $R_{dp \times 2}$ は副画素電極 61a とデータバスライン 55 との間の抵抗である。

10

【0052】

また、図10(d)に示すように、副画素電極 61b とデータバスライン 55 との間にも、 $C_{dp \times 1}$ と $R_{dp \times 1}$ とが並列に接続されているとみなすことができる。ここで、 $C_{dp \times 1}$ は副画素電極 61b とデータバスライン 55 との間の容量であり、 $R_{dp \times 1}$ は副画素電極 61b とデータバスライン 55 との間の抵抗である。

【0053】

データバスライン 55 には、フィードスルー電圧を補償するために、コモン電極 73 の電位に対し 1 ~ 2 V 程度高い直流電圧を表示信号（交流信号）に重畳させている。この直流電圧に応じた電荷も、容量 $C_{dp \times 2}$ と抵抗 $R_{dp \times 2}$ とを介して副画素電極 61a に蓄積される。

20

【0054】

しかし、前述したように、1フィールド毎に1回ずつ TFT 56 がオンになって、副画素電極 61b とデータバスライン 55 とが電氣的に接続されるため、副画素電極 61b では TFT 56 がオフの期間に蓄積された電荷がオンの期間にデータバスライン 55 に流れる。このため、副画素電極 61b には直流電圧成分は残留しない。一方、副画素電極 61a では、TFT 56 がオンになっても、副画素電極 61a に蓄積された電荷はそのまま保持される。このため、副画素電極 61a には直流電圧成分が残留する。

【0055】

このように、TFT 56 に直結した副画素電極 61b では直流電圧成分の蓄積は殆どないのに対し、フローティング副画素電極 61a では電荷が蓄積されて直流電圧成分が残留する。

30

【0056】

次に、フローティング副画素電極に蓄積された電荷と焼き付きとの関係について説明する。

【0057】

図11は、フローティング副画素電極により構成される副画素の等価回路を示す図である。制御電極とコモン電極との間の直流電圧成分を ΔV_s とし、フローティング副画素電極の電荷量を Q 、コモン電極の電荷量を Q_1 、制御電極の電荷量を Q_2 とする。過渡状態が終了し定常状態にあるときの Q_1 、 Q_2 、 Q は、下記(2)式に示すようになる。

40

【0058】

【数 2】

$$\begin{aligned}
 Q1 &= \frac{R_{LC2}}{R_{LC2} + R_c} \times \Delta V_s \times C_{LC2} \\
 Q2 &= \frac{R_c}{R_{LC2} + R_c} \times \Delta V_s \times C_c \\
 Q &= Q2 - Q1 \\
 &= \frac{-((R_{LC2} \times C_{LC2}) - (R_c \times C_c))}{R_{LC2} + R_c} \times \Delta V_s
 \end{aligned}
 \quad \left. \begin{array}{l} \\ \\ \\ \end{array} \right\} \dots(2)$$

10

制御電極とコモン電極との間の直流電圧成分 ΔV_s が取り除かれても、下記(3)式に示す直流電圧成分 ΔV_{LC2} が液晶層に残留する。

【0059】

【数 3】

$$\begin{aligned}
 \Delta V_{LC2} &= -Q / Q_{LC2} \\
 &= \frac{((R_{LC2} \times Q_{LC2}) - (R_c \times C_c))}{(R_{LC2} + R_c) \times Q_{LC2}} \times \Delta V_s \quad \dots(3)
 \end{aligned}$$

20

副画素電極の面積を S 、セル厚を d とすると、液晶容量 C_{LC2} は、 $C_{LC2} = \epsilon (S / d)$ で表される。ここで、 ϵ は液晶の誘電率である。液晶分子が基板面に垂直に配向しているときの誘電率と水平に配向しているときの誘電率とは異なるため、チェッカーパターンの白部分を表示している画素と黒部分を表示している画素では液晶容量の値が異なり、その結果液晶層に印加される直流電圧成分 ΔV_{LC2} の値も異なる。チェッカーパターンの表示から中間調の表示に切り替えても液晶層に残留する直流電圧成分は直ぐには変化しないため、白を表示していた画素と黒を表示していた画素とでは液晶層に印加される電圧が異なる。このため、白を表示していた画素と黒を表示していた画素とでは光の透過率が異なり、焼き付きが発生する。なお、このような原因で発生した焼き付きは副画素電極と制御電極及びコモン電極との間の時定数に応じた時間で減少するが、表示品質を向上させるためには焼き付きをできるだけ少なくすることが必要である。

30

【0060】

図12は、横軸に制御電極とコモン電極との間の直流電圧成分 ΔV_s をとり、縦軸に液晶層に残留する直流電圧成分 ΔV_{LC2} をとって、液晶層に表示電圧が印加されたとき(液晶ON)の ΔV_s と ΔV_{LC2} との関係と、液晶層に表示電圧が印加されていないとき(液晶OFF)の ΔV_s と ΔV_{LC2} との関係とを示す図である。但し、ここでは、図9に示す構造の液晶表示装置を想定しており、画素ピッチを $125 \mu m$ 、制御電極58と容量結合した副画素電極61aとTFT56に直結した副画素電極61bとの面積比を3:7、副画素電極(フローティング副画素電極)61aに印加される表示電圧と副画素電極(TFTに直結した副画素電極)61bに印加される表示電圧との比を0.72として計算している。

40

【0061】

この図12からわかるように、制御電極とコモン電極との間の直流電圧成分 ΔV_s の数倍の電圧が液晶層に印加されてしまう。このため、制御電極とコモン電極との間の直流電圧成分 V_s を小さくしても、焼き付きを抑制する効果は小さい。

【0062】

本願発明者等は、焼き付きを防止するためには、次のいずれかの対策をとることが必要であると考えた。

【0063】

50

(1) 直流電圧成分を有する信号が流れるバスライン (ゲートバスライン及びデータバスライン) とフローティング副画素電極との間を電氣的にシールドして、フローティング副画素電極への電荷の蓄積を抑制する。

【 0 0 6 4 】

(2) ゲートバスラインに流れる信号が有する直流電圧成分とデータバスラインに流れる信号が有する直流電圧成分とは逆極性である。これら 2 つの直流電圧成分の影響が打ち消し合うようにフローティング副画素電極とゲートバスライン及びデータバスラインとの間の抵抗を最適化する。

【 0 0 6 5 】

(3) フローティング副画素電極と制御電極との間の抵抗を小さくすると、液晶層に残留する直流電圧成分が小さくなる。しかし、フローティング副画素電極と制御電極との間の抵抗を小さくしすぎると、白茶けを抑制する効果が得られなくなる。白茶け及び焼き付きが発生しないように、フローティング副画素電極と制御電極との間の抵抗を最適化する。

10

【 0 0 6 6 】

(4) フローティング副画素電極に蓄積された電荷を一定の周期でデータバスライン又は補助容量バスライン等に流す。

【 0 0 6 7 】

(5) フローティング副画素電極とコモン電極との間の容量 (液晶容量) と並列に補助容量を形成して、液晶容量の変化の影響を小さくする。

20

【 0 0 6 8 】

以下、これらの対策を施した本発明の実施形態の液晶表示装置について説明する。

【 0 0 6 9 】

(第 1 の実施形態)

図 1 3 は本発明の第 1 の実施形態に係る液晶表示装置を示す平面図、図 1 4 (a) は図 1 3 の V I - V I 線による断面図、図 1 4 (b) は図 1 3 の V I I - V I I 線による断面図である。

【 0 0 7 0 】

T F T 基板のベースとなるガラス基板 1 1 1 の上には、水平方向 (X 方向) に延びる複数のゲートバスライン 1 1 2 と垂直方向 (Y 方向) に延びる複数のデータバスライン 1 1 5 とが形成されている。これらのゲートバスライン 1 1 2 及びデータバスライン 1 1 5 により区画される矩形の領域がそれぞれ画素領域である。また、ガラス基板 1 1 1 の上には、ゲートバスライン 1 1 2 と平行に配置され、各画素領域の中央を横断する補助容量バスライン 1 1 3 が形成されている。

30

【 0 0 7 1 】

ゲートバスライン 1 1 2 及び補助容量バスライン 1 1 3 とデータバスライン 1 1 5 との間には、例えば S i N 又は S i O₂ 等の絶縁材料よりなる第 1 の絶縁膜 1 1 4 が形成されており、この第 1 の絶縁膜 1 1 4 によりゲートバスライン 1 1 2 及び補助容量バスライン 1 1 3 とデータバスライン 1 1 5 との間が電氣的に分離されている。

【 0 0 7 2 】

40

各画素領域には、T F T 1 1 6 と、接続電極 1 1 7 a , 1 1 7 b と、制御電極 1 1 8 と、I T O 等の透明導電体からなる副画素電極 1 2 1 a ~ 1 2 1 c とが形成されている。制御電極 1 1 8 は補助容量バスライン 1 1 5 及び第 1 の絶縁膜 1 1 4 とともに補助容量電極を構成している。T F T 1 1 6 は図 1 3 に示すようにゲートバスライン 1 1 2 の一部をゲート電極としている。また、図 1 4 (a) に示すように、T F T 1 1 6 の活性層となる半導体膜 1 1 6 a はゲートバスライン 1 1 2 の上方に形成されており、この半導体膜 1 1 6 a の上にはチャネル保護膜 1 1 6 b が形成されている。

【 0 0 7 3 】

T F T 1 1 6 のドレイン電極 1 1 6 d はデータバスライン 1 1 5 に接続しており、ソース電極 1 1 6 s はゲートバスライン 1 1 2 を挟んでドレイン電極 1 1 6 d に対向する位置

50

に配置されている。また、制御電極 118 は第 1 の絶縁膜 114 を挟んで補助容量バスライン 113 に対向する位置に形成されている。接続電極 117a は副画素電極 121a の下方に配置されており、接続電極 117b は副画素電極 121c の下方に配置されている。これらの接続電極 117a, 117b 及び制御電極 118 は、配線 119 を介してソース電極 116s に接続されている。

【0074】

データバスライン 115、TFT 116、接続電極 117a, 117b、制御電極 118 及び配線 119 は、SiN 又は絶縁性樹脂等からなる第 2 の絶縁膜 120 により覆われており、この第 2 の絶縁膜 120 の上に副画素電極 121a ~ 121c が形成されている。図 13 に示すように、副画素電極（フローティング副画素電極）121b は画素領域の中央に配置されており、制御電極 118 と容量結合している。また、副画素電極 121a は副画素電極 121b と上側のゲートバスライン 112 との間に配置され、副画素電極 121c は副画素電極 121b と下側のゲートバスライン 112 との間に配置されている。これらの副画素電極 121a, 121c は、コンタクトホール 120a, 120b、接続電極 117a, 117b 及び配線 119 を介して TFT 116 のソース電極 116s に電氣的に接続されている。また、副画素電極 121a ~ 121c の表面は、例えばポリイミドからなる配向膜 122 に覆われている。

10

【0075】

なお、ゲートバスライン 112 及び補助容量バスライン 113 は、例えば Cr 膜又は Al-Ti 積層膜をフォトリソグラフィ法によりパターニングして同時に形成される。また、データバスライン 115、ソース電極 116s、ドレイン電極 116d 及び制御電極 118 は、例えば Ti-Al-Ti 積層膜をフォトリソグラフィ法によりパターニングして同時に形成される。

20

【0076】

一方、対向基板は、図 14(a), (b) に示すように、ベースとなるガラス基板 131 の一方の面側（図 14(a), (b) では下側）に形成されたカラーフィルタ 132 と、カラーフィルタ 132 の面上に形成されたコモン電極 133 と、コモン電極 133 の表面を覆う配向膜 134 とを備えている。コモン電極 133 は ITO 等の透明導電体により形成され、配向膜 134 は例えばポリイミドにより形成される。

【0077】

TFT 基板と対向基板とはそれぞれ配向膜が形成された面を内側にして配置され、スペーサを挟んで接合される。そして、これらの TFT 基板と対向基板との間には液晶 140 が封入されている。

30

【0078】

上述のように構成された第 1 の実施形態の液晶表示装置において、副画素電極 121a, 121c は TFT 116 に電氣的に接続しているので、TFT 116 がオンになるとデータバスライン 115 に接続される。このため、TFT 116 がオフの期間にゲートバスライン 112 に流れる信号の直流電圧成分により副画素電極 121a, 121b に電荷が蓄積されても、これらの電荷は TFT 116 がオンの期間にデータバスライン 115 に流れ、電荷の蓄積が回避される。従って、これらの副画素電極 121a, 121b では焼き付きが発生しない。

40

【0079】

一方、制御電極 118 と容量結合した副画素電極（フローティング副画素電極）121b は、ゲートバスライン 112 から離れているとともに、ゲートバスライン 112 との間に副画素電極 121a, 121c が介在しているので、ゲートバスライン 112 に流れる信号の直流電圧成分によるフローティング副画素電極 121b への電荷の蓄積が極めて少ない。これにより、焼き付きの発生が回避され、良好な表示品質が得られる。

【0080】

（変形例 1）

図 15 は第 1 の実施形態の変形例 1 の液晶表示装置を示す平面図、図 16 は図 15 の V

50

III - VIII 線による断面図である。これらの図 15 , 図 16 において、図 13 , 図 14 と同一物には同一符号を付して、その詳しい説明は省略する。

【0081】

図 15 , 図 16 に示す変形例 1 の液晶表示装置においては、1 画素内に 2 つの副画素電極 136a , 136b が設けられている。また、副画素電極 136a の下方には第 2 の絶縁膜 120 を挟んで制御電極 132 が設けられており、副画素電極 136a は制御電極 132 と容量結合している。

【0082】

補助容量バスライン 113 の上方には補助容量電極 134 が設けられており、この補助容量電極 134 はコンタクトホール 135 を介して副画素電極 136b と電氣的に接続されている。また、補助容量電極 134 及び制御電極 132 は、配線 133 を介して TFT 116 のソース電極 116s に電氣的に接続されている。

【0083】

更に、副画素電極 136a とデータバスライン 115 との間には、補助容量バスライン 113 から延び出したシールドパターン 131a , 131b が配置されている。補助容量バスライン 113 は、コモン電極 133 と同電位、又はコモン電極 133 の電位に対し一定の電位に維持される。

【0084】

この変形例 1 の液晶表示装置においては、フローティング副画素電極 136a とデータバスライン 115 との間に補助容量バスライン 113 と同電位に維持されるシールドパターン 131a , 131b が配置されているので、データバスライン 115 に流れる信号の直流成分によるフローティング副画素電極 136 への電荷の蓄積が抑制される。これにより、焼き付きが抑制されるという効果を奏する。

【0085】

(変形例 2)

図 17 は第 1 の実施形態の変形例 2 の液晶表示装置を示す平面図、図 18 は図 17 の I X - I X 線による断面図である。これらの図 17 , 図 18 において、図 15 , 図 16 と同一物には同一符号を付して、その詳しい説明は省略する。

【0086】

図 17 , 図 18 に示す変形例 2 の液晶表示装置においては、フローティング副画素電極 136a とデータバスライン 115 との間に、副画素電極 136a と同じ層に形成されたシールドパターン 138a , 138b が配置されている。これらのシールドパターン 138a , 138b は、第 1 及び第 2 の絶縁膜 114 , 120 に形成されたコンタクトホール 137a , 137b を介して補助容量バスライン 113 に電氣的に接続されている。補助容量バスライン 113 は、変形例 1 の液晶表示装置と同様に、コモン電極 133 と同電位、又はコモン電極 133 の電位に対し一定の電位に維持される。

【0087】

図 15 , 図 16 に示す変形例 1 の液晶表示装置ではシールドパターン 131a , 131b がデータバスライン 115 及び副画素電極 136a よりも下層に形成されているのに対し、変形例 2 の液晶表示装置ではシールドパターン 138a , 138b が副画素電極 136a と同じ層に形成されている。このため、変形例 2 の液晶表示装置では第 1 の絶縁膜 114 の抵抗成分がなくなり、変形例 1 の液晶表示装置に比べて副画素電極 136a をデータバスライン 115 からシールドする効果が大い。これにより、変形例 2 の液晶表示装置に比べて焼き付きをより一層確実に回避することができる。

【0088】

(変形例 3)

図 19 は第 1 の実施形態の変形例 3 の液晶表示装置を示す平面図、図 20 は図 19 の X - X 線による断面図である。これらの図 19 , 図 20 において、図 15 , 図 16 と同一物には同一符号を付して、その詳しい説明は省略する。

【0089】

10

20

30

40

50

図 19, 図 20 に示す変形例 3 の液晶表示装置においては、フローティング副画素電極 136a とデータバスライン 115 との間に、補助容量バスライン 113 から延びるシールドパターン 131a, 131b と、副画素電極 136a と同じ層に形成されたシールドパターン 142a, 142b とが配置されている。シールドパターン 142a, 142b は、第 1 及び第 2 の絶縁膜 114, 120 に形成されたコンタクトホール 141a, 141b を介してシールドパターン 131a, 131b に電氣的に接続されている。

【0090】

この変形例 3 の液晶表示装置においても、フローティング副画素電極 136a とデータバスライン 115 との間にシールドパターン 131a, 131b, 142a, 142b が形成されているので、データバスライン 115 に流れる直流電圧成分によるフローティ

10

ング副画素電極 136 への電荷の蓄積が抑制され、焼き付きを回避することができる。

【0091】

(変形例 4)

図 21 は、第 1 の実施形態の変形例 4 の液晶表示装置を示す平面図である。この図 21 において、図 15 と同一物には同一符号を付してその詳しい説明は省略する。

【0092】

図 21 に示す変形例 4 の液晶表示装置においては、フローティング副画素電極 136a の周囲を、補助容量バスライン 113 と同じ層に形成されて補助容量バスライン 113 に接続したシールドパターン 143 が囲んでいる。

【0093】

20

この変形例 4 の液晶表示装置においては、データバスライン 115 に流れる信号に含まれる直流電圧成分だけでなく、データバスライン 112 に流れる信号に含まれる直流電圧成分もシールドすることができるので、変形例 1 の液晶表示装置に比べて焼き付きをより一層確実に回避できるという効果を奏する。

【0094】

(変形例 5)

図 22 は、第 1 の実施形態の変形例 5 の液晶表示装置を示す平面図である。この図 22 において、図 13 と同一物には同一符号を付して、その詳しい説明を省略する。

【0095】

図 22 に示す液晶表示装置では、フローティング副画素電極 121b と図 22 の上側及び下側に示すゲートバスライン 112 との間に副画素電極 121a, 121c が配置されている。これらの副画素電極 121a, 121c は、コンタクトホール 120a, 120b 及び配線 119 を介して TFT 116 と電氣的に接続されている。また、フローティング副画素電極 121b と図 22 の右側及び左側のデータバスライン 115 との間には、それぞれ補助容量バスライン 113 から延び出したシールドパターン 145 が配置されている。

30

【0096】

この変形例 5 の液晶表示装置では、副画素電極 121a, 121c 及びシールドパターン 145 によりフローティング副画素電極 121b がゲートバスライン 112 及びデータバスライン 115 からシールドされるので、ゲートバスライン 112 及びデータバスライ

40

ン 115 を流れる信号の直流電圧成分による電荷の蓄積が抑制され、焼き付きを効果的に回避できるという効果を奏する。

【0097】

また、変形例 5 の液晶表示装置においては、TFT 116 に電氣的に接続している副画素電極 121a, 121b とデータバスライン 115 との間にもシールドパターン 145 が配置されているので、データバスライン 115 を流れる信号に含まれる直流電圧成分による副画素電極 121a, 121b への電荷の蓄積が抑制されるという効果もある。

【0098】

(変形例 6)

図 23 は、第 1 の実施形態の変形例 6 の液晶表示装置を示す平面図である。この図 23

50

において、図 2 2 と同一物には同一符号を付して、その詳しい説明を省略する。

【 0 0 9 9 】

図 2 3 に示す変形例 6 の液晶表示装置においては、フローティング副画素電極 1 2 1 b と、T F T 1 1 6 に直結した副画素電極 1 2 1 a , 1 2 1 c との間にも、補助容量バスライン 1 1 3 と同じ層に形成されて補助容量バスライン 1 1 3 に接続しているシールドパターン 1 4 6 が配置されている。この変形例 6 の液晶表示装置においても、ゲートバスライン 1 1 2 及びデータバスライン 1 1 5 を流れる信号の直流電圧成分による電荷の蓄積が抑制され、焼き付きを効果的に回避できる。

【 0 1 0 0 】

(変形例 7)

図 2 4 は、第 1 の実施形態の変形例 7 の液晶表示装置を示す平面図である。この図 2 4 において、図 1 3 と同一物には同一符号を付してその詳しい説明は省略する。

【 0 1 0 1 】

図 2 4 に示す変形例 7 の液晶表示装置においては、フローティング副画素電極 1 5 1 a の周囲を、副画素電極 1 5 1 b が囲んでいる。この副画素電極 1 5 1 b は、コンタクトホール 1 2 0 a , 1 2 0 b 及び配線 1 1 9 を介して T F T 1 1 6 のソース電極 1 1 6 s と電気的に接続されている。

【 0 1 0 2 】

この変形例 7 の液晶表示装置においても、フローティング副画素電極 1 5 1 a がゲートバスライン 1 1 2 及びデータバスライン 1 1 5 からシールドされるので、ゲートバスライン 1 1 2 及びデータバスライン 1 1 5 を流れる信号の直流電圧成分による電荷の蓄積が抑制され、焼き付きを効果的に回避できるという効果を奏する。

【 0 1 0 3 】

(第 2 の実施形態)

以下、本発明の第 2 の実施形態について説明する。

【 0 1 0 4 】

図 2 5 は、本発明の第 2 の実施形態の原理を示す図である。この図 2 5 は、フローティング副画素電極 F_{SE} とコモン電極、制御電極、ゲートバスライン及びデータバスラインとの間の等価回路を示している。

【 0 1 0 5 】

図 2 5 に示すように、フローティング副画素電極 F_{SE} とゲートバスラインとの間には抵抗 R_G が存在し、フローティング副画素電極 F_{SE} とデータバスラインとの間には抵抗 R_D が存在し、フローティング副画素電極 F_{SE} と制御電極との間には抵抗 R_C が存在し、フローティング副画素電極 F_{SE} とコモン電極との間には抵抗 (液晶抵抗) R_{LC} が存在するといえることができる。ここで、制御電極の電位を V_{sdc} 、コモン電極の電位を V_{com} 、ゲートバスラインを流れる信号の直流電圧成分 (中心電位) を V_{gdc} 、データバスラインを流れる信号の直流電圧成分 (中心電位) を V_{ddc} とする。

【 0 1 0 6 】

前述したように、ゲートバスラインには、T F T をオフにするために、コモン電極の電位に対し - 1.2 V 程度の直流電圧が印加される。また、データバスラインには、フィードスルー電圧を補償するために、コモン電極の電位に対し + 2 V 程度の直流電圧を表示信号に重畳させている。ゲートバスラインに印加される直流電圧成分とデータバスラインに印加される直流電圧成分とは逆極性であるので、下記 (4) 式が成り立つように V_{ddc} , V_{gdc} 、 R_g 及び R_d の値を設定すれば、ゲートバスライン及びデータバスラインを流れる信号の直流電圧成分によるフローティング副画素電極への電荷の蓄積が防止され、ひいては焼き付きの発生を防止することができる。

【 0 1 0 7 】

【 数 4 】

$$V_{ddc} \times R_g - V_{gdc} \times R_d = 0 \quad \cdots (4)$$

10

20

30

40

50

ゲートバスラインに流れる信号の直流電圧成分の影響の大きさ及びデータバスラインに流れる信号の直流電圧成分の影響の大きさは、電位差と抵抗とにより決定される。しかし、電位差 V_{ddc} 、 V_{gdc} は T F T の性能などにも関係し、調整の自由度は比較的小さい。一方、抵抗 R_g 、 R_d はフローティング副画素電極の大きさ、形状及び位置、並びに絶縁膜の厚さなどにより決定され、自由度は比較的大きい。そこで、本実施形態においては、ゲートバスラインに流れる信号の直流電圧成分の影響とデータバスラインに流れる信号の直流電圧成分の影響を相殺するように、フローティング副画素電極とゲートバスライン及びデータバスラインとの間の抵抗 R_g 、 R_d を調整する。

【0108】

図26は、横軸に R_g / R_d の値をとり、縦軸にフローティング副画素電極の最終到達電位をとって、それらの関係を示す図である。但し、図26において、抵抗 R_c 、 R_{LC} 及び R_d は同じ ($R_c = R_{LC} = R_d$) としている。また、 V_{com} 及び V_{sdc} はいずれも 0 V、 V_{gdc} は -1.1.28 V、 V_{ddc} は +1.13 V としている。この場合、図26からわかるように、抵抗 R_d の値を抵抗 R_g の10倍 ($R_g / R_d = 10$) とすると、ゲートバスラインに流れる信号の直流電圧成分の影響がデータバスラインに流れる直流電圧成分の影響により相殺され、焼き付きの発生を防止することができる。

【0109】

図27は、フローティング副画素電極とゲートバスライン及びデータバスラインとの間の抵抗を調整する方法を示す液晶表示装置の画素部の模式平面図、図28は同じくその模式断面図である。

【0110】

図27、図28に示す液晶表示装置は、ゲートバスライン212とデータバスライン215とにより区画される画素領域毎に、T F T 216と4つの副画素電極221a~221dと、制御電極218とを有している。

【0111】

制御電極218は、配線219を介してT F T 216のソース電極216sに電氣的に接続されている。また、副画素電極221a、221dはコンタクトホール220a、220c及び配線219を介してT F T 216のソース電極と電氣的に接続されており、副画素電極221cはコンタクトホール220b、制御電極218及び配線219を介して制御電極218に電氣的に接続されている。一方、副画素電極(フローティング副画素電極)221bは、第2の絶縁膜220を介して制御電極218と容量結合している。

【0112】

図28に示すように、ゲートバスライン212及び補助容量バスライン213はガラス基板211の上に形成されており、第1の絶縁膜214に覆われている。第1の絶縁膜214の上にはデータバスライン215、ソース電極216s、ドレイン電極216d、制御電極218及び配線219が形成されている。これらのデータバスライン215、ソース電極216s、ドレイン電極216d、制御電極218及び配線219は第2の絶縁膜220に覆われており、第2の絶縁膜220上に副画素電極221a~221dが形成されている。これらの副画素電極221a~221dは、ゲートバスライン212及び補助容量バスライン213の上方で屈曲するジグザグの線に沿って形成されたスリットにより分割されている。

【0113】

なお、図27において、一点鎖線231は対向基板側に形成される土手状の突起(ドメイン規制用構造物)の位置を示している。

【0114】

このような液晶表示装置において、ゲートバスライン212とフローティング副画素電極221bとが対向する部分の長さ(図27中に矢印Aで示す部分)を長くすると抵抗 R_g の値が減少し、短くすると抵抗 R_g の値が増加する。また、ゲートバスライン212とフローティング副画素電極221bとの間の距離(図27中に矢印Bで示す部分)を大きくすると抵抗 R_g の値が増加し、小さくすると抵抗 R_g の値が減少する。更に、第1の絶

10

20

30

40

50

縁膜 214 と第 2 の絶縁膜 220 との合計の厚さ（図 28 中に矢印 C で示す部分）を厚くすると R_g の値が増加し、薄くすると抵抗 R_g の値が減少する。

【0115】

また、データバスライン 215 とフローティング副画素電極 221b とが対向する部分の長さ（図 27 中に矢印 D で示す部分）を長くすると抵抗 R_d の値が減少し、短くすると抵抗 R_d の値が増加する。更に、データバスライン 215 とフローティング副画素電極 221b との間の距離（図 27 中に矢印 E で示す部分）を大きくすると抵抗 R_d が増加し、小さくすると抵抗 R_d の値が減少する。更にまた、第 2 の絶縁膜 220 の厚さ（図 28 中に矢印 F で示す部分）を厚くすると抵抗 R_d が増加し、薄くすると抵抗 R_d の値が減少する。

10

【0116】

第 2 の実施形態においては、これらのパラメータを調整することにより、ゲートバスライン 212 に流れる信号に含まれる直流電圧成分の影響とデータバスライン 215 に流れる信号に含まれる直流電圧成分の影響とを打ち消す。これにより、焼き付きを回避できて、良好な表示特性を得ることができる。

【0117】

（第 3 の実施形態）

以下、本発明の第 3 の実施形態について説明する。

【0118】

前述した（3）式を変形すると、下記（5）式が得られる。

20

【0119】

【数 5】

$$\begin{aligned}\Delta V_{LC2} &= \frac{((R_{LC2} \times C_{LC2}) - (R_C \times C_C))}{(R_{LC2} + R_C) \times C_{LC2}} \times \Delta V_s \\ &= \frac{(1 - (R_C / R_{LC2} \times C_C / C_{LC2}))}{(1 + R_C / R_{LC2})} \times \Delta V_s \quad \dots (5)\end{aligned}$$

この（5）式において、制御電極とフローティング副画素電極との間の容量 C_C とフローティング副画素電極とコモン電極との間の容量（液晶容量） C_{LC2} との比 C_C / C_{LC2} は、TFT に直結した副画素電極の電圧とフローティング副画素電極の電圧との電圧比に応じて決定される設計値である。

30

【0120】

図 29 は、横軸に R_C と R_{LC2} との比をとり、縦軸に直流電圧の倍率をとって、 C_C / C_{LC2} を一定（ $C_C / C_{LC2} = 1.00 \sim 9.00$ ）にした状態で制御電極とフローティング副画素電極との間の抵抗 R_C とフローティング副画素電極とコモン電極との間の抵抗 R_{LC2} に対する焼き付き電圧の依存性（DC 電圧倍率）を計算した結果を示す図、図 30 は同じくその計算値を示す図である。

【0121】

図 3，図 4 に示す構造の液晶表示装置の場合、液晶の比抵抗は TFT の絶縁膜の比抵抗に比べて 2 桁以上低いため、 R_C / R_{LC2} の値は 10^3 に近い値となる。このような場合、図 29，図 30 からわかるように、直流電圧の倍率は C_C / C_{LC2} にほぼ等しくなる。容量結合 HT 法ではフローティング副画素電極と TFT に直結した副画素電極との電圧比は $0.9 \sim 0.6$ 程度に設定されるため、直流電圧の倍率は最大で 9 程度になり、焼き付きが発生しやすくなる。

40

一方、図 31 から、制御電極とフローティング副画素電極との間の R_C を低下させることでフローティング副画素電極の電圧を大きく下げることができることがわかる。図 31 は、横軸に R_C / R_{LC2} の値をとり、縦軸に白表示部及び黒表示部の副画素電極の電位差をとって、それらの関係を示す図である。ここでは、 $C_{LCON} / C_{LCoff} = 1.5$ として計算している。

【0122】

50

この図 3 1 からわかるように、フローティング副画素電極の電圧（直流電圧成分）を下げるためには、 R_C の値が R_{LC2} の値の 100 倍以下であることが必要である。

【0123】

但し、制御電極とフローティング副画素電極との間の抵抗 R_C が低くなると、フローティング副画素電極と TFT に直結した副画素電極との間で電流が流れるため、これらの副画素電極間の電位差が徐々に失われて、容量結合 HT 法による白茶け抑制の効果が小さくなってしまふ。

【0124】

図 3 2 は、フローティング副画素電極と TFT に直結した副画素電極とを示す等価回路図である。ここで、 C_1 は TFT に直結した副画素電極がもつ容量（ $C_1 = C_{LC} + C_S$ ）、 C_2 はフローティング副画素電極がもつ容量（ $C_2 = C_{LC2} + C_{S2}$ ）、 C_C はフローティング副画素電極と TFT に直結した副画素電極との間の容量、 R はフローティング副画素電極と TFT に直結した副画素電極との間の抵抗である。この場合、時間 t におけるフローティング副画素電極の電圧 $V_C(t)$ は、下記（6）式により求めることができる。

【0125】

【数 6】

$$V_C(t) = V_C(0) \times \exp\left(-t / ((C_{se} + C_C) \times R)\right) \quad \cdots (6)$$

但し、 C_{se} は C_1 と C_2 との直列接続容量（ $C_{se} = (1 / ((1 / C_1) - (1 / C_2)))$ ）である。

【0126】

図 3 3 は、横軸にフローティング副画素電極と TFT に直結した副画素電極との間の抵抗 R をとり、縦軸に 1 フレーム期間（ $t = 16.6 \text{ msec}$ ）における電圧保持率をとって、それらの関係を示す図である。但し、ここでは図 3、図 4 に示す構造の液晶表示装置を想定しており、画素ピッチを $125 \mu\text{m}$ 、フローティング副画素電極と TFT に直結した副画素電極との面積比を 3 : 7、フローティング副画素電極に印加される表示電圧と TFT に直結した副画素電極に印加される表示電圧との比を 0.72 として計算している。

【0127】

この図 3 3 からわかるように、例えばフローティング副画素電極と TFT に直結した副画素電極との間の抵抗を $10^{11} \Omega$ 以上にすれば、電圧保持率が約 90% 以上に維持される。電圧保持率が 50% よりも低くなると抵抗のばらつきによる電位差の変動が最大になることから、表示の安定性を考慮すれば電圧保持率を 50% 以上とすることが好ましい、

以上のことから、 R_C が R_{LC2} の 100 倍以下であり、1 フレーム期間の電圧保持率が 50% 以上となるようにフローティング副画素電極と TFT に直結した副画素電極との間の抵抗 R を設定することにより、焼き付きを防止する効果が得られる。

【0128】

図 3 4 は、上記の対策を施した第 3 の実施形態の液晶表示装置の TFT 基板を示す平面図、図 3 5 は同じくその断面図である。

【0129】

図 3 4 に示すように、TFT 基板には、水平方向に延びる複数（図 3 4 では 1 本のみ図示）のゲートバスライン 312 と、垂直方向に延びる複数（図 3 4 では 1 本のみ図示）のデータバスライン 315 とが形成されている。これらのゲートバスライン 312 及びデータバスライン 315 により区画される矩形の領域がそれぞれ画素領域である。また、TFT 基板には、画素領域を横断する補助容量バスライン 313 がゲートバスライン 312 と平行に形成されている。ゲートバスライン 312 及び補助容量バスライン 313 とデータバスライン 315 との間には後述するように第 1 の絶縁膜 314 が形成されており、この第 1 の絶縁膜 314 によりゲートバスライン 312 及び補助容量バスライン 313 とデータバスライン 315 との間が電氣的に分離されている。

【0130】

各画素領域には、TFT 316 と、制御電極 318 と、4 つの副画素電極 321a ~ 3

10

20

30

40

50

21dとが形成されている。TFT316のドレイン電極316はデータバスライン315に接続しており、ソース電極316sは配線319を介して制御電極318に接続されている。

【0131】

副画素電極321a~321dは、ゲートバスライン312及び補助容量バスライン313の上で屈曲するジグザグの線に沿って形成されたスリットにより分離されている。そして、副画素電極321a, 321dは、コンタクトホール320a, 320c及び配線319を介してソース電極316sに電氣的に接続されており、副画素電極321cはコンタクトホール320bを介して制御電極318に電氣的に接続されている。また、副画素電極(フローティング副画素電極)321bは、後述する第2の絶縁膜320を介して制御電極318に容量結合している。更に、これらの副画素電極321a~321dは、高抵抗導電材料によりなる接続部323により電氣的に接続されている。なお、制御電極318は補助容量電極を兼ねており、補助容量バスライン313及び第1の絶縁膜314とともに補助容量を構成する。

10

【0132】

以下、図35を参照してTFT基板の層構造について説明する。

【0133】

TFT基板のベースとなるガラス基板311の上には、ゲートバスライン312及び補助容量バスライン313が形成されている。これらのゲートバスライン312及び補助容量バスライン313は、例えばCr膜又はAl-Ti積層膜をフォトリソグラフィ法によりパターニングして同時に形成される。

20

【0134】

また、ガラス基板311の上には、SiN又はSiO₂等の絶縁材料からなる第1の絶縁膜314が形成されており、この第1の絶縁膜314によりゲートバスライン312及び補助容量バスライン314が覆われている。

【0135】

第1の絶縁膜314の上には、データバスライン315と、TFT316のソース電極316s及びドレイン電極316dと、制御電極318と、配線319とが形成されている。これらのデータバスライン315、ソース電極316s、ドレイン電極316d、制御電極318及び配線319は、例えばTi-Al-Ti積層膜をフォトリソグラフィ法によりパターニングして同時に形成される。

30

【0136】

図34に示すように、TFT316はゲートバスライン312の一部をゲート電極としており、ゲート電極の上に活性層となる半導体膜(図示せず)とチャネル保護膜316bとが形成されている。ソース電極316s及びドレイン電極316dは、ゲートバスライン312を挟んで対向して配置されている。

【0137】

これらのデータバスライン315、ソース電極316s、ドレイン電極316d、制御電極318及び配線319は、例えばSiN又は絶縁性樹脂からなる第2の絶縁膜320に覆われている。この第2の絶縁膜320の上に副画素電極321a~321dが形成されている。これらの副画素電極321a~321dは、例えばITO等の透明導電体により形成されている。副画素電極321a, 321dはそれぞれ第2の絶縁膜320に形成されたコンタクトホール320a, 320cを介して配線319に電氣的に接続されており、副画素電極321cはコンタクトホール320bを介して制御電極318に電氣的に接続されている。また、副画素電極321bは、第2の絶縁膜320を介して制御電極318と容量結合している。

40

【0138】

副画素電極321a~321dは、高抵抗の導電体材料からなる接続部323を介して電氣的に接続されている。そして、副画素電極321a~321d及び接続部323の上には、例えばポリイミドからなる配向膜322が形成されている。

50

【0139】

接続部323は例えば不純物を導入したアモルファスシリコンにより形成され、前述したようにフローティング副画素電極321bとTFT316に直結した副画素電極321a, 321c, 321dとの間の抵抗Rがフローティング副画素電極321bと共通電極との間の抵抗の100倍以下であり、且つ1フレーム期間の電圧保持率が50%以上となるように設定される。

【0140】

接続部323の材料は上述したアモルファスシリコンに限定されるものではなく、例えば有機導電体物質により形成してもよい。しかし、接続部323の材料としては、適度な範囲の抵抗値を有し、且つ液晶を汚染するおそれがないことが好ましい。また、配向膜形成プロセス等に耐性があることも必要である。例えば、溶剤に溶けにくく、耐熱性が高いものが好ましい。

10

【0141】

なお、図34において、一点鎖線331は対向基板側に形成される土手状の突起（ドメイン規制用構造物）の位置を示している。

【0142】

本実施形態の液晶表示装置においては、フローティング副画素電極321bとTFT316に直結された副画素電極321a, 321c, 321dとの間が高抵抗の接続部323により電氣的に接続され、フローティング副画素電極321bとTFT316に直結した副画素電極321a, 321c, 321dとの間の抵抗Rがフローティング副画素電極321bと共通電極との間の抵抗の100倍以下であり、且つ1フレーム期間の電圧保持率が50%以上となるように設定されているので、白茶けを抑制できるとともに、焼き付きの発生を回避することができ、良好な表示品質が得られる。

20

【0143】

（変形例1）

図36は第3の実施形態の変形例1の液晶表示装置を示す平面図、図37は同じくその断面図である。これらの図36, 図37において、図34, 図35と同一物には同一符号を付してその詳しい説明は省略する。

【0144】

この変形例1の液晶表示装置においては、フローティング副画素電極321bとTFT316に直結した副画素電極321a, 321c, 321dとの間を電氣的に接続する接続部324が、副画素電極321a～321dを分離するスリットに沿って土手状に形成されている。接続部324は、例えば不純物を導入したアモルファスシリコン等の高抵抗の導電材料により形成されている。副画素電極321a～321d及び接続部324の表面は配向膜322に覆われている。

30

【0145】

一方、対向基板のベースとなるガラス基板331の一方の面側（図37では下側）には、カラーフィルタ332及び共通電極333が形成されており、共通電極333の上（図37では下側）にはドメイン規制用突起334が土手状に形成されている。共通電極333及び突起334の表面は配向膜335で覆われている。突起334は誘電体により形成してもよく、接続部324と同様に高抵抗の導電材料により形成してもよい。

40

【0146】

この液晶表示装置においては、図37に示すように、TFT基板側に形成された土手状の接続部324と対向基板側に形成された土手状の突起334とによりマルチドメインを達成することができる。すなわち、電圧印加時には液晶分子34aの傾斜方向が土手状の接続部324及び突起334の両側で異なり、斜め方向への光の漏れを防止することができる。

【0147】

この液晶表示装置においても、フローティング副画素電極321bとTFT316に直結された副画素電極321a, 321c, 321dとの間が例えばアモルファスシリコン

50

からなる高抵抗の接続部 3 2 3 により電氣的に接続され、フローティング副画素電極 3 2 1 b と制御電極 3 1 8 との間の抵抗がフローティング副画素電極 3 2 1 b とコモン電極との間の抵抗の 1 0 0 倍以下であり、且つ 1 フレーム期間の電圧保持率が 5 0 % 以上となるように設定されている。これにより、白茶けを抑制できるとともに、焼き付きの発生を回避することができ、良好な表示品質が得られる。

【 0 1 4 8 】

なお、ドメイン規制用突起となる接続部 3 2 4 が低抵抗であると、接続部 3 2 4 全体が画素電極 3 2 1 a ~ 3 2 1 d と同電位になるため、接続部 3 2 4 から基板面に対し垂直方向に電気力線が発生するようになり、マルチドメインを達成することができなくなる。しかし、上記の例では接続部 3 2 4 が高抵抗の導電材料により形成されているため、液晶分子を所定の方向に配向させることができる。

10

【 0 1 4 9 】

(第 4 の実施形態)

図 3 8 は本発明の第 4 の実施形態の液晶表示装置を示す平面図、図 3 9 は同じくその X I - X I 線における断面図である。これらの図 3 8 , 図 3 9 において、図 1 3 , 図 1 4 (a) , (b) と同一物には同一符号を付してその詳しい説明は省略する。

【 0 1 5 0 】

本実施形態においては、ゲートバスライン 1 1 2 とデータバスライン 1 1 5 とにより区画される 1 画素領域に、3 つの副画素電極 1 2 1 a ~ 1 2 1 c を有している。副画素電極 1 2 1 a , 1 2 1 c は第 2 の絶縁膜 1 2 0 に形成されたコンタクトホール 1 2 0 a , 1 2 0 b を介して、T F T 1 1 6 のソース電極 1 1 6 s から延び出した配線 1 1 9 に電氣的に接続されている。また、副画素電極 (フローティング副画素電極) 1 2 1 b は第 2 の絶縁膜 1 2 0 を挟んで制御電極 1 1 8 と容量結合している。

20

【 0 1 5 1 】

副画素電極 1 2 1 b とデータバスライン 1 1 5 との間、及び副画素電極 1 2 1 b と副画素電極 1 2 1 a との間は、補助容量バスライン 1 1 3 と接続されたシールドパターン 4 1 2 によりシールドされている。

【 0 1 5 2 】

副画素電極 1 2 1 b と副画素電極 1 2 1 c との間には、T F T 4 1 1 が形成されている。この T F T 4 1 1 のゲート電極 4 1 1 g は、T F T 1 1 6 が接続されているゲートバスライン 1 1 2 (n 番目のゲートバスライン) とは別のゲートバスライン 1 1 2 (n - 1 番目のゲートバスライン) に接続されており、ソース電極 4 1 1 s 及びドレイン電極 4 1 1 d はコンタクトホール 4 1 3 a , 4 1 3 b を介して副画素電極 1 2 1 b , 1 2 1 c に接続されている。

30

【 0 1 5 3 】

図 4 0 は、上述した液晶表示装置の 1 画素を示す等価回路図である。図 4 0 において、T F T 1 1 6 は n 番目のゲートバスライン 1 1 2 (n) に接続された T F T であり、上述したように T F T 1 1 6 のソース電極 1 1 6 s は副画素電極 1 2 1 a , 1 2 1 c 及び制御電極 1 1 8 に直結している。C_{LC} は T F T 1 1 6 に直結した副画素電極 1 2 1 a , 1 2 1 c とコモン電極 1 3 3 との間の容量 (液晶容量) であり、C_s は制御電極 1 1 8 と補助容量バスライン 1 1 3 との間の容量 (補助容量) である。また、C_c は制御電極 1 1 8 とフローティング副画素電極 1 2 1 b との間の容量であり、C_{LC2} はフローティング副画素電極 1 2 1 b とコモン電極 1 3 3 との間の容量である。

40

【 0 1 5 4 】

更に、T F T 4 1 1 は、副画素電極 1 2 1 b , 1 2 1 c 間に形成された T F T であり、そのゲート電極 4 1 1 g は n - 1 番目のゲートバスライン 1 1 2 (n - 1) に接続されている。

【 0 1 5 5 】

本実施形態の液晶表示装置は、T F T 1 1 6 を介して副画素電極 1 2 1 a , 1 2 1 c 及び制御電極 1 1 8 に表示電圧が印加される前 (1 水平走査期間の時間分だけ前) に、T F

50

T 4 1 1 がオンになってフローティング副画素電極 1 2 1 b の電位が T F T 1 1 6 に直結した副画素電極 1 2 1 a , 1 2 1 c 及び制御電極 1 1 8 の電位と同じになる。これにより、ゲートバスライン 1 1 2 及びドレインバスライン 1 1 5 に流れる信号に含まれる直流電圧成分に起因してフローティング副画素電極 1 2 1 b に蓄積された電荷が、副画素電極 1 2 1 a , 1 2 1 c 及び制御電極 1 1 8 に流れる。従って、フローティング副画素電極 1 2 1 b への電荷の蓄積が抑制され、焼き付きが回避されるという効果が得られる。

【 0 1 5 6 】

(変形例 1)

図 4 1 は第 4 の実施形態の液晶表示装置の変形例 1 を示す平面図である。この図 4 1 において、図 3 8 と同一物には同一符号を付してその詳しい説明は省略する。

10

【 0 1 5 7 】

本実施形態においては、T F T 1 1 6 に直結した副画素電極 1 2 1 c とフローティング副画素電極 1 2 1 b との間に、2 つの T F T 4 2 1 , 4 2 2 が配置されている。これらの T F T 4 2 1 , 4 2 2 はドレイン電極同士が接続されている。また、T F T 4 2 1 , 4 2 2 のゲート電極 4 2 1 g , 4 2 2 g は配線 4 1 4 を介して n - 1 番目のゲートバスライン 1 2 2 (n) に接続されており、ソース電極はそれぞれフローティング副画素電極 1 2 1 b 、副画素電極 1 2 1 c に接続されている。そして、T F T 4 2 1 , 4 2 2 のドレイン電極は、接続部 4 2 3 及び配線 4 2 4 を介して、補助容量バスライン 1 1 3 から延び出したシールドパターン 4 1 2 に接続されている。

【 0 1 5 8 】

20

図 4 2 は上述した液晶表示装置の 1 画素を示す等価回路図である。図 4 2 において、T F T 1 1 6 は n 番目のゲートバスライン 1 1 2 (n) に接続された T F T であり、この T F T 1 1 6 のソース電極 1 1 6 s は副画素電極 1 2 1 a , 1 2 1 c 及び制御電極 1 1 8 に電氣的に接続している。C_{LC} は T F T 1 1 6 に直結した副画素電極 1 2 1 a , 1 2 1 c とコモン電極 1 3 3 との間の容量 (液晶容量) であり、C_s は制御電極 1 1 8 と補助容量バスライン 1 1 3 との間の容量 (補助容量) である。また、C_c は制御電極 1 1 8 とフローティング副画素電極 1 2 1 b との間の容量であり、C_{LC2} はフローティング副画素電極 1 2 1 b とコモン電極 1 3 3 との間の容量である。

【 0 1 5 9 】

更に、T F T 4 2 1 , 4 2 2 は副画素電極 1 2 1 b , 1 2 1 c 間に接続された T F T である。この T F T 4 2 1 のゲート電極は n - 1 番目のゲートバスライン 1 1 2 (n - 1) に接続され、ソース電極及びドレイン電極はフローティング副画素電極 1 2 1 b と容量バスライン 1 1 3 との間に接続されている。また、T F T 4 2 2 のゲート電極も n - 1 番目のゲートバスライン 1 1 2 (n - 1) に接続され、ソース電極及びドレイン電極は副画素電極 1 2 1 c と補助容量バスライン 1 1 3 との間に接続されている。なお、補助容量バスライン 1 1 3 は、T F T 基板側のコモン電極と同電位に維持されるものとする。

30

【 0 1 6 0 】

本実施形態の液晶表示装置においても、T F T 1 1 6 を介して副画素電極 1 2 1 a , 1 2 1 c 及び制御電極 1 1 8 に表示電圧が印加される前 (1 水平走査期間の時間分だけ前) に、T F T 4 2 1 , 4 2 2 がオンになってフローティング副画素電極 1 2 1 b 及び T F T 1 1 6 に直結された副画素電極 1 2 1 a , 1 2 1 c の電位が補助容量バスライン 1 1 3 の電位と同じになる。これにより、ゲートバスライン 1 1 2 及びドレインバスライン 1 1 5 に流れる信号に含まれる直流電圧成分に起因してフローティング副画素電極 1 2 1 b 及び副画素電極 1 2 1 a , 1 2 1 c に蓄積された電荷が、補助容量バスライン 1 1 3 に流れる。従って、フローティング副画素電極 1 2 1 b への電荷の蓄積が抑制され、焼き付きを回避できるという効果を得ることができる。

40

【 0 1 6 1 】

なお、上記の変形例 1 では T F T 1 1 6 に直結した副画素電極 1 2 1 a , 1 2 1 c に蓄積される電荷を T F T 4 2 2 を介して補助容量バスライン 1 1 3 に流すものとしたが、前述したようにこれらの副画素電極 1 2 1 a , 1 2 1 c は 1 フレーム毎にデータバスライン

50

115に接続されるので、副画素電極121a, 121cに蓄積される電荷の影響は極めて少ない。従って、TFT422を省略することも可能である。

【0162】

(第5の実施形態)

以下、本発明の第5の実施形態について説明する。

【0163】

図43は第5の実施形態の原理を示す画素の回路図である。この図43において、 C_C , R_C はそれぞれ制御電極とフローティング副画素電極との間の容量及び抵抗であり、 C_{LC2} , R_{LC2} はそれぞれフローティング副画素電極とコモン電極との間の容量(液晶容量)及び抵抗(液晶抵抗)である。

10

【0164】

前述したように、白表示部と黒表示部でフローティング副画素電極に電位差が生じる原因の一つは、液晶容量 C_{LC2} が変動するためである。そこで、第5の実施形態においては、液晶容量 C_{LC2} に並列に補助容量 C_{S2} を接続し、フローティング副画素電極とコモン電極との間の容量の変動の影響を小さくする。

【0165】

図44は、横軸に R_C / R_{LC2} をとり、縦軸に白表示部及び黒表示部のフローティング副画素電極の電位差をとって、補助容量 C_{S2} がないとき(0.00倍)、及び補助容量 C_{S2} の値が液晶容量 C_{LC2} の値の0.25倍~1.5倍のときの R_C / R_{LC2} と、白表示部及び黒表示部のフローティング副画素電極の電位差との関係を示す図である。但し、ここでは、 C_C / C_{LC2} の値は2.57としている。

20

【0166】

この図44と図31との比較からわかるように、液晶容量 C_{LC2} に並列に補助容量 C_{S2} を接続することにより、白表示部及び黒表示部のフローティング副画素電極の電位差が減少する。例えば、補助容量 C_{S2} の値が液晶容量 C_{LC2} の値と同じ($C_{S2} / C_{LC2} = 1.00$)であるとする、焼き付きの原因となる白表示部及び黒表示部のフローティング副画素電極の電位差は、ほぼ1/2に減少する。

【0167】

図45は上述の対策を施した液晶表示装置を示す平面図、図46は図45のXII-XII線による断面図である。図45, 図46において、図13, 図14(a), (b)と同一物には同一符号を付してその詳しい説明は省略する。

30

【0168】

本実施形態の液晶表示装置においては、補助容量バスライン113の上方に、制御電極511と補助容量電極512とが形成されている。制御電極511は、第2の絶縁膜140を介してフローティング副画素電極121bに容量結合している。また、制御電極511は配線119を介してTFT116のソース電極116sに電氣的に接続されるとともに、配線119とコンタクトホール120a, 120bを介して副画素電極121a, 121cに電氣的に接続されている。更に、制御電極511は、補助容量バスライン113及び第1の絶縁膜114とともに第1の補助容量を構成している。なお、補助容量バスライン113は、対向基板側のコモン電極と同電位に維持されるものとする。

40

【0169】

補助容量電極512は、第2の絶縁膜140に形成されたコンタクトホール513を介してフローティング副画素電極121bに電氣的に接続している。また、補助容量電極512は、補助容量バスライン113及び第1の絶縁膜114とともに第2の補助容量 C_{S2} を構成している。

【0170】

本実施形態においては、図43の等価回路図に示すように、液晶容量 C_{LC2} と並列に補助容量 C_{S2} を設けているので、白表示部及び黒表示部のフローティング副画素電極の電位差が小さくなり、焼き付きの発生を防止することができる。

【0171】

50

なお、補助容量電極 5 1 2 を設けしないでフローティング副画素電極 1 2 1 b と補助容量バスライン 1 1 3 とにより補助容量 C_{S2} を構成することも考えられる。しかし、その場合はフローティング副画素電極 1 2 1 b と補助容量バスライン 1 1 3 との間に第 1 及び第 2 の絶縁膜 1 1 4 , 1 2 0 が介在するため、補助容量 C_{S2} の容量値が小さくなり、焼き付きの発生を防止する効果が小さくなってしまう。このため、上述したように第 1 の絶縁膜 1 1 4 上に補助容量電極 5 1 2 を形成し、この補助容量電極 5 1 2 とフローティング副画素電極 1 2 1 b とを電氣的に接続することが好ましい。

【 0 1 7 2 】

上記第 1 ~ 第 5 の実施形態に示した焼き付き防止方法は、T N 型液晶表示装置及び V A 型液晶表示装置など、種々の構造の液晶表示装置に適用することができる。また、本発明は、透過型液晶表示装置だけでなく、反射型液晶表示装置及び半透過型液晶表示装置に適用することもできる。

【 0 1 7 3 】

以下、本発明の諸態様を、付記としてまとめて記載する。

【 0 1 7 4 】

(付記 1) 相互に対向して配置された第 1 及び第 2 の基板と、
前記第 1 及び第 2 の基板間に封入された液晶と、
前記第 1 の基板に形成されたゲートバスライン及びデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成さ
れた複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極とを有する液晶表示装置において、

前記制御電極と容量結合した副画素電極と前記ゲートバスライン及び前記データバスラインのうちの少なくとも一方のバスラインとの間を電氣的にシールドするシールド部材を有することを特徴とする液晶表示装置。

【 0 1 7 5 】

(付記 2) 前記シールド部材が、前記複数の副画素電極のうち前記薄膜トランジスタに接続された副画素電極であることを特徴とする付記 1 に記載の液晶表示装置。

【 0 1 7 6 】

(付記 3) 前記シールド部材となる副画素電極が、前記制御電極と容量結合した副画素電極の周囲を囲んでいることを特徴とする付記 2 に記載の液晶表示装置。

【 0 1 7 7 】

(付記 4) 更に、一定の電位に維持され、前記制御電極と容量結合して補助容量を構成する補助容量バスラインを有することを特徴とする付記 1 に記載の液晶表示装置。

【 0 1 7 8 】

(付記 5) 前記シールド部材が前記補助容量バスラインに電氣的に接続されていることを特徴とする付記 4 に記載の液晶表示装置。

【 0 1 7 9 】

(付記 6) 前記シールド部材が、前記副画素電極と同じ層に形成されていることを特徴とする付記 5 に記載の液晶表示装置。

【 0 1 8 0 】

(付記 7) 前記制御電極と容量結合した副画素電極と前記ゲートバスラインとの間に前記シールド部材として前記複数の副画素電極のうち前記薄膜トランジスタに接続された副画素電極が配置され、前記制御電極と容量結合した副画素電極と前記データバスラインとの間に前記補助容量バスラインに電氣的に接続したシールド部材が配置されていることを特徴とする付記 4 に記載の液晶表示装置。

【 0 1 8 1 】

(付記 8) 相互に対向して配置された第 1 及び第 2 の基板と、

前記第 1 及び第 2 の基板間に封入された液晶と、
 前記第 1 の基板に形成されたゲートバスライン及びデータバスラインと、
 前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
 前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、

前記第 2 の基板に形成されて前記第 1 の基板の前記複数の副画素電極に対向するコモン電極とを有する液晶表示装置の焼き付き防止方法であって、

前記コモン電極の電位に対する前記ドレインバスラインの中心電位を V_{ddc} 、前記コモン電極の電位に対する前記ゲートバスラインの中心電位を V_{gdc} 、前記制御電極と容量結合した副画素電極と前記データバスラインとの間の抵抗を R_d 、前記制御電極と容量結合した副画素電極と前記ゲートバスラインとの間の抵抗を R_g としたときに、 $V_{ddc} - V_{gdc} \times R_d / R_g$ がほぼ 0 となるように前記制御電極と容量結合した副画素電極の大きさ、形状及び位置並びに絶縁膜の厚さを設定することを特徴とする液晶表示装置の焼き付き防止方法。

【 0 1 8 2 】

(付記 9) 相互に対向して配置された第 1 及び第 2 の基板と、

前記第 1 及び第 2 の基板間に封入された液晶と、
 前記第 1 の基板に形成されたゲートバスライン及びデータバスラインと、
 前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
 前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、

前記第 2 の基板に形成されて前記第 1 の基板の複数の副画素電極に対向するコモン電極とを有する液晶表示装置において、

前記制御電極と容量結合した副画素電極と、前記薄膜トランジスタに接続された副画素電極との間が、抵抗体を介して接続されていることを特徴とする液晶表示装置。

【 0 1 8 3 】

(付記 1 0) 前記抵抗体の抵抗値が、前記制御電極と容量結合した副画素電極と前記コモン電極との間の抵抗 R_{LC} の抵抗値の 1 0 0 倍以下であることを特徴とする付記 9 に記載の液晶表示装置。

【 0 1 8 4 】

(付記 1 1) 前記抵抗体の抵抗値が、前記制御電極と容量結合した副画素電極の 1 フレーム期間における電圧保持率が 5 0 % 以上となるように設定されていることを特徴とする付記 9 に記載の液晶表示装置。

【 0 1 8 5 】

(付記 1 2) 前記抵抗体が、シリコンにより形成されていることを特徴とする付記 9 に記載の液晶表示装置。

【 0 1 8 6 】

(付記 1 3) 前記抵抗体が前記複数の副画素電極間を分離するスリットに沿って土手状に形成され、該抵抗体が液晶分子の傾斜方向を決めるドメイン規制用構造物の少なくとも一部を構成することを特徴とする付記 9 に記載の液晶表示装置。

【 0 1 8 7 】

(付記 1 4) 相互に対向して配置された第 1 及び第 2 の基板と、

前記第 1 及び第 2 の基板間に封入された液晶と、
 前記第 1 の基板に形成されたゲートバスライン及びデータバスラインと、
 前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
 前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成さ

10

20

30

40

50

れた複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、

一定の電位に保持され、前記制御電極との間で補助容量を構成する補助容量バスラインとを有する液晶表示装置において、

前記制御電極と容量結合した副画素電極と前記補助容量バスラインとの間、又は前記制御電極と容量結合した副画素電極と前記薄膜トランジスタに接続した副画素電極との間に、前記薄膜トランジスタが接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動するスイッチング素子を有することを特徴とする液晶表示装置。

【0188】

10

(付記15) 前記スイッチング素子が薄膜トランジスタであることを特徴とする付記14に記載の液晶表示装置。

【0189】

(付記16) 相互に対向して配置された第1及び第2の基板と、
前記第1及び第2の基板間に封入された液晶と、
前記第1の基板に形成されたゲートバスライン及びデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、

20

一定の電位に保持され、前記制御電極との間で第1の補助容量を構成する補助容量バスラインとを有する液晶表示装置の焼き付き防止方法であって、

前記制御電極と容量結合した副画素電極と前記コモン電極との間の容量に並列に第2の補助容量を形成することを特徴とする液晶表示装置の焼き付き防止方法。

【0190】

(付記17) 相互に対向して配置された第1及び第2の基板と、
前記第1及び第2の基板間に封入された液晶と、
前記第1の基板に形成されたゲートバスライン及びデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

30

前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、

一定の電位に保持され、前記制御電極との間で第1の補助容量を構成する補助容量バスラインと、

前記制御電極と容量結合する副画素電極と電氣的に接続し、前記補助容量バスラインとの間で第2の補助容量を構成する補助容量電極と

を有することを特徴とする液晶表示装置。

【0191】

40

(付記18) 前記補助容量電極が、前記制御電極と前記補助容量バスラインとの間の層に形成されていることを特徴とする付記17に記載の液晶表示装置。

【図面の簡単な説明】

【0192】

【図1】図1(a)、(b)は、MVA型液晶表示装置の一例を示す模式断面図である。

【図2】図2は、液晶表示装置の画面を正面から見たときのT-V(透過率-電圧)特性と、上60°の方向から見たときのT-V特性とを示す図である。

【図3】図3は、容量結合によるHT法を実現する液晶表示装置のTFT基板の一例を示す平面図である。

【図4】図4は、図3のI-I線による断面図である。

50

【図 5】図 5 は、図 3 に示す液晶表示装置の 1 画素を示す等価回路図である。

【図 6】図 6 は、特許第 3 0 7 6 9 3 8 号の明細書に開示された液晶表示装置を示す平面図である。

【図 7】図 7 (a) ~ (c) は、焼き付きの程度を測定する試験方法を示す模式図 (その 1) である。

【図 8】図 8 は、焼き付きの程度を測定する試験方法を示す模式図 (その 2) である。

【図 9】図 9 は、フローティング副画素電極を備えた液晶表示装置の 1 画素を示す平面図である。

【図 1 0】図 1 0 (a) は図 9 の II - II 線の位置における模式断面図、図 1 0 (b) は図 9 の III - III 線の位置における模式断面図、図 1 0 (c) は図 9 の IV - IV 線の位置
10 における模式断面図、図 1 0 (d) は図 9 の V - V 線の位置における模式断面図である。

【図 1 1】図 1 1 は、フローティング副画素電極により構成される副画素の等価回路を示す図である。

【図 1 2】図 1 2 は、液晶層に表示電圧が印加されたとき (液晶 ON) の ΔV_s と ΔV_{LC2} との関係と、液晶層に表示電圧が印加されていないとき (液晶 OFF) の ΔV_s と ΔV_{LC2} との関係とを示す図である。

【図 1 3】図 1 3 は、本発明の第 1 の実施形態に係る液晶表示装置を示す平面図である。

【図 1 4】図 1 4 (a) は図 1 3 の VI - VI 線による断面図、図 1 4 (b) は図 1 3 の VII - VII 線による断面図である。

【図 1 5】図 1 5 は、第 1 の実施形態の変形例 1 の液晶表示装置を示す平面図である。
20

【図 1 6】図 1 6 は、図 1 5 の VIII - VIII 線による断面図である。

【図 1 7】図 1 7 は、第 1 の実施形態の変形例 2 の液晶表示装置を示す平面図である。

【図 1 8】図 1 8 は、図 1 7 の IX - IX 線による断面図である。

【図 1 9】図 1 9 は、第 1 の実施形態の変形例 3 の液晶表示装置を示す平面図である。

【図 2 0】図 2 0 は、図 1 9 の X - X 線による断面図である。

【図 2 1】図 2 1 は、第 1 の実施形態の変形例 4 の液晶表示装置を示す平面図である。

【図 2 2】図 2 2 は、第 1 の実施形態の変形例 5 の液晶表示装置を示す平面図である。

【図 2 3】図 2 3 は、第 1 の実施形態の変形例 6 の液晶表示装置を示す平面図である。

【図 2 4】図 2 4 は、第 1 の実施形態の変形例 7 の液晶表示装置を示す平面図である。

【図 2 5】図 2 5 は、本発明の第 2 の実施形態の原理を示す図である。
30

【図 2 6】図 2 6 は、 R_g / R_d とフローティング副画素電極の最終到達電位との関係を示す図である。

【図 2 7】図 2 7 は、フローティング副画素電極とゲートバスライン及びデータバスラインとの間の抵抗を調整する方法を示す液晶表示装置の画素部の模式平面図である。

【図 2 8】図 2 8 は、同じくその模式断面図である。

【図 2 9】図 2 9 は、制御電極とフローティング副画素電極との間の抵抗 R_C とフローティング副画素電極とコモン電極との間の抵抗 R_{LC2} に対する焼き付き電圧の依存性 (DC 電圧倍率) を計算した結果を示す図である。

【図 3 0】図 3 0 は、同じくその計算値を示す図である。

【図 3 1】図 3 1 は、 R_C / R_{LC2} と白表示部及び黒表示部の副画素電極の電位差との関係を示す図である。
40

【図 3 2】図 3 2 は、フローティング副画素電極と TFT に直結した副画素電極とを示す等価回路図である。

【図 3 3】図 3 3 は、フローティング副画素電極と TFT に直結した副画素電極との間の抵抗 R と、1 フレーム期間 ($t = 16.6 \text{ msec}$) における電圧保持率との関係を示す図である。

【図 3 4】図 3 4 は、本発明の第 3 の実施形態の液晶表示装置の TFT 基板を示す平面図である。

【図 3 5】図 3 5 は、同じくその断面図である。

【図 3 6】図 3 6 は、第 3 の実施形態の変形例 1 の液晶表示装置を示す平面図である。
50

【図 3 7】図 3 7 は、同じくその断面図である。

【図 3 8】図 3 8 は、本発明の第 4 の実施形態の液晶表示装置を示す平面図である。

【図 3 9】図 3 9 は、図 3 8 の X I - X I 線における断面図である。

【図 4 0】図 4 0 は、第 4 の実施形態の液晶表示装置の 1 画素を示す等価回路図である。

【図 4 1】図 4 1 は、第 4 の実施形態の液晶表示装置の変形例 1 を示す平面図である。

【図 4 2】図 4 2 は、第 4 の実施形態の変形例 1 の液晶表示装置の 1 画素を示す等価回路図である。

【図 4 3】図 4 3 は、本発明の第 5 の実施形態の原理を示す画素の回路図である。

【図 4 4】図 4 4 は、 R_C / R_{LC2} と、白表示部及び黒表示部のフローティング副画素電極の電位差との関係を示す図である。

10

【図 4 5】図 4 5 は第 5 の実施形態の液晶表示装置を示す平面図である。

【図 4 6】図 4 6 は、図 4 5 の X II - X II 線による断面図である。

【符号の説明】

【 0 1 9 3 】

1 0 ... T F T 基板、

1 2 ... 画素電極、

1 4 , 2 4 , 6 2 , 7 4 , 1 2 2 , 1 3 4 , 3 2 2 , 3 3 5 ... 配向膜、

2 0 ... 対向基板、

2 2 , 7 3 , 1 3 3 , 3 3 3 ... コモン電極、

2 3 , 2 3 1 , 3 3 1 , 3 3 4 ... 突起 (ドメイン規制用構造物)、

20

3 0 , 8 0 , 1 4 0 ... 液晶、

5 1 , 7 1 , 1 1 1 , 1 3 1 , 2 1 1 , 3 1 1 , 3 3 1 ... ガラス基板、

5 2 , 1 1 2 , 2 1 2 , 3 1 2 ... ゲートバスライン、

5 3 , 1 1 3 , 2 1 3 , 3 1 3 ... 補助容量バスライン、

5 4 , 6 0 , 1 1 4 , 1 2 0 , 2 1 4 , 2 2 0 , 3 1 4 , 3 2 0 ... 絶縁膜、

5 5 , 1 1 5 , 2 1 5 , 3 1 5 ... データバスライン、

5 6 , 9 0 , 9 3 , 1 1 6 , 2 1 6 , 3 1 6 , 4 1 1 , 4 2 1 , 4 2 2 ... T F T、

5 7 , 9 2 a ~ 9 2 d , 1 1 8 , 1 3 2 , 2 1 8 , 3 1 8 , 5 1 1 ... 制御電極、

5 8 , 1 3 4 , 5 1 2 ... 補助容量電極、

5 9 , 1 3 3 , 2 1 9 , 3 1 9 ... 配線、

30

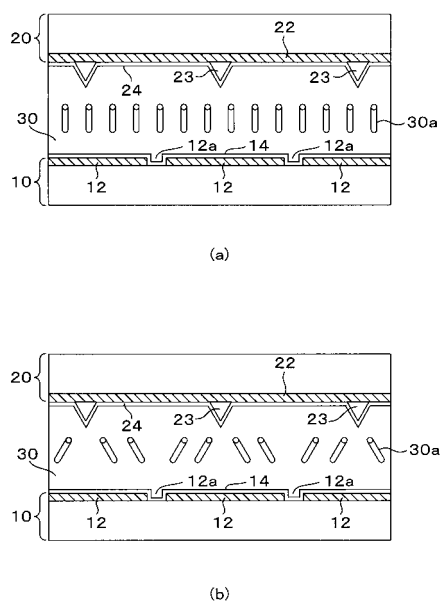
6 1 a , 6 1 b , 9 1 a ~ 9 1 d , 1 2 1 a ~ 1 2 1 c , 1 3 6 a , 1 3 6 b , 1 5 1 a , 1 5 1 b , 2 2 1 a ~ 2 2 1 d , 3 2 1 a ~ 3 2 1 d ... 副画素電極、

7 1 , 1 3 2 , 3 3 2 ... カラーフィルタ、

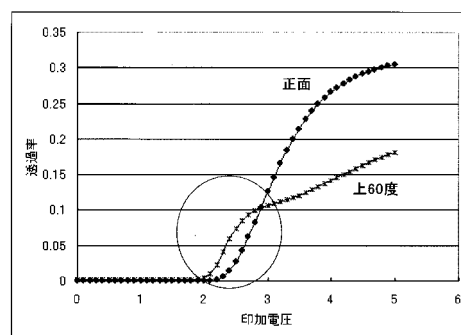
1 3 1 a , 1 3 1 b , 1 3 8 a , 1 3 8 b , 1 4 2 a , 1 4 2 b , 1 4 3 , 1 4 5 , 1 4 6 ... シールドパターン、

3 2 3 , 3 2 4 ... 高抵抗の接続部。

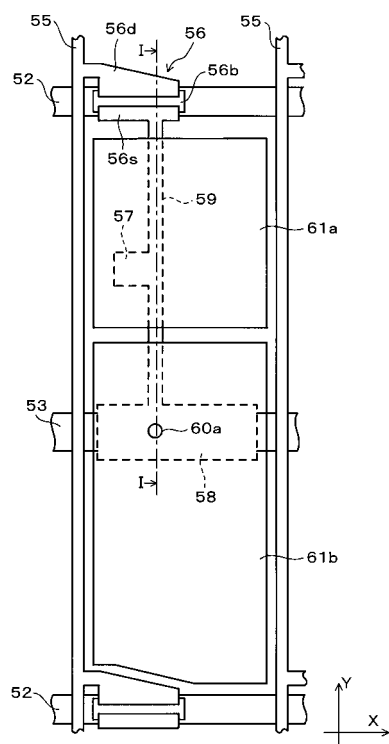
【圖 1】



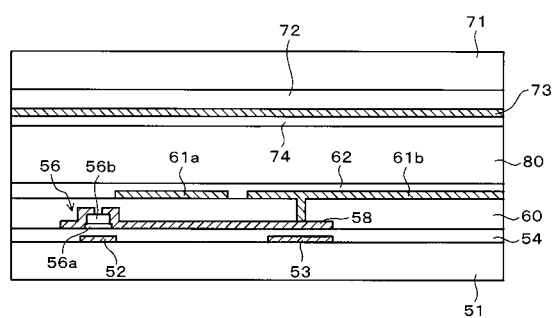
【圖 2】



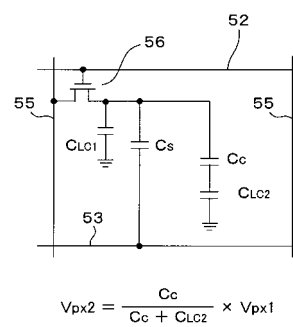
【 図 3 】



【图 4】

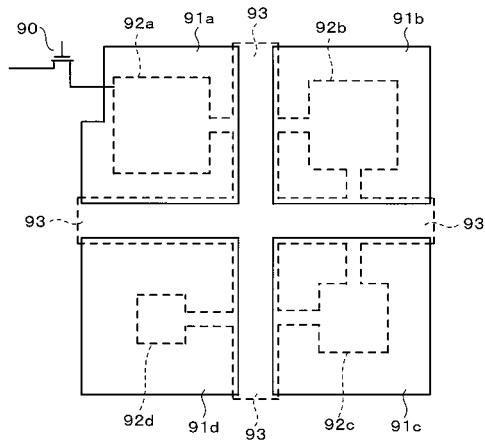


【 図 5 】

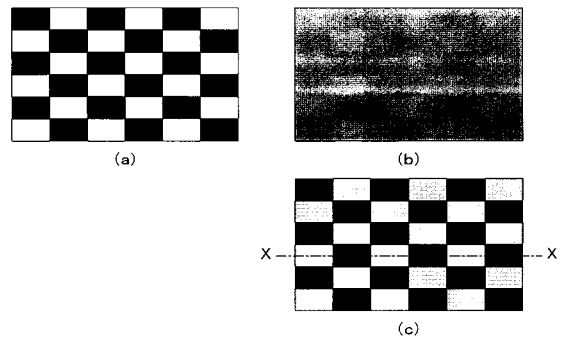


$$V_{px2} = \frac{C_c}{C_c + C_{LC2}} \times V_{px1}$$

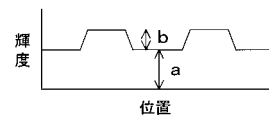
【図 6】



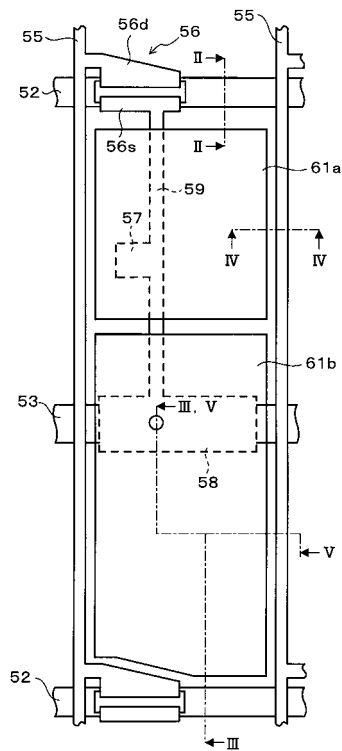
【図 7】



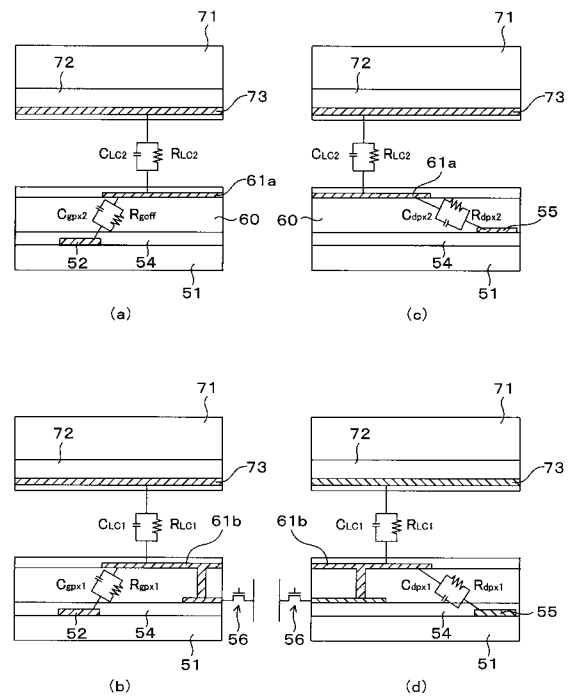
【図 8】



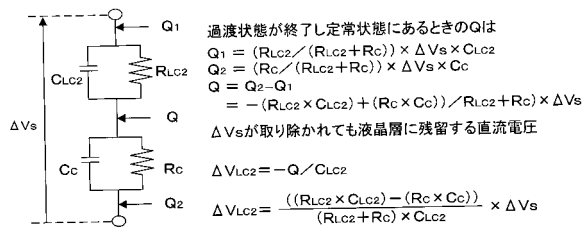
【図 9】



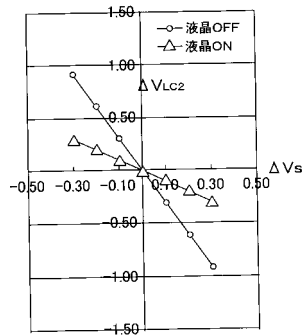
【図 10】



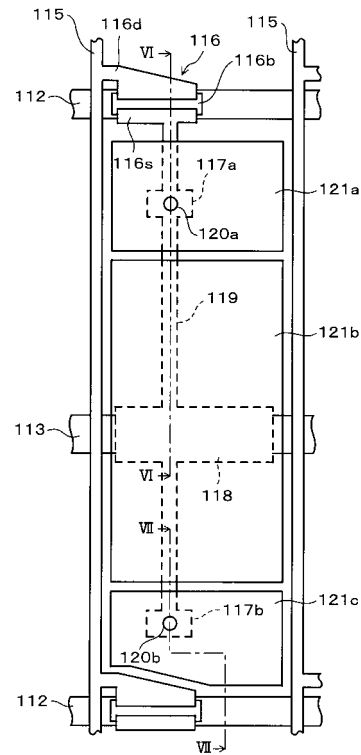
【図 1 1】



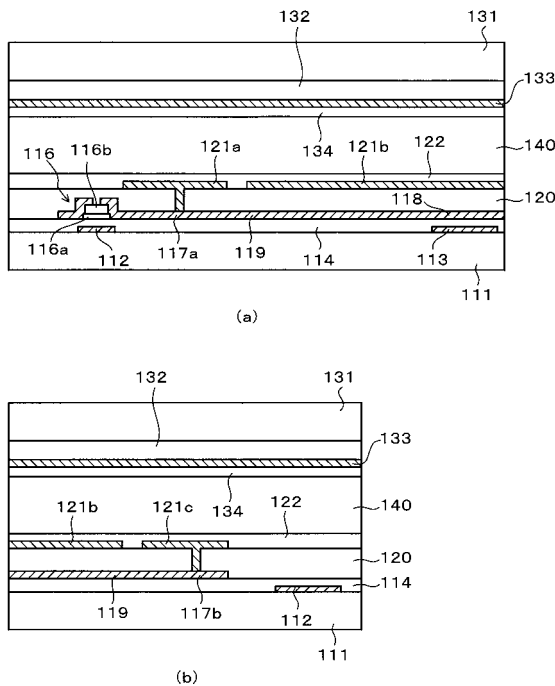
【図 1 2】



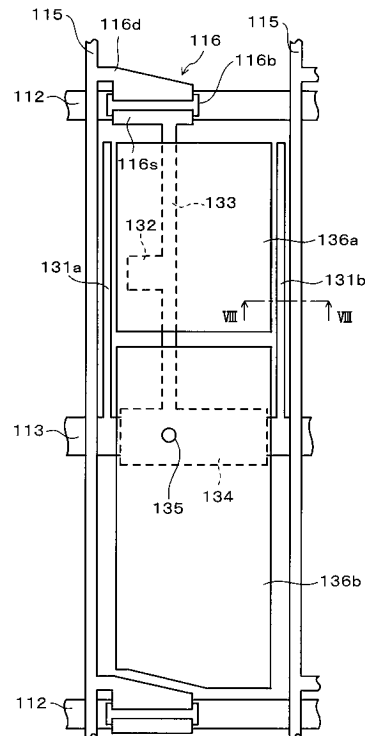
【図 1 3】



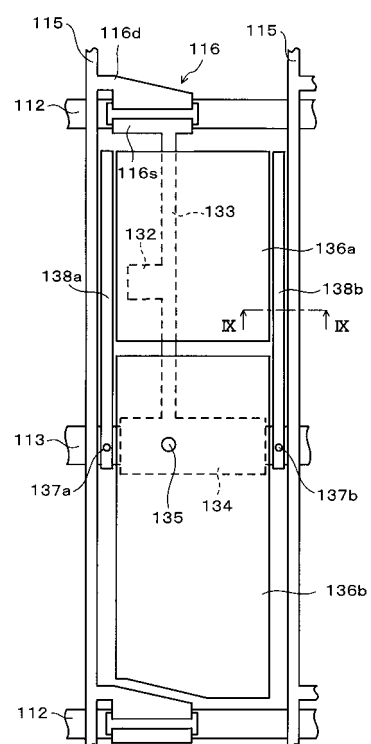
【図 1 4】



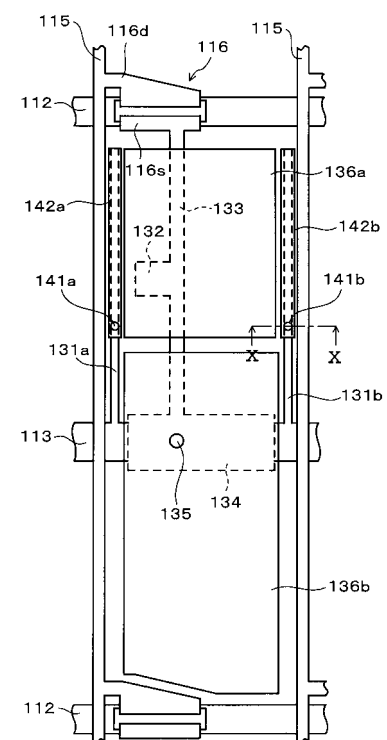
【図 1 5】



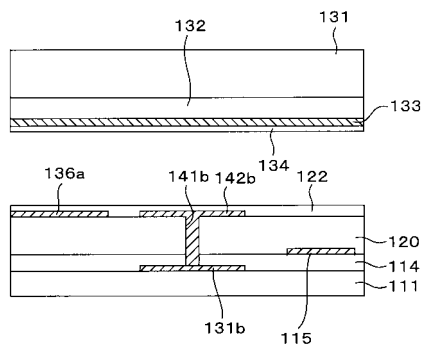
【圖 17】



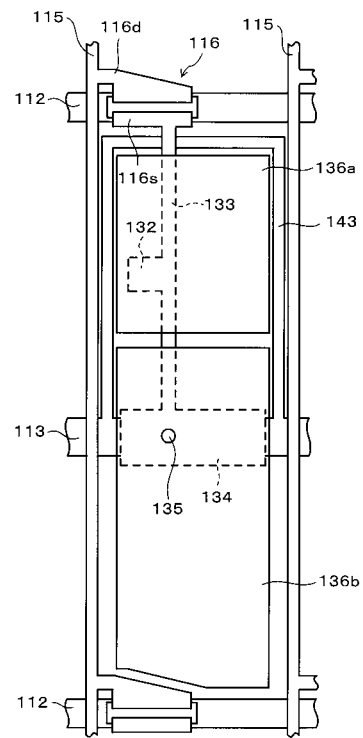
【 図 19 】



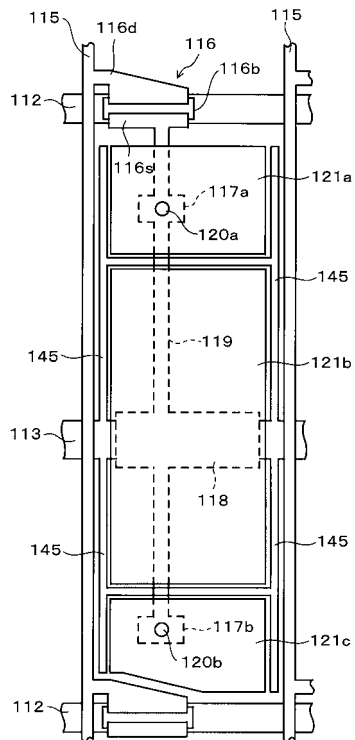
【図 20】



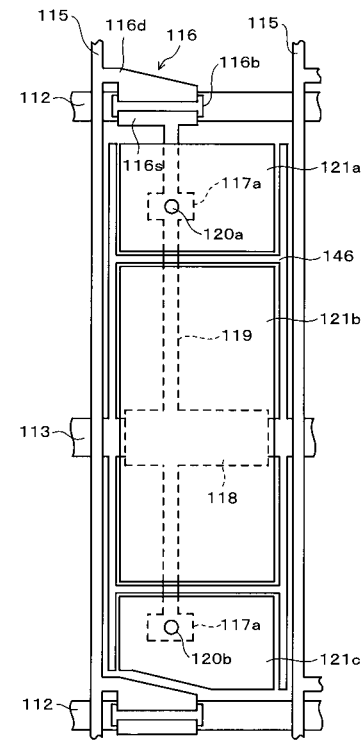
【図 21】



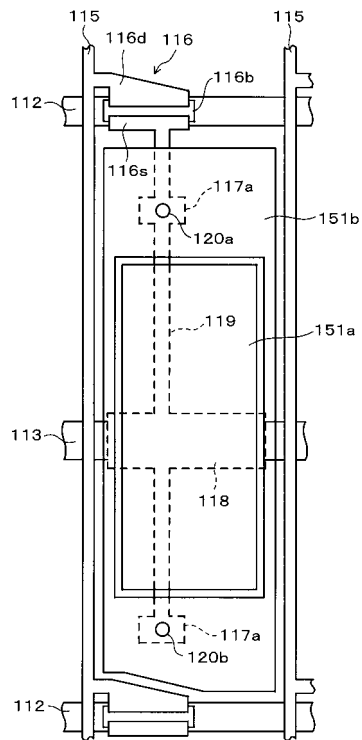
【図 22】



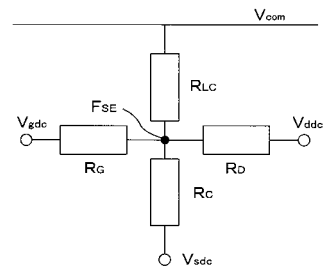
【図 23】



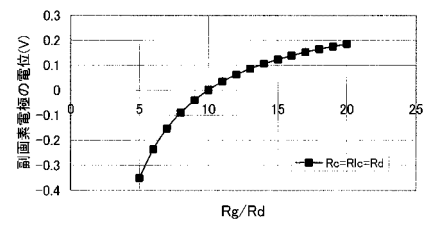
【図 24】



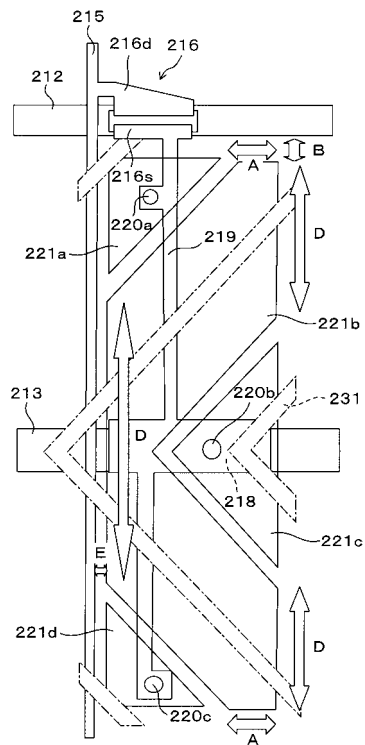
【図 25】



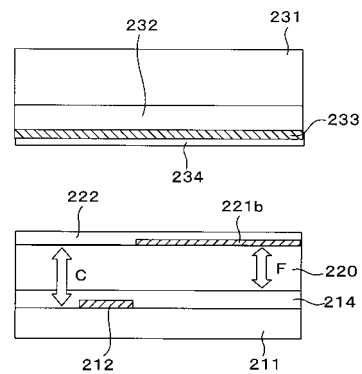
【図 26】



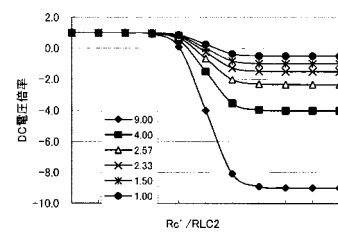
【図 27】



【図 28】



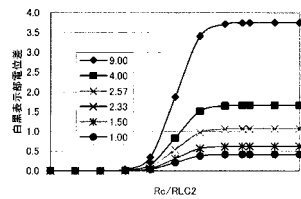
【図 29】



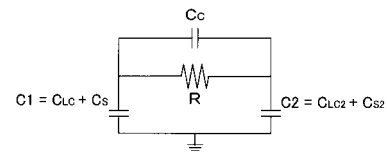
【図 30】

	0.9	0.8	0.72	0.7	0.6	0.5
10^{-5}	9.00	4.00	2.57	2.33	1.50	1.00
10^{-4}	1.00	1.00	1.00	1.00	1.00	1.00
10^{-3}	1.00	1.00	1.00	1.00	1.00	1.00
10^{-2}	0.99	0.99	1.00	1.00	1.00	1.00
10^{-1}	0.90	0.95	0.97	0.98	0.98	0.99
1	0.09	0.55	0.70	0.77	0.82	0.88
10^1	-4.00	-1.50	-0.67	-0.25	0.00	0.25
10^2	-8.09	-3.55	-2.03	-1.27	-0.82	-0.36
10^3	-8.90	-3.95	-2.30	-1.48	-0.98	-0.49
10^4	-8.99	-4.00	-2.33	-1.50	-1.00	-0.50
10^5	-9.00	-4.00	-2.33	-1.50	-1.00	-0.50

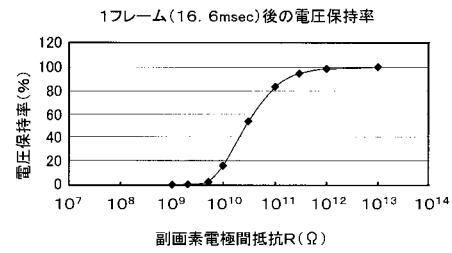
【図 31】



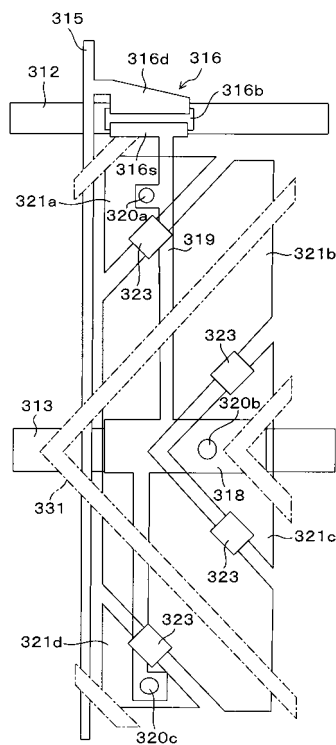
【図 32】



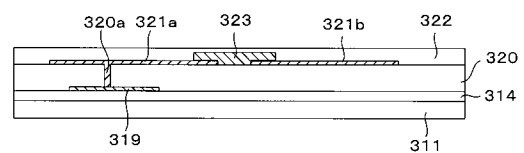
【図 33】



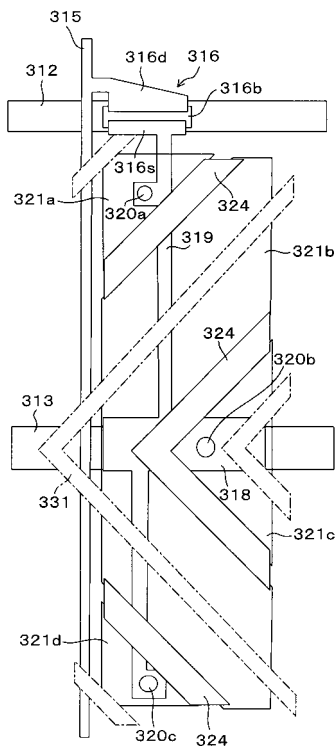
【図 34】



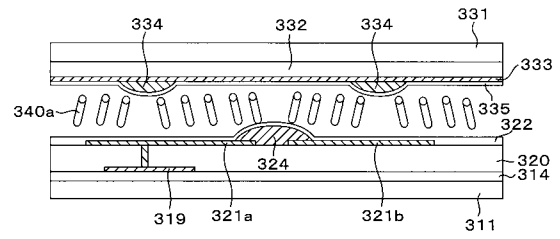
【図 35】



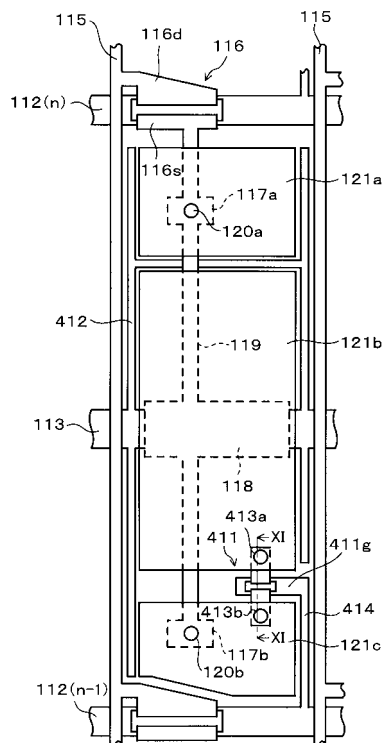
【図 36】



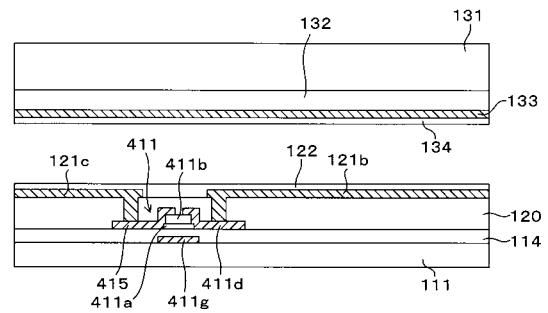
【図 37】



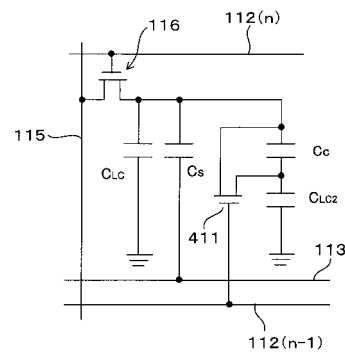
【図 38】



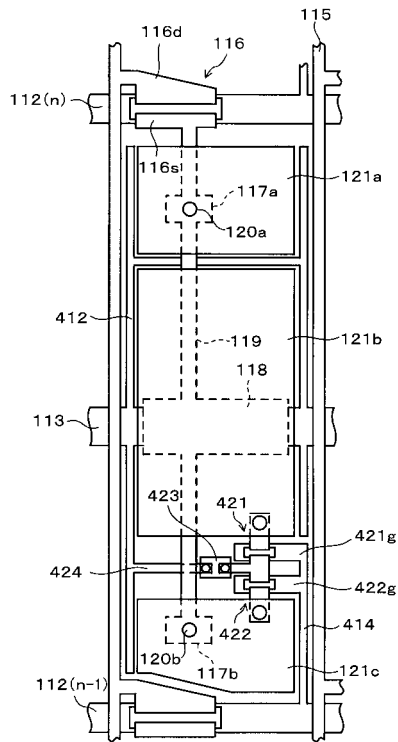
【図 39】



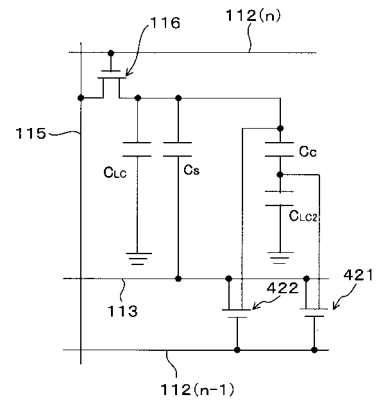
【図 40】



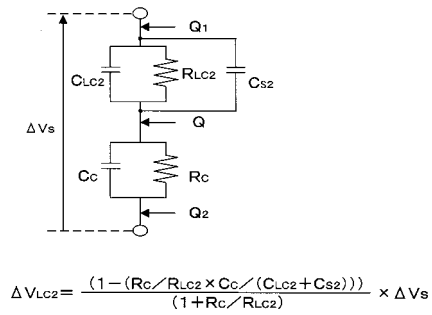
【図 4 1】



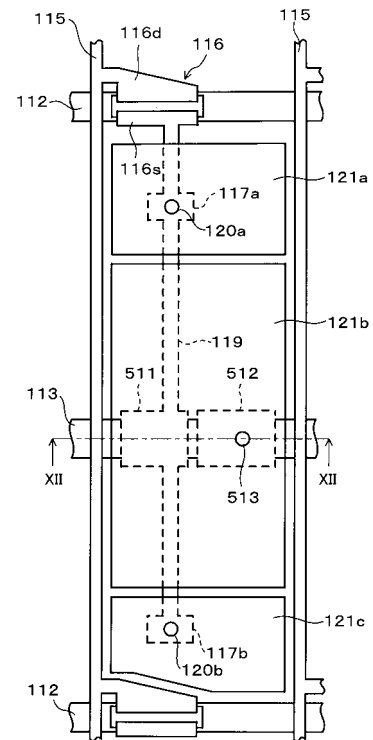
【図 4 2】



【図 4 3】



【図 4 5】



【図 4 4】

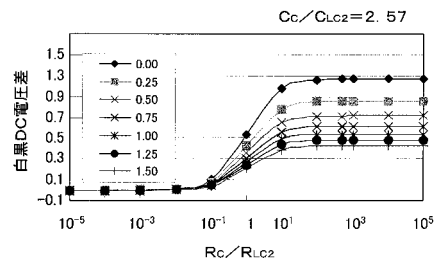


Fig. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 111, a gate stack 113, 114, 115, a channel 140, and a source/drain region 122 with a contact 121b.

フロントページの続き

- (72)発明者 鎌田 豪
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 笹林 貴
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 上田 一也
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 吉田 秀史
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

審査官 小濱 健太

- (56)参考文献 特開平04-348323(JP,A)
特開2002-258307(JP,A)
国際公開第94/022046(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/1343

专利名称(译)	液晶表示装置		
公开(公告)号	JP4361844B2	公开(公告)日	2009-11-11
申请号	JP2004220263	申请日	2004-07-28
[标]申请(专利权)人(译)	富士通显示技术股份有限公司 友达光电股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司 友达光电股▼ふん▲有限公司		
当前申请(专利权)人(译)	富士通株式会社 友达光电股▲ふん▼有限公司		
[标]发明人	鎌田 豪 笹林 貴 上田 一也 吉田 秀史		
发明人	鎌田 豪 笹林 貴 上田 一也 吉田 秀史		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/136213 G02F2001/134354 G02F2001/136218 B01J47/014 C02F1/42 C02F1/48 C02F1/50 C02F1/68 C02F5/08		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA41 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB56 2H092/NA01 2H092/NA25 2H092/PA01 2H092/PA02 2H092/PA08 2H192/AA24 2H192/BC23 2H192/BC31 2H192/CB05 2H192/CB71 2H192/CC04 2H192/DA13 2H192/DA15 2H192/DA73 2H192/DA74 2H192/EA43 2H192/GA03 2H192/GD14 2H192/GD61 2H192/JA13		
代理人(译)	冈本圭造		
其他公开文献	JP2006039290A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够避免在液晶显示装置中产生余辉的液晶显示装置，其中通过使用电容耦合HT（半色调）方法来抑制变色并提供防止持久性的方法。解决方案：直接连接到TFT 116的子像素电极121a和121c设置在与控制电极118和栅极总线112电容耦合的子像素电极（浮置子像素电极）121b之间，以防止从栅极总线112注入电荷。浮动子像素电极121b。在浮置子像素电极121b和数据总线115之间形成电连接到辅助电容总线113的屏蔽图案145。通过屏蔽图案145避免从数据总线115到浮置子像素电极121b的电荷注入。Z

