

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4180575号
(P4180575)

(45) 発行日 平成20年11月12日(2008.11.12)

(24) 登録日 平成20年9月5日(2008.9.5)

(51) Int.Cl.

F I

GO2F 1/1368 (2006.01)

GO9F 9/30 (2006.01)

GO9F 9/35 (2006.01)

GO2F 1/1368

GO9F 9/30 338

GO9F 9/35

請求項の数 2 (全 11 頁)

(21) 出願番号	特願2005-69232 (P2005-69232)	(73) 特許権者	501426046
(22) 出願日	平成17年3月11日 (2005.3.11)		エルジー ディスプレイ カンパニー リ
(62) 分割の表示	特願平8-216427の分割		ミテッド
原出願日	平成8年8月16日 (1996.8.16)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
(65) 公開番号	特開2005-242372 (P2005-242372A)		イドードン 20
(43) 公開日	平成17年9月8日 (2005.9.8)	(74) 代理人	100110423
審査請求日	平成17年3月29日 (2005.3.29)		弁理士 曾我 道治
(31) 優先権主張番号	1995-25538	(74) 代理人	100084010
(32) 優先日	平成7年8月19日 (1995.8.19)		弁理士 古川 秀利
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】 液晶表示装置および液晶表示装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

画素電極に接続された薄膜トランジスタと、第 1 及び第 2 静電気保護回路用トランジスタを持つ静電気保護回路とを有する液晶表示装置において、

上記静電気保護回路は、
基板と、

上記基板上の所定領域に形成された第 1 導電層と、
上記第 1 導電層が形成された基板全面上に形成され、上記第 1 導電層の所定部分を露出させる第 1 コンタクトホールを有する第 1 絶縁層と、

上記第 1 絶縁層上の上記第 1 コンタクトホール領域を含まない所定領域に形成された第 2 導電層と、

上記第 2 導電層が形成された基板全面上に形成され、上記第 2 導電層の所定部分及び上記第 1 コンタクトホール領域をそれぞれ露出させる第 3 コンタクトホール、第 2 コンタクトホールを有する第 2 絶縁層と、

上記第 2 絶縁層上に形成されて上記第 1 コンタクトホール、上記第 2 コンタクトホール、上記第 3 コンタクトホールを介して上記第 1 導電層及び上記第 2 導電層と電氣的に接続される第 3 導電層とを備え、

上記第 1 静電気保護回路用トランジスタは、ソース及びゲートが上記第 1 導電層に接続され、ドレインが上記第 2 導電層に接続され、

上記第 2 静電気保護回路用トランジスタは、ソース及びゲートが上記第 2 導電層に接続

10

20

され、ドレインが上記第 1 導電層に接続され、

上記第 1 導電層は上記薄膜トランジスタのゲート電極と接続されるゲートラインであり、
上記第 2 導電層は上記薄膜トランジスタのソース電極であり、

静電気放電による高電圧が上記第 1 導電層に現れた場合、上記第 1 導電層の電荷を上記第 1 静電気保護回路用トランジスタを介して上記第 2 導電層に放電させ、静電気放電による高電圧が上記第 2 導電層に現れた場合、上記第 2 導電層の電荷を上記第 2 静電気保護回路用トランジスタを介して上記第 1 導電層に放電させる

ことを特徴とする液晶表示装置。

【請求項 2】

上記第 3 導電層は画素電極物質で形成されることを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置（LCD）と、その製造方法に関する。さらに詳しくは、液晶デバイスを駆動するための液晶駆動回路を備えた液晶表示装置およびその製造方法に関し、その駆動回路の改良に関するものである。

【背景技術】

【0002】

活性マトリクス薄膜ディスプレイは、そのディスプレイの各画素内の液晶材料（デバイス）を駆動するための薄膜トランジスタ（TFT）を有する。図 6 に示されるように、従来の LCD は、それぞれが液晶材料（図示しない）を有する画素アレイを備える。この液晶材料はトッププレート（図示しない）に備えられた共通電極と、ボタムプレートに備えられた画素電極 6 との間に挟まれる構造を有する。ボタムプレートはさらに複数のデータライン 610 と交差する複数のゲートライン 600 を備える。

【0003】

活性素子のように作用する薄膜トランジスタ 620 は、ゲートライン 600 とデータライン 610 の交差部分に配設される。ゲートライン 600 とデータライン 610 は、薄膜トランジスタ 620 のゲートとソースにそれぞれ接続される。

さらに、画素電極 6 は、薄膜トランジスタ 620 の各ドレイン電極に接続される。ゲートパッド 630 とデータパッド 640 はそれぞれゲートラインとデータラインに接続され、それぞれゲートドライバとデータドライバからデータを受ける。

【0004】

図 5 は薄膜トランジスタ TFT の所定の箇所を断面図で示した図であり、液晶駆動回路として、TFT 駆動素子を有する従来の液晶表示装置の製造方法を図 5（a）-（f）を参照して説明する。図 5（a）に示されるように、導電層が透明ガラス基板 1 上に形成され、ゲート電極 2、ストレージキャパシタ電極 2D、ソースパッド 2A、そしてゲートパッド 2B を形成するようパターン化される。ゲートパッド 2B は駆動用電圧を受けるために使用され、完成された TFT の活性層として使用される。

【0005】

図 5（b）に示されるように、窒化膜や酸化膜のような、ゲート絶縁膜（絶縁層）3 がゲート電極 2 を電氣的に絶縁するために基板の全面上に形成される。アモルファスシリコン活性層 4 が、ゲート電極 2 の上に形成されたゲート絶縁膜 3 の上に形成される。次に、完成された装置のソース/ドレイン領域と活性層の間の接触抵抗を減ずるために、不純物が適度にドーパされた半導体層 5 がオーム接触層としてアモルファスシリコン層 4 上に形成される。ドーパされた半導体層 5 とアモルファスシリコン層 4 は次に所定の活性層パターンに従ってエッチングされる。

【0006】

パッド配線層はゲートとソースに外部駆動回路からの情報を伝達するために必要なので、ゲート絶縁膜 3 を選択的にエッチングして、ソースパッド 2A とゲートパッド 2B を露

10

20

30

40

50

出させる（図5（c）参照）。次に、図5（d）に示されるように、透明導電層（ITO：indium tin oxide）が基板の全面上に形成されてパターン化され、画素電極6を形成する。これは表示画素の部分上に形成される。一方、ITOパターン6A、6Bがそれぞれ、ソースパッド2A、ゲートパッド2B上に形成される。

【0007】

図5（e）に示されるように、TFEは活性層上に形成される。そして、基板上に形成され、同時にパターン化されて、ソース電極7、ドレイン電極8をそれぞれ形成するための導電層を有する。ソース電極7はソースパッド2Aに接続され、ドレイン電極8は不純物がドーパされた半導体層5と画素電極6に接触する。完成された装置構造において、ソース電極7は、データ配線層（図示しない）とドレイン電極8で受けたデータ信号を画素電極6へ導く。この信号は画素電極で電荷の形で保持され、それにより液晶を駆動する。

10

【0008】

図5（f）に示されるように、窒化膜が装置を湿気からシールし、不純物の吸収を防ぐためにパッシベーション（保護）層9として基板の全面上に形成される。パッシベーション層9は、ITOパターン6A、6Bを介してソースパッド2Aとゲートパッド2Bを露出するよう選択的にエッチングされ、これによりTFE製造を完了する。

【発明の開示】

【発明が解決しようとする課題】

【0009】

従来の液晶表示装置においては、次のように、6回のマスク工程が必要となる。

20

（1）ゲート、ストレージキャパシタ電極、ソースパッド、そしてゲートパッドのパターニング、（2）活性層パターンの形成、（3）パッド部分を露出するためのゲート絶縁膜のパターニング、（4）画素電極の形成、（5）ソース、ドレイン電極の形成、（6）パッド部分を露出させるためのパッシベーション膜のパターニング。

こうして、従来の製造方法は製造工程数が6回と多く、コストと歩留まり率の低下をもたらしていた。

【0010】

また、従来の液晶表示装置の製造方法においては、上述したように、ソース電極7またはドレイン電極8と画素電極6がゲート絶縁膜3の同じ表面である、同じ階層表面上に形成される。したがって、製造ミスによりこれらソース電極またはドレイン電極と画素電極が互いに接触する恐れが生じ、その結果として、歩留まり率が低下する。

30

【0011】

本発明は、上述した課題を解決するためになされたもので、マスク工程数を減らすことにより、製造ミスを防止し、また、ソース電極またはドレイン電極と画素電極を異なる階層表面上に形成することにより、製造ミスによりこれら電極が接触する恐れがあるという導通問題を効果的に防止し、もって、歩留まり率を高めることができる液晶表示装置、及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

上述した課題を解決するため、この発明に係る液晶表示装置は、例えば図1に示す液晶駆動回路を構成するスイッチングデバイスのソース電極7へ電氣的接続を行うソースパッド7Aを備える液晶表示装置において、上記ソースパッド7Aは上記ソース電極7の一部により構成されるものである。

40

【0013】

このような構成によれば、従来、ソースパッド7A上に形成される保護層としてのパッシベーション層9をエッチングするのみで、ソースパッド7Aと外部電極との接続が行えるので、マスク工程数を減らすことができる。また、ソースパッド7Aとソース電極7とが同材料で構成されるため、従来のように異なる材料間の接触抵抗を減少させることができる。

【0014】

50

また、この発明に係る液晶表示装置は、例えば図 4 に示す液晶駆動回路を有する液晶表示装置において、上記駆動回路は、基板 1 と、上記基板 1 上の所定領域に形成された第 1 導電層 2 と、上記第 1 導電層 2 が形成された基板全面上に形成され、上記第 1 導電層 2 の所定部分を露出させる第 1 コンタクトホール 40 a を有する第 1 絶縁層 3 と、上記第 1 絶縁層 3 上の上記第 1 コンタクトホール 40 a 領域を含まない所定領域に形成された第 2 導電層 7 と、上記第 2 導電層 7 が形成された基板全面上に形成され、上記第 2 導電層 7 の所定部分及び上記第 1 コンタクトホール 40 a 領域を露出させる第 2 コンタクトホール 40 b、第 3 コンタクトホール 40 B を有する第 2 絶縁層 9 と、上記第 2 絶縁層 9 上に形成されて上記第 1 コンタクトホール 40 a、上記第 2 コンタクトホール 40 b、第 3 コンタクトホール 40 B を介して上記第 1 導電層 2 及び上記第 2 導電層 7 と電氣的に接続される第 3 導電層 6 D とを備えてなるものである。

10

【0015】

このような構成によれば、第 1 コンタクトホール 40 a と第 2 コンタクトホール 40 b を 1 工程で形成することができるとともに、同工程で第 3 コンタクトホール 40 B を形成でき、マスク工程数を減らすことができる。また、第 3 導電層 6 D と第 2 導電層 7 は異なる階層表面上に形成されるため、これら導電層の導通を効果的に防止することができる。したがって、例えば、第 2 導電層をソース電極またはドレイン電極とし、第 3 導電層を画素電極とした場合は、これら電極が製造ミスにより導通するという問題を効果的に防止することができる。

【0016】

20

さらに、この発明に係る液晶表示装置において、上記第 1 導電層はゲート電極であり、上記第 2 導電層はソース電極である。

【0017】

また、この発明に係る液晶表示装置において、上記第 3 導電層は画素電極物質で形成されるものである。

【0018】

このような構成によれば、画素電極とソース電極を異なる階層表面上に形成することができる。

【0019】

また、この発明に係る液晶表示装置の製造方法は、例えば図 4 に示す液晶駆動回路を有する液晶表示装置の製造方法において、上記駆動回路の製造は、基板上に第 1 導電層 2 パターンを形成する工程と、上記第 1 導電層 2 を含む上記基板表面上に第 1 絶縁層 3 を形成する工程と、上記第 1 絶縁層 3 上に第 2 導電層 7 パターンを形成する工程と、上記第 2 導電層 7 パターン、上記第 1 絶縁層 3 を含む上記基板全面上に第 2 絶縁層 9 を形成する工程と、上記第 1 絶縁層及び上記第 2 絶縁層を選択的にエッチングし、上記第 1 導電層パターンと上記第 2 導電層パターンをそれぞれ露出させる第 1 コンタクトホール 40 A 及び第 2 コンタクトホール 40 B を形成する工程と、上記第 2 絶縁層 9 上に、上記第 1 コンタクトホール 40 A、及び上記第 2 コンタクトホール 40 B を介して、それぞれ上記第 1 導電層 2 パターン、及び上記第 2 導電層 7 パターンに電氣的に接続される第 3 導電層 6 D を形成する工程とを備えるものである。

30

40

【0020】

このような構成によれば、第 1、第 2 コンタクトホール 40 A、40 B を一度のエッチングにより形成することができ、マスク工程を減らすことができる。また、第 2 導電層 7 と第 3 導電層 6 D は異なる階層表面上に形成されるため、製造ミスによるこれら導電層の導通問題を効果的に防止できる。

【0021】

また、この発明に係る液晶表示装置は、例えば図 1 に示す液晶駆動回路を有する液晶表示装置において、上記駆動回路は、基板 1 と、上記基板上に第 1 導電層により形成されたゲート電極 2 とゲートパッド 2 C と、上記ゲート電極 2、上記ゲートパッド 2 C を含む上記基板上面に形成されたゲート絶縁層 3 と、上記ゲート電極 2 上のゲート絶縁層 3 上に形

50

成された半導体層 4、5 と、上記半導体層 5 上に形成されたドレイン電極 8 と、ソースパッド 7 A が一部に形成されたソース電極 7 と、上記電極 7、8、上記半導体層 5、上記ゲート絶縁層 3 を含む上記基板全面上に形成されたパッシベーション層 9 と、上記パッシベーション層 9 をエッチングして得られ、上記ソースパッド 7 A を露出させる第 1 コンタクトホール 20 と、上記ドレイン電極 8 の一部を露出させる第 2 コンタクトホール 30 と、上記パッシベーション層 9 及び上記ゲート絶縁層 3 をエッチングして得られ、上記ゲートパッド 2 C を露出させる第 3 コンタクトホール 40 と、上記第 2 コンタクトホール 30 を介して上記ドレイン電極 8 と電氣的に接続された画素電極 6 とを備えるものである。

【0022】

このような構成によれば、パッシベーション層 9 のみをエッチングすることにより、ソースパッド 7 A を外部電極に接続することができ、従来の製造工程からマスク工程を 1 つ減らすことができる。また、ソースパッド 7 A とソース電極 7 が同材料で構成されるため、異なる材料間の接触抵抗を削減することができる。さらに、画素電極 6 をソース電極 7 またはドレイン電極 8 と異なる階層表面上に形成することができるので、製造ミスによるこれら電極の導通を効果的に防止できる。

【0023】

また、この発明に係る液晶表示装置の製造方法は、例えば図 1 に示す液晶駆動回路を有する液晶表示装置の製造方法において、上記駆動回路の製造は、基板 1 上に第 1 導電層を形成するとともに、上記第 1 導電層をパターニングしてゲート電極 2 とゲートパッド 2 C をそれぞれ形成する工程と、上記ゲート電極 2、ゲートパッド 2 C を含む上記基板全面上に絶縁層 3 を形成する工程と、上記絶縁層 3 の上面に半導体層 4、5 を形成するとともに、上記半導体層 4、5 を上記ゲート電極 2 上の上記絶縁層 3 上にパターニングする工程と、上記絶縁層 3、上記半導体層 5 の全面上に第 2 導電層を形成するとともに、上記第 2 導電層をパターニングしてソースパッド 7 A が連続的に設けられたソース電極 7、ドレイン電極 8 を形成する工程と、上記ソースパッド 7 A を含む上記ソース電極 7、上記ドレイン電極 8、上記ゲートパッド 2 C、上記絶縁層 3 上にパッシベーション層 9 を形成する工程と、上記パッシベーション層 9 を選択的にエッチングして上記ソースパッド 7 A を露出させる第 1 コンタクトホール 30 と上記ドレイン電極 8 の一部を露出させる第 2 コンタクトホール 30 と、上記パッシベーション層 9 と上記絶縁層 3 をエッチングして上記ゲートパッド 2 C を露出させる第 3 コンタクトホール 40 とを形成する工程と、上記第 1、第 2、第 3 コンタクトホール、パッシベーション層の全面上に透明導電層を形成するとともに、上記透明導電層をパターニングして、上記第 1 コンタクトホールを介して上記ソースパッドと接触する透明導電層 6 A パターンと、上記第 2 コンタクトホールを介して上記ドレイン電極 8 と接触する画素電極 6 と、上記第 3 コンタクトホール 40 を介して上記ゲートパッド 2 C と接触する透明導電層 6 B とを形成する工程を備えるものである。

【0024】

このような構成によれば、第 1、第 2、第 3 コンタクトホール 20、30、40 を 1 マスク工程で形成することができ、従来の製造工程からマスク工程を 1 つ減らすことができる。また、ソースパッド 7 A とソース電極 7 が同材料で構成されるため、異なる材料間の接触抵抗を削減することができる。さらに、画素電極 6 をソース電極 7 またはドレイン電極 8 と異なる階層表面上に形成することができるので、製造ミスによるこれら電極の導通を効果的に防止できる。

【0025】

また、この発明に係る液晶表示装置は、例えば図 2 に示す液晶駆動回路を有する液晶表示装置において、上記駆動回路は、基板 1 と、上記基板 1 上に第 1 導電層により形成されたゲート電極 2 と、ゲートパッド 2 B と、ソースパッド 2 A と、上記ゲート電極 2、上記ゲートパッド 2 B、上記ソースパッド 2 A を含む上記基板表面上に形成されたゲート絶縁層 3 と、上記ゲート電極 2 上の上記ゲート絶縁層 3 上に形成された半導体層 4、5 と、上記半導体層 5 上に形成されたソース電極 7 と、ドレイン電極 8 と、上記電極 7、8、上記半導体層 5、上記ゲート絶縁層 3 を含む上記基板全面に形成されたパッシベーション層 9

と、上記パッシベーション層 9 と上記ゲート絶縁層 3 とをエッチングして上記ソースパッド 2 A を露出させる第 1 コンタクトホール 4 5 と、上記ゲートパッド 2 B を露出させる第 3 コンタクトホール 5 5 と、上記パッシベーション層 9 をエッチングして上記ドレイン電極 8 の一部を露出させる第 2 コンタクトホール 5 0 と、上記ソース電極 7 を露出させる第 4 コンタクトホール 6 0 と、上記第 2 コンタクトホール 5 0 を介して上記ドレイン電極 7 と接触された画素電極 6 と、上記第 1 コンタクトホール 4 5 と上記第 4 コンタクトホール 6 0 を介して上記ソースパッド 2 A と上記ソース電極 7 を電氣的に接続する透明電極層 6 C とを備えてなるものである。

【 0 0 2 6 】

このような構成によれば、第 1、第 2、第 3、第 4 コンタクトホール 4 5、5 0、5 5、6 0 を 1 マスク工程で形成でき、従来の製造工程からマスク工程を 1 だけ減らすことができる。また、画素電極 6 をソース電極 7 またはドレイン電極 8 と異なる階層表面上に形成することができるので製造ミスによるこれら電極の導通を防止できる。

【 0 0 2 7 】

さらに、この発明に係る液晶表示装置の製造方法は、例えば図 2 に示す液晶駆動回路を有する液晶表示装置の製造方法において、上記駆動回路の製造は、基板 1 上に第 1 導電層を形成するとともに、上記第 1 導電層をパターニングしてゲート電極 2 とゲートパッド 2 B とソースパッド 2 A を形成する工程と、上記ゲート電極 2、上記ゲートパッド 2 B、上記ソースパッド 2 A を含む上記基板全面上に絶縁層 3 を形成する工程と、上記絶縁層 3 の上面に半導体層 4、5 を形成するとともに、上記半導体層 4、5 を上記ゲート電極 2 上の上記絶縁層 3 上にパターニングする工程と、上記絶縁層 3、上記半導体層 5 の全面上に第 2 導電層を形成するとともに、上記第 2 導電層をパターニングしてソース電極 7、ドレイン電極 8 を形成する工程と、上記ソース電極 7、上記ドレイン電極 8 を含む上記絶縁層 3 上にパッシベーション層 9 を形成する工程と、上記パッシベーション層 9 及び上記絶縁層 3 をエッチングして上記ソースパッド 2 A を露出させる第 1 コンタクトホール 4 5 と、上記ゲートパッドを露出させる第 3 コンタクトホール 5 5 と、上記パッシベーション層 9 をエッチングして上記ドレイン電極 8 の一部を露出させる第 2 コンタクトホール 5 0 と、上記ソース電極 7 を露出させる第 4 コンタクトホール 6 0 とを形成する工程と、上記第 1、第 2、第 3、第 4 コンタクトホール、パッシベーション層の全面上に透明導電層を形成するとともに、上記透明導電層をパターニングして、上記第 2 コンタクトホール 5 0 を介して上記ドレイン電極と接触する画素電極 6、上記第 3 コンタクトホール 5 5 を介して上記ゲートパッド 2 B と接触する透明導電層 6 B と、上記第 1、第 4 コンタクトホール 4 5、6 0 を介して上記ソースパッド 2 A と上記ソース電極 7 とを連結する透明導電層 6 C を形成する工程とを備えるものである。

【 0 0 2 8 】

このような構成によれば、従来の製造工程からマスク工程を 1 だけ減らすことができる。また、画素電極 6 をソース電極 7 またはドレイン電極 8 と異なる階層表面上に形成することができるので製造ミスによるこれら電極の導通を効果的に防止できる。

【発明を実施するための最良の形態】

【 0 0 2 9 】

実施の形態 1 .

図 1 は本発明の実施の形態 1 として、液晶駆動回路としての T F T の所定箇所を示した断面図である。

まず、図 1 (a) において、導電層が透明ガラス基板 1 上に形成されてパターン化され、ゲート電極 2、ストレージキャパシタ電極 2 D、ゲートパッド 2 C が同じ材料で形成される。ゲート電極 2 は、電圧を印加することにより、完成された T F T 装置内の活性層を駆動するために使用される。

【 0 0 3 0 】

次に、図 1 (b) に示されるように、窒化膜または酸化膜のようなゲート絶縁膜 (絶縁層) 3 が、ゲート電極 2 を電氣的に絶縁するために基板の全面上に形成される。次に、半

10

20

30

40

50

導体活性層（半導体層）４がゲート電極２の絶縁膜３上に形成される。半導体活性層４は好ましくは、化学蒸気堆積（ＣＶＤ）処理によって形成されたアモルファスシリコン層で形成される。次に、半導体活性層４と形成されたソースとドレイン間の接触抵抗を低減するために、不純物がドーピングされた半導体層５がアモルファスシリコン層４上に、オーミック接触層として形成される。不純物がドーピングされた半導体層５とアモルファスシリコン層４は所定の活性層パターンに従ってエッチングされる。

【００３１】

次に、図１（ｃ）に示されるように、ソース電極７とドレイン電極８を形成するための導電層は、導電材料をスパッタした後、パターンングすることにより基板上に形成される。マスクとしてソースとドレイン電極を使用することにより、不純物がドーピングされた半導体層５の部分が露出され、エッチングされる。ソース電極７はこうしてトランジスタ領域の部分を形成し、ゲート絶縁膜上でソースパッド７Ａとして作用する。この結果、同じ導電層がＴＦＴのソース配線とソース電極の部分を構成する。

【００３２】

次に、図１（ｄ）に示されるように、パッシベーション層９、例えば窒化膜はＣＶＤ処理によって基板の全面上に形成される。次に、パッシベーション層９の所定の部分とゲート絶縁膜３が選択的にエッチングされ、第１、第２、第３コンタクトホール２０、３０、４０が形成され、これによって、ゲート絶縁膜３上のソースパッド７Ａの所定領域、ドレイン電極８の所定領域、そしてゲートパッド２Ｃの所定領域が露出される。パッド７Ａと２Ｃの露出は外部との電気接続に使用される。

【００３３】

次に、図１（ｅ）に示されるように、インジウムすず酸化（ＩＴＯ）層が次にスパッタリングまたはＣＶＤ処理によって基板上に形成され、画素電極６を形成するために所定のパターンに従ってエッチングされる。さらに、図１（ｅ）に示されるように、画素電極６がドレイン電極８の上部に接続される。同時に、ＩＴＯパターン６Ｂがゲートパッド２Ｃ上に形成される。また、ＩＴＯパターン６Ａがソースパッド２Ａ上に形成される。このソースパッド２ＡはＬＣＤのデータ電極の部分をなす。こうして、ゲートパッド２Ｃ、層６Ｂ、６Ａ、ソースパッド７Ａを含む電気コンタクトまたは配線構造を有する本発明に係る液晶駆動回路（ＴＦＴ）が完成される。

【００３４】

上述したように、画素電極６はパッシベーション層９の工程後に形成され、従来とは対照的に、ソース／ドレイン形成工程またはパッド工程後に形成される。こうして、パッシベーション層９がソース／ドレイン形成材料と画素電極との間に設けられ、これによりこれら層の絶縁と短絡防止が効果的になされる。

【００３５】

さらに、従来の工程とは異なり、本発明による方法は、ゲート絶縁膜を形成した直後にパッドを露出する工程が必要とされず、ソースとゲートパッドはパッシベーション工程中にエッチングによって露出される。こうして、画素電極は、ＩＴＯで構成され、ソースとゲートパッド上に形成される。また、ソースパッドはゲート材料で形成されるのではなく、ソースとドレインが形成されるときにソース形成材料により形成される。こうして、従来のゲート材料からソースパッドを形成することにより生じるソースパッドとソース間の接触抵抗が高くなるという問題を解消することができる。

【００３６】

実施の形態２．

図２は、本発明の実施の形態２を示す図である。ここでは、パッドを露出するための、ゲート絶縁膜のエッチング工程とパッシベーション層のエッチング工程が、たった一つのマスク工程で実行される。特に、ソースパッド２Ａは、従来法と同様に、ゲート材料で構成され、ゲート電極２、ストレージキャパシタ電極２Ｄ、ゲートパッド２Ｂと同時に形成される。第１、第２、第３、第４コンタクトホール４５、５０、５５、６０の形成後、画素電極を形成するための材料が形成される。その結果、第１コンタクトホール４５、第４

10

20

30

40

50

コンタクトホール60が、それぞれソースパッド2A（ゲートと同じ材料で形成される）、ソース電極7上に形成される。ソース電極7とソースパッド2Aは画素電極が形成される工程において互いに接続される。こうして、パターニングの後、第1透明導電層6Cがソースパッド2Aにソース電極7を接続する。そして、第2透明導電層6（即ち画素電極）がドレイン電極8に接続される。

【0037】

言い換えれば、導電層は透明ガラス基板1上に形成されゲート電極2、ストレージキャパシタ電極2D、ソースパッド2A、ゲートパッド2Bを形成するためにパターン化される。基板の全面上におけるゲート絶縁膜3の形成後、アモルファスシリコン層4と不純物がドーピングされた半導体層5が順番にそのうえに形成される。これら層は、それから所定の活性層パターンに従ってエッチングされる。

10

【0038】

次に、導電層が基板上に形成され、所定のパターンに従ってエッチングされる。これによりソース電極7とドレイン電極8を形成する。基板の全面上にパッシベーション層9を形成した後、パッシベーション層9とゲート絶縁膜3は選択的にエッチングされ、これにより、ソースパッド2Aを露出する第1コンタクトホール45とゲートパッド2Bを露出する第3コンタクトホール55が形成される。すなわち、第1コンタクトホール45と第3コンタクトホール55については、パッシベーション層9とゲート絶縁膜3が一つの工程にてエッチングされる。また、同じ工程において、パッシベーション層9のみのエッチングにより第2、第4コンタクトホール50、60が形成される。パッシベーション層9とゲート絶縁膜3は好ましくも一つの工程にてエッチングされるので、マスク工程を1つとすることができ、さらに、第1、第3コンタクトホールは連続する一つの孔を形成しスムーズとなる。

20

【0039】

次に、ITOが基板の全面上に形成されてパターン化され、画素部分でドレイン電極上にあるコンタクトホールを通してドレイン電極8へ接続される画素電極6を形成する。同時に、ITOパターン6A、6B、6Cがソースパッド2Aとゲートパッド2Bをゲート絶縁膜3とパッシベーション層9で形成されたコンタクトホールを通して接触させるために形成する。

【0040】

30

さらに、本発明の他の実施の形態によれば、リペアライン（repair line）や静電気保護回路を画素電極層の形成中に設けることもできる。図3は、静電気保護回路100の概略を示すブロック図であり、図4は静電気保護回路100の一部分150の拡大垂直断面図である。

【0041】

図3に示される回路において、静電気放電による高電圧がソース電極7に現れた場合、例えば、トランジスタ170はソース電極7の電荷をゲートライン2に導通させて電荷を放電させる。同様に、ゲートライン2がトランジスタ160を介してソース電極7に放電することができる。図4に示されるように、ゲートライン2とソース電極7間の接続は、絶縁膜3、9内にコンタクトホール40a、40b、40Bを形成し、さらに、画素電極の形成中に、これらコンタクトホール内に導電材料6D（好ましくはITO）を形成することにより行われる。

40

この場合、絶縁膜3に設けられる第1コンタクトホール40aとパッシベーション層9に設けられる第2コンタクトホール40bとは一つのコンタクトホール（第1コンタクトホール）40Aとして第3コンタクトホール40Bと同じ一つの工程において形成することができる。

【0042】

上述したように、実施の形態1、2によれば、液晶表示装置のTFTの製造が5つのマスク工程、すなわち、ゲート形成工程、活性層の形成工程、ソース、ドレインの形成工程、パッシベーション層とゲート絶縁膜のエッチング工程、そして画素電極の形成工程の5

50

つのマスク工程によりなし遂げられる。

【0043】

また、画素電極は、パッシベーション層の形成工程後に形成されるので、画素電極がソース電極またはドレイン電極に接触するという導通問題が効果的に防止される。

【0044】

さらに、実施の形態1によれば、ソースパッドがソース電極と同じ材料で構成されるので、ソースパッドがソース電極に接触する場合に接触抵抗が大きくなるという従来の問題点を解決することができる。

【図面の簡単な説明】

【0045】

【図1】本発明の実施の形態1による液晶表示装置及びその製造方法を示す断面図である。

【図2】本発明の実施の形態2による液晶表示装置を示す断面図である。

【図3】本発明により、ゲート材料がソース材料に接続された液晶表示装置を示す回路図である。

【図4】図3に示された回路図の部分垂直断面図である。

【図5】液晶表示装置を製造する従来の工程を示す断面図である。

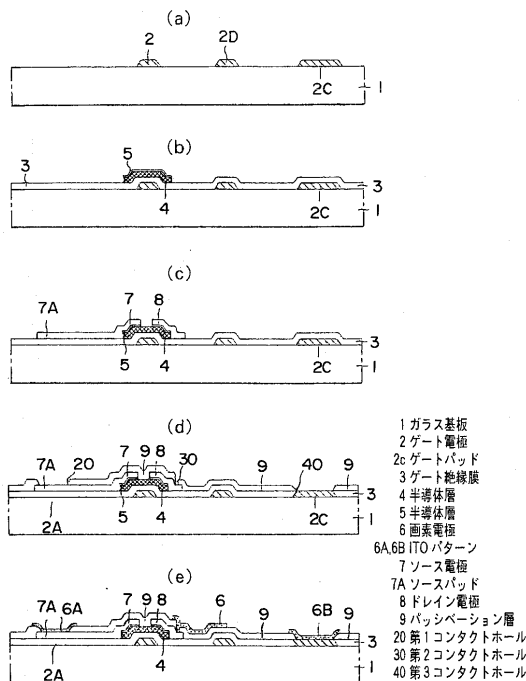
【図6】従来のマトリクス表示装置を概略的に示す平面図である。

【符号の説明】

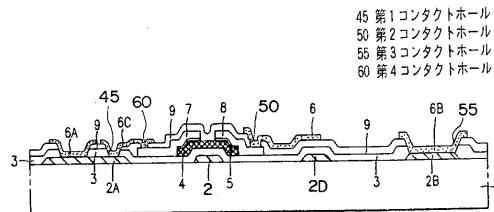
【0046】

1 ガラス基板、2 ゲート電極、2C ゲートパッド、3 ゲート絶縁膜、4、5 半導体層、6 画素電極、6A、6B ITOパターン、7 ソース電極、7A ソースパッド、8 ドレイン電極、9 パッシベーション層、20、45、40a、40A 第1コンタクトホール、30、40b、50 第2コンタクトホール、40、55、40B 第3コンタクトホール、60 第4コンタクトホール。

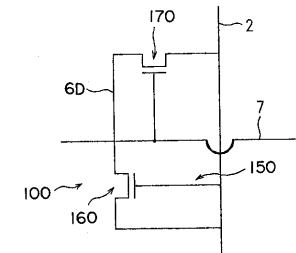
【図1】



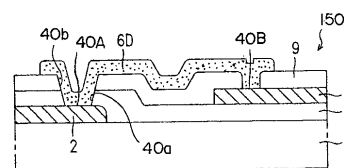
【図2】



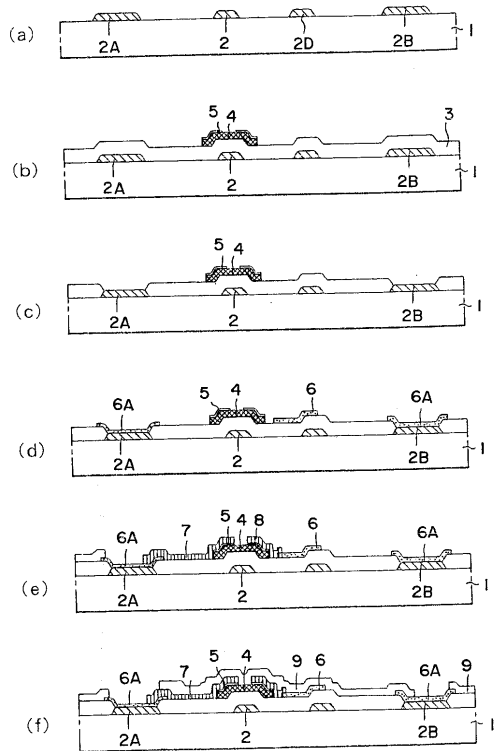
【図3】



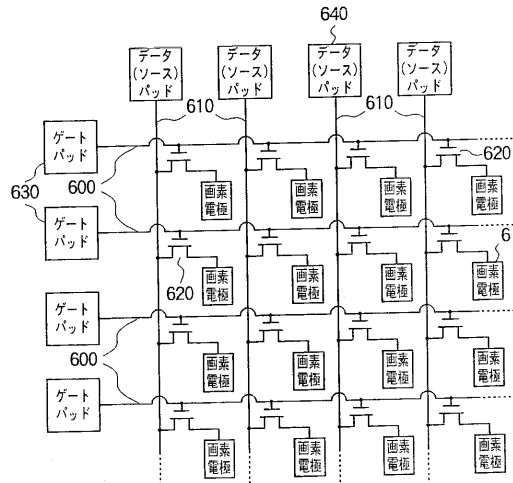
【図4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 申 雨 燮

大韓民国慶尚北道龜末市飛山洞 4 8 9 ゾンオンリピンビル 4 0 7

審査官 鈴木 俊光

(56)参考文献 特開平 0 5 - 3 1 3 1 9 4 (J P , A)

特開平 0 5 - 1 6 5 0 5 9 (J P , A)

特開平 0 3 - 2 4 9 7 3 5 (J P , A)

特開平 0 6 - 2 5 0 2 2 1 (J P , A)

特開平 0 9 - 1 2 0 0 8 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 - 1 / 1 3 6 8

H 0 1 L 2 9 / 7 8 6

G 0 9 F 9 / 3 0

G 0 9 F 9 / 3 5

专利名称(译)	液晶显示装置和液晶显示装置的制造方法		
公开(公告)号	JP4180575B2	公开(公告)日	2008-11-12
申请号	JP2005069232	申请日	2005-03-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	申雨燮		
发明人	申 雨 燮		
IPC分类号	G02F1/1368 G09F9/30 G09F9/35 G02F1/1333 G02F1/1343 G02F1/1345 G02F1/136 G02F1/1362 G09G3/36 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L29/417 H01L29/786		
CPC分类号	G02F1/13458 G02F1/1345 G02F1/136227 G02F1/1368 H01L27/124 H01L29/41733		
FI分类号	G02F1/1368 G09F9/30.338 G09F9/35		
F-TERM分类号	2H092/JA26 2H092/JA46 2H092/JA47 2H092/JB57 2H092/MA14 2H092/MA37 2H092/NA16 2H092/NA27 2H092/NA29 2H192/AA24 2H192/CB05 2H192/DA42 2H192/FA65 2H192/GA15 2H192/GA42 2H192/HA43 2H192/HA47 2H192/HA62 5C094/AA21 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DA15 5C094/EA04 5C094/FB12 5C094/GB10		
代理人(译)	英年古河 Kajinami秩序		
审查员(译)	铃木俊光		
优先权	1019950025538 1995-08-19 KR		
其他公开文献	JP2005242372A		
外部链接	Espacenet		

摘要(译)

一种液晶显示装置，能够有效地防止电极之间的导电，同时减少掩模工艺的数量。形成具有形成在栅极绝缘膜3上的源极焊盘7A的源极电极7，并且在形成在源极电极7和栅极绝缘膜3上的钝化层9中形成第一至第三接触孔20。适当地形成40和40，并且像素电极6由设置在钝化层9上的透明电极层形成。[选图]图1

【图 3】

