

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-163389

(P2006-163389A)

(43) 公開日 平成18年6月22日(2006.6.22)

(51) Int. Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード(参考)

2H092

審査請求 有 請求項の数 32 O L (全 15 頁)

(21) 出願番号 特願2005-341435 (P2005-341435)
 (22) 出願日 平成17年11月28日(2005.11.28)
 (31) 優先権主張番号 11/004,389
 (32) 優先日 平成16年12月3日(2004.12.3)
 (33) 優先権主張国 米国(US)

(71) 出願人 501358079
 友達光電股▲ふん▼有限公司
 台湾新竹市科学工業園區力行二路1号
 (74) 代理人 110000268
 特許業務法人 田中・岡崎アンドアソシエ
 イツ
 (72) 発明者 羅 方楨
 台湾新竹市科園里竹村七路2之2号7樓
 (72) 発明者 羅 長誠
 台湾嘉義縣民雄鄉興南村14鄰頭橋643
 號
 Fターム(参考) 2H092 JA24 JA34 JA46 JB56 JB66
 JB67 NA07 NA11

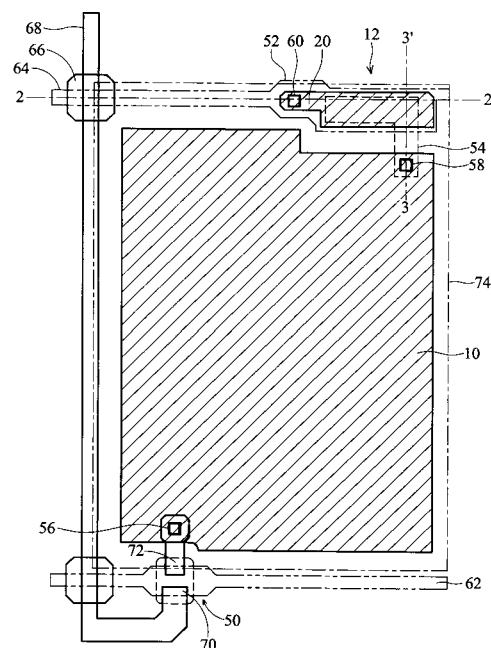
(54) 【発明の名称】 薄膜トランジスタ液晶ディスプレイ、積層蓄積コンデンサ構造及びその形成方法

(57) 【要約】

【課題】 1つの積層蓄積コンデンサ構造とその製造方法を提供する。

【解決手段】 TFT-LCDに用いられる各画素の積層蓄積コンデンサ構造を提供する。第一蓄積コンデンサは、第一金属層、ゲート絶縁層と、第二金属層より形成される。第二蓄積コンデンサは、第二金属層、保護絶縁層と、インジウムスズ酸化物層より形成される。前記第一金属層と前記インジウムスズ酸化物層は、ビアホールを介して互いに接続される。前記ビアホールは、1つの絶縁層のエッチングステップによって、前記ゲート絶縁層と前記保護絶縁層をエッチングして形成される。前記インジウムスズ酸化物層と画素電極層は、保護絶縁層上の異なる位置に堆積する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

TFT-LCD に用いられる積層蓄積コンデンサ構造であって、前記 TFT-LCD は、複数の画素を有し、各画素は、画素領域を有し、少なくとも一部の画素は、1つの実質的に前記画素領域内に形成され、且つ、前記積層蓄積コンデンサ構造を有する蓄積コンデンサを有し、前記積層蓄積コンデンサ構造は、第一導電層より形成された第一プレート、第二導電層より形成された第二プレートと、前記第一導電層と前記第二導電層の間に堆積された第一絶縁層より形成された第一誘電層を有する第一蓄積コンデンサ、および第三導電層より形成された第三プレート、第二導電層より形成された第二プレートと、前記第三プレートと前記第二プレートの間に堆積された第二絶縁層より形成された第二誘電層を有する第二蓄積コンデンサを含み、前記第一導電層と前記第三導電層は、電気的接触を形成し、よって、前記第一蓄積コンデンサと前記第二蓄積コンデンサは、平行に接続され、且つ、電気的接触を形成し、前記第二導電層は、前記第一導電層と前記第三導電層の間に位置される積層蓄積コンデンサ構造。

10

【請求項 2】

前記少なくとも一部の画素の各画素は、前記画素領域内の辺縁域に設置され、前記蓄積コンデンサを制御するゲートラインを有し、且つ、前記蓄積コンデンサは、実質的に前記画素領域内の辺縁域に形成される請求項 1 に記載の積層蓄積コンデンサ構造。

【請求項 3】

前記少なくとも一部の画素の各画素は、半導体スイッチング素子と画素電極を有し、前記画素電極は、実質的に前記半導体スイッチング素子と電気的接触を形成し、前記画素電極は、前記辺縁域に隣接する前記画素領域内に形成され、前記辺縁域と重ならない請求項 2 に記載の積層蓄積コンデンサ構造。

20

【請求項 4】

前記半導体スイッチング素子は、第一スイッチング端部 (first switching end)、第二スイッチング端部と、スイッチ制御端子 (switch control terminal) を有し、前記第一スイッチング端部は、信号ラインに接続され、前記第二スイッチング端部は、前記画素電極に接続され、且つ、前記少なくとも一部の画素の各画素は、前記スイッチ制御端子に接続されたゲートラインを含み、前記第一スイッチング端部と前記第二スイッチング端部間のオン/オフ動作を制御する請求項 3 に記載の積層蓄積コンデンサ構造。

30

【請求項 5】

前記第二導電層は、前記画素電極によって前記第二スイッチング端部に接続され、前記第一導電層は、前記ゲートラインに接続される請求項 4 に記載の積層蓄積コンデンサ構造。

【請求項 6】

前記第一スイッチング端部は、ソース端子 (source terminal) であり、前記第二スイッチング端部は、ドレイン端子 (drain terminal) であり、前記スイッチ制御端子は、トランジスタのゲート端子であり、且つ、前記第一導電層は、ゲート金属層であり、前記第一絶縁層は、ゲート絶縁層であり、前記第二導電層は、ソース/ドレイン金属層である請求項 5 に記載の積層蓄積コンデンサ構造。

40

【請求項 7】

前記第三導電層は、実質的にインジウムスズ酸化物より構成され、前記第二絶縁層は、保護絶縁層である請求項 6 に記載の積層蓄積コンデンサ構造。

【請求項 8】

前記保護絶縁層の一部と前記ゲート絶縁層の一部は、互いに隣接し、前記画素電極は、実質的にインジウムスズ酸化物より構成され、且つ、前記画素電極の少なくとも一部と前記第三導電層の一部は、前記保護絶縁層の異なる領域に形成される請求項 7 に記載の積層蓄積コンデンサ構造。

【請求項 9】

前記少なくとも一部の画素の各画素は、半導体スイッチング素子、前記画素領域内の辺縁

50

域に設置され、前記半導体スイッチング素子を制御するゲートライン、および前記画素領域内の第一域に設置され、前記蓄積コンデンサ内の電荷を制御するコモンラインを含み、前記蓄積コンデンサは、実質的に前記第一域に形成される請求項1に記載の積層蓄積コンデンサ構造。

【請求項10】

前記少なくとも一部の画素の各画素は、前記画素領域内に形成された第一画素電極セグメント(segment)と第二画素電極セグメントを有し、前記第一画素電極セグメントと前記第二画素電極セグメントは、前記第一領域によって分けられる請求項9に記載の積層蓄積コンデンサ構造。

【請求項11】

前記コモンラインは、実質的に前記ゲートラインに平行する請求項9に記載の積層蓄積コンデンサ構造。

【請求項12】

前記半導体スイッチング素子は、第一スイッチング端部、第二スイッチング端部と、スイッチ制御端子を有し、前記第一スイッチング端部は、信号ラインに接続され、前記第二スイッチング端部は、前記画素電極セグメントに接続され、且つ、前記少なくとも一部の画素の各画素は、前記スイッチ制御端子に接続され、前記第一スイッチング端部と前記第二スイッチング端部間のオン/オフ動作を制御するゲートラインを含む請求項10に記載の積層蓄積コンデンサ構造。

【請求項13】

前記第二導電層は、前記画素電極によって前記第二スイッチング端部に接続され、前記第一導電層は、前記コモンラインに接続される請求項12に記載の積層蓄積コンデンサ構造。

【請求項14】

前記第一スイッチング端部は、ソース端子(source terminal)であり、前記第二スイッチング端部は、ドレイン端子(drain terminal)であり、前記スイッチ制御端子は、トランジスタのゲート端子であり、且つ、前記第一導電層は、ゲート金属層であり、前記第一絶縁層は、ゲート絶縁層であり、前記第二導電層は、ソース/ドレイン金属層である請求項13に記載の積層蓄積コンデンサ構造。

【請求項15】

前記第三導電層は、実質的にインジウムスズ酸化物より構成され、前記第二絶縁層は、保護絶縁層である請求項14に記載の積層蓄積コンデンサ構造。

【請求項16】

前記保護絶縁層の一部と前記ゲート絶縁層の一部は、互いに隣接し、且つ、前記第一画素電極セグメントと前記第二画素電極セグメントは、実質的にインジウムスズ酸化物より構成され、且つ、前記第一画素電極セグメントと前記第二画素電極セグメントの少なくとも一部と前記第三導電層の一部は、前記保護絶縁層の異なる領域に形成される請求項15に記載の積層蓄積コンデンサ構造。

【請求項17】

TFT-LCDに用いられ、前記TFT-LCDは、複数の画素を有し、各画素は、画素領域と1つの前記画素領域内に形成された画素電極を有し、少なくとも一部の画素は、前記画素電極と接続した電荷を蓄積するための、1つの実質的に前記画素領域に形成された第一域の蓄積コンデンサ構造を有し、且つ、前記第一域と前記電極は互いに隣接するが重ならない積層蓄積コンデンサ構造の形成方法であって、第一導電層より形成された第一プレート、第二導電層より形成された第二プレートと、前記第一導電層と前記第二導電層の間に堆積された第一絶縁層より形成された第一誘電層を有する第一蓄積コンデンサを形成するステップ、第三導電層より形成された第三プレート、前記第二導電層より形成された前記第二プレートと、前記第三プレートと前記第二プレートの間に堆積された第二絶縁層より形成された第二誘電層を有する第二蓄積コンデンサを形成するステップ、前記第一導電層と前記第三導電層を接続して電氣的接触を形成し、平行した前記第一蓄積コンデンサ

10

20

30

40

50

と前記第二蓄積コンデンサに電氣的接触を形成させ、前記蓄積コンデンサ構造を形成し、且つ、前記第二導電層は、前記第一導電層と前記第三導電層の間に位置されるステップを含む積層蓄積コンデンサ構造の形成方法。

【請求項 18】

それぞれ平行して垂直に配置され、且つ、それぞれ画素領域を有する複数の画素、前記垂直な画素の間に配置された複数の信号ライン、および前記平行な画素の間に配置された複数のゲートラインを含み、少なくとも一部の画素は、1つの実質的に前記画素領域内に形成された蓄積コンデンサを有する TFT-LCD であって、前記蓄積コンデンサは、第一導電層より形成された第一プレート、第二導電層より形成された第二プレート、前記第一導電層と前記第二導電層の間に堆積された第一絶縁層より形成された第一誘電層を有する第一蓄積コンデンサ、および第三導電層より形成された第三プレート、前記第二導電層より形成された前記第二プレートと、前記第三プレートと前記第二プレートの間に堆積された第二絶縁層より形成された第二誘電層を有する第二蓄積コンデンサを含み、前記第一導電層と前記第三導電層は、電氣的接触を形成し、よって、前記第一蓄積コンデンサと前記第二蓄積コンデンサは、平行に接続され、且つ、電氣的接触を形成し、前記第二導電層は、前記第一導電層と前記第三導電層の間に位置される TFT-LCD。

10

【請求項 19】

前記少なくとも一部の画素の各画素は、前記画素領域内の辺縁域に設置され、前記蓄積コンデンサを制御するゲートラインを有し、且つ、前記蓄積コンデンサは、実質的に前記画素領域内の辺縁域に形成される請求項 18 に記載の TFT-LCD。

20

【請求項 20】

前記少なくとも一部の画素の各画素は、半導体スイッチング素子と画素電極を有し、前記画素電極は、実質的に前記半導体スイッチング素子と電氣的接触を形成し、且つ、前記画素電極は、前記辺縁域に隣接する前記画素領域内に形成され、前記辺縁域に重ならない請求項 18 に記載の TFT-LCD。

【請求項 21】

前記半導体スイッチング素子は、第一スイッチング端部、第二スイッチング端部と、スイッチ制御端子を有し、前記第一スイッチング端部は、前記複数の信号ラインの 1 つに接続され、前記第二スイッチング端部は、前記画素電極に接続され、且つ、前記スイッチ制御端子は、前記複数のゲートラインの 1 つに接続され、前記第一スイッチング端部と第二スイッチング端部間のオン/オフ動作を制御する請求項 20 に記載の TFT-LCD。

30

【請求項 22】

前記少なくとも一部の画素の各画素は、前記第一ゲートラインと接続した半導体スイッチング素子、および前記画素領域内の第一域に設置され、前記蓄積コンデンサ内の電荷を制御し、且つ、前記蓄積コンデンサは、実質的に前記第一域に形成される共通ラインを含む請求項 18 に記載の TFT-LCD。

【請求項 23】

前記少なくとも一部の画素の各画素は、前記画素領域内に形成された第一画素電極セグメントと第二画素電極セグメントを有し、前記第一画素電極セグメントと前記第二画素電極セグメントは、前記第一領域によって分けられる請求項 18 に記載の TFT-LCD。

40

【請求項 24】

前記共通ラインは、隣接する 2 つのゲートラインの間に設置される請求項 23 に記載の TFT-LCD。

【請求項 25】

前記半導体スイッチング素子は、第一スイッチング端部、第二スイッチング端部と、スイッチ制御端子を有し、前記第一スイッチング端部は、前記複数の信号ラインの 1 つに接続され、前記第二スイッチング端部は、前記第一画素電極セグメントに接続され、且つ、前記スイッチ制御端子は、前記複数のゲートラインの 1 つに接続され、前記第一スイッチング端部と第二スイッチング端部間のオン/オフ動作を制御する請求項 23 に記載の TFT-LCD。

50

【請求項 26】

それぞれ平行して垂直に配置され、且つ、それぞれ画素領域を有する複数の画素、前記垂直な画素の間に配置された複数の信号ライン、および前記平行な画素の間に配置された複数のゲートラインを含み、少なくとも一部の画素は、1つの実質的に前記画素領域内に形成された蓄積コンデンサを有する TFT-LCD であって、前記蓄積コンデンサは、第一導電層、第二導電層と、第一絶縁層を有する第一蓄積コンデンサ、および第三導電層、第二導電層と、第二絶縁層を有する第二蓄積コンデンサを含み、前記第一導電層と前記第三導電層は、電気的接続を形成し、前記第二導電層は、前記第一導電層と前記第三導電層の間に位置される TFT-LCD。

【請求項 27】

前記少なくとも一部の画素の各画素は、前記画素領域内の辺縁域に設置されたゲートラインを有し、前記ゲートラインは、前記第一蓄積コンデンサの第一導電層を形成する請求項 26 に記載の TFT-LCD。

10

【請求項 28】

前記少なくとも一部の画素の各画素は、画素電極を有し、前記画素電極と前記第二導電層は、電気的接続する請求項 27 に記載の TFT-LCD。

【請求項 29】

前記第三導電層と前記画素電極は、同じ材料を有する請求項 28 に記載の TFT-LCD。

【請求項 30】

前記少なくとも一部の画素の各画素は、前記画素領域内に設置され、隣接する 2 つのゲートラインの間に設置され、前記第一蓄積コンデンサの第一導電層を形成する請求項 26 に記載の TFT-LCD。

20

【請求項 31】

前記少なくとも一部の画素の各画素は、前記画素領域内に形成された第一画素電極セグメントと第二画素電極セグメントを有し、前記第一画素電極セグメントと前記第二画素電極セグメントは、前記コモンラインによって分けられる請求項 30 に記載の TFT-LCD。

【請求項 32】

前記第三導電層は、前記コモンラインの上方に位置され、前記第一画素電極セグメントと前記第二画素電極セグメントは、同じ材料を有する請求項 31 に記載の TFT-LCD。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ液晶ディスプレイの積層蓄積コンデンサ構造 に関し、特に、アモルファスシリコン薄膜トランジスタ液晶ディスプレイに関するものである。

【背景技術】

【0002】

ディスプレイの解像度を上げるために、画素のサイズを縮小する時、画素の開口率を保持するために、各 1 つの画素内の蓄積コンデンサを配置できる面積も同じように縮小しなければならない。よって、薄膜トランジスタ液晶ディスプレイ (TFT-LCD) の製造業は、蓄積コンデンサが必要とする面積の最小化の方法を求めている。アモルファスシリコン TFT-LCD において、解像度を上げることは、特に重要である。

40

【0003】

つまり、画素の全体のサイズが縮小する時、画素の最大部分の面積は、画素電極の配置に用いられ、蓄積コンデンサが用いる画素面積は、最小まで縮小する。結果、アモルファスシリコン TFT-LCD の解像度が上がった時、蓄積コンデンサは、サイズの縮小により、ちらつき、画像停滞、クロストークの問題を逆に生じ、ディスプレイの性能に影響する。よって、どのように蓄積コンデンサの容量を増加し、画素電極の面積も同時に増加させることができるか、つまり、画素の開口率に影響を与えない状態で蓄積コンデンサの容量

50

を増加するかが、現在、アモルファスシリコン TFT-LCD の製造における、1つの非常に重要な課題である。

【0004】

従来のアモルファスシリコン TFT-LCD の製造では、蓄積コンデンサは、金属-絶縁層-金属構造、または金属-絶縁層-インジウムスズ酸化物構造である。

【0005】

金属-絶縁層-金属構造では、第一コンデンサプレートは、ゲート金属であり、第二コンデンサプレートは、ソース/ドレイン金属である。第一コンデンサプレートと第二コンデンサプレートは、ゲート絶縁層によって分けられる。

【0006】

金属-絶縁層-インジウムスズ酸化物構造では、第一コンデンサプレートは、ゲート金属であり、第二コンデンサプレートは、インジウムスズ酸化物電極である。第一コンデンサプレートと第二コンデンサプレートは、ゲート絶縁層と保護絶縁層によって分けられる。

【0007】

【特許文献1】米国特許第6777709号明細書

【特許文献2】米国特許第6191830号明細書

【特許文献3】特開平11-119260公報

【特許文献4】特開平11-044893公報

【特許文献5】特開平10-096962公報

【特許文献6】特開平09-162412公報

【0008】

しかし、解像度を上げると同時に、蓄積コンデンサの面積を保持するためには、画素の開口率への影響は免れない。画素の開口率に影響を与えない状態で電荷蓄積容量を増加するために、または、アモルファスシリコン TFT-LCD の画素の開口率を増加している状態において電荷蓄積容量を維持するために、現存する蓄積コンデンサの全ての材料をより良く用いることが望ましい。よって、本発明は、1つの積層蓄積コンデンサ構造とその製造方法を提供する。

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明の主な目的の1つは、画素の開口率に影響を与えずに蓄積コンデンサの容量を増加することである。本発明のもう1つの目的は、現存するアモルファスシリコン TFT-LCD の製造において、現存する蓄積コンデンサの全ての材料に改善を加えて用いることである。

【課題を解決するための手段】

【0010】

上述の目的を達成するため、本発明はソース/ドレイン金属を用いて、積層コンデンサ構造の中の共用のコンデンサプレートとする。上述の積層コンデンサ構造は、上下平行の配置で、且つ、導通の金属-絶縁層-金属構造と、金属-絶縁層-インジウムスズ酸化物構造を含む。ゲート絶縁層は、ゲート金属とソース/ドレイン金属の間に設置され、第一コンデンサを形成する。ソース/ドレイン金属はまた、上方の保護絶縁層とインジウムスズ酸化物電極と第二コンデンサを形成する。前記第一コンデンサと前記第二コンデンサは、現存する単一の蓄積コンデンサによって占められた画素面積の状態は、互いに上下平行に重なり、電気的接続を形成して電荷蓄積容量を増加する。

【0011】

また、ここで述べたアモルファスシリコン TFT-LCD の積層蓄積コンデンサ構造は、第一プレートとなる第一金属層、第二プレートとなる第二金属層と、第一金属層と第二金属層の間に位置するゲート絶縁層を有する第一積層蓄積コンデンサ、および第三プレートとなるインジウムスズ酸化物電極、第二プレートとなる第二金属層と、インジウムスズ酸化物電極と第二金属層の間に位置する保護絶縁層を有する第二積層蓄積コンデンサを含む

10

20

30

40

50

。第二金属層は、第一積層蓄積コンデンサと第二積層蓄積コンデンサに共用され、且つ、第二積層蓄積コンデンサは、第一積層蓄積コンデンサの上方に位置される。第一金属層とインジウムスズ酸化物電極は、ビアホールを介して電氣的接触を形成する。前記ビアホールは、1つの絶縁層エッチングステップによってエッチングされ、且つ、このビアホールは、ゲート絶縁層と保護絶縁層を穿通する。また、中間電極（即ち、第二金属層）は、よって、保護絶縁層のビアホールを介して画素電極と接続される。インジウムスズ酸化物電極は、ゲート絶縁層と保護絶縁層をエッチングしたビアホールを介して第一金属層に接続される。画素電極は、保護層のもう1つのビアホールを介して薄膜トランジスタのドレインに接続される。

【0012】

本発明の第一実施例に基づいて、本発明は、TFT-LCDに用いられる積層蓄積コンデンサ構造を提供する。前記TFT-LCDは、複数の画素を有し、各画素は、画素領域を有し、少なくとも一部の画素は、1つの実質的に前記画素領域内に形成され、且つ、前記積層蓄積コンデンサ構造を有する蓄積コンデンサを有する。前記積層蓄積コンデンサ構造は、第一導電層より形成された第一プレート、第二導電層より形成された第二プレートと、前記第一導電層と前記第二導電層の間に堆積された第一絶縁層より形成された第一誘電層を有する第一蓄積コンデンサ、および第三導電層より形成された第三プレート、第二導電層より形成された第二プレートと、前記第三プレートと前記第二プレートの間に堆積された第二絶縁層より形成された第二誘電層を有する第二蓄積コンデンサを含む。前記第一導電層と前記第三導電層は、電氣的接触を形成し、よって、前記第一蓄積コンデンサと前記第二蓄積コンデンサは、平行に接続され、且つ、電氣的接触を形成する。また、前記第二導電層は、前記第一導電層と前記第三導電層の間に位置される。

10

20

【0013】

本発明に基づいて、前記少なくとも一部の画素の各画素は、前記画素領域内の辺縁域に設置され、前記蓄積コンデンサを制御するゲートラインを有する。また、前記蓄積コンデンサは、実質的に前記画素領域内の辺縁域に形成される。

【0014】

本発明に基づいて、前記少なくとも一部の画素の各画素は、半導体スイッチング素子と画素電極を有し、前記画素電極は、実質的に前記半導体スイッチング素子と電氣的接触を形成する。また、前記画素電極は、前記辺縁域に隣接する前記画素領域内に形成され、前記辺縁域と重ならない。

30

【0015】

本発明に基づいて、前記半導体スイッチング素子は、第一スイッチング端部（first switching end）、第二スイッチング端部と、スイッチ制御端子（switch control terminal）を有し、前記第一スイッチング端部は、信号ラインに接続され、前記第二スイッチング端部は、前記画素電極に接続され、且つ、前記少なくとも一部の画素の各画素は、前記スイッチ制御端子に接続されたゲートラインを含み、前記第一スイッチング端部と前記第二スイッチング端部間のオン/オフ動作を制御する。

【0016】

本発明に基づいて、前記第二導電層は、前記画素電極によって前記第二スイッチング端部に接続され、前記第一導電層は、前記ゲートラインに接続される。

40

【0017】

本発明に基づいて、前記第一スイッチング端部は、ソース端子（source terminal）であり、前記第二スイッチング端部は、ドレイン端子（drain terminal）であり、前記スイッチ制御端子は、トランジスタのゲート端子である。また、前記第一導電層は、ゲート金属層であり、前記第一絶縁層は、ゲート絶縁層であり、前記第二導電層は、ソース/ドレイン金属層である。前記第三導電層は、実質的にインジウムスズ酸化物より構成され、前記第二絶縁層は、保護絶縁層である。

【0018】

50

本発明に基づいて、前記保護絶縁層の一部と前記ゲート絶縁層の一部は、互いに隣接する。また、前記画素電極は、実質的にインジウムスズ酸化物より構成される。また、前記画素電極の少なくとも一部と前記第三導電層の一部は、前記保護絶縁層の異なる領域に形成される。

【0019】

また、前記少なくとも一部の画素の各画素は、半導体スイッチング素子、前記画素領域内の辺縁域に設置され、前記半導体スイッチング素子を制御するゲートライン、および前記画素領域内の第一域に設置され、前記蓄積コンデンサ内の電荷を制御するコモンラインを含み、前記蓄積コンデンサは、実質的に前記第一域に形成される。

【0020】

本発明に基づいて、前記少なくとも一部の画素の各画素は、前記画素領域内に形成された第一画素電極セグメント(segment)と第二画素電極セグメントを有し、前記第一画素電極セグメントと前記第二画素電極セグメントは、前記第一領域によって分けられる。

【0021】

本発明に基づいて、前記コモンラインは、実質的に前記ゲートラインに平行する。

【0022】

本発明に基づいて、前記半導体スイッチング素子は、第一スイッチング端部、第二スイッチング端部と、スイッチ制御端子を有し、前記第一スイッチング端部は、信号ラインに接続され、前記第二スイッチング端部は、前記画素電極セグメントに接続され、且つ、前記少なくとも一部の画素の各画素は、前記スイッチ制御端子に接続され、前記第一スイッチング端部と前記第二スイッチング端部間のオン/オフ動作を制御するゲートラインを含む。

【0023】

本発明に基づいて、前記第二導電層は、前記画素電極によって前記第二スイッチング端部に接続され、前記第一導電層は、前記コモンラインに接続される。

【0024】

本発明に基づいて、前記第一スイッチング端部は、ソース端子(source terminal)であり、前記第二スイッチング端部は、ドレイン端子(drain terminal)であり、前記スイッチ制御端子は、トランジスタのゲート端子である。また、前記第一導電層は、ゲート金属層であり、前記第一絶縁層は、ゲート絶縁層であり、前記第二導電層は、ソース/ドレイン金属層である。前記第三導電層は、実質的にインジウムスズ酸化物より構成され、前記第二絶縁層は、保護絶縁層である。

【0025】

本発明に基づいて、前記保護絶縁層の一部と前記ゲート絶縁層の一部は、互いに隣接する。また、前記第一画素電極セグメントと前記第二画素電極セグメントは、実質的にインジウムスズ酸化物より構成される。また、前記第一画素電極セグメントと前記第二画素電極セグメントの少なくとも一部と前記第三導電層の一部は、前記保護絶縁層の異なる領域に形成される。

【0026】

本発明の第一実施例に基づいて、本発明は、TFT-LCDに用いられる積層蓄積コンデンサ構造の形成方法を提供する。前記TFT-LCDは、複数の画素を有し、各画素は、画素領域と1つの前記画素領域内に形成された画素電極を有し、少なくとも一部の画素は、1つの実質的に前記画素領域に形成された第一域の蓄積コンデンサ構造を有し、且つ、前記第一域と前記電極は互いに隣接するが重ならず、前記方法は、下記のステップを含む。

【0027】

第一導電層より形成された第一プレート、第二導電層より形成された第二プレートと、前記第一導電層と前記第二導電層の間に堆積された第一絶縁層より形成された第一誘電層を有する第一蓄積コンデンサを形成する。

10

20

30

40

50

【0028】

第三導電層より形成された第三プレート、前記第二導電層より形成された前記第二プレートと、前記第三プレートと前記第二プレートの間に堆積された第二絶縁層より形成された第二誘電層を有する第二蓄積コンデンサを形成する。

【0029】

前記第一導電層と前記第三導電層を接続して電氣的接触を形成し、平行した前記第一蓄積コンデンサと前記第二蓄積コンデンサに電氣的接触を形成させ、前記蓄積コンデンサ構造を形成し、且つ、前記第二導電層は、前記第一導電層と前記第三導電層の間に位置される。

【0030】

本発明の第三実施例に基づいて、本発明は、それぞれ平行して垂直に配置され、且つ、それぞれ画素領域を有する複数の画素、前記垂直な画素の間に配置された複数の信号ラインと、前記平行な画素の間に配置された複数のゲートラインを含み、少なくとも一部の画素は、1つの実質的に前記画素領域内に形成された蓄積コンデンサを有するTFT-LCDを提供する。前記蓄積コンデンサは、第一導電層より形成された第一プレート、第二導電層より形成された第二プレート、前記第一導電層と前記第二導電層の間に堆積された第一絶縁層より形成された第一誘電層を有する第一蓄積コンデンサ、および第三導電層より形成された第三プレート、前記第二導電層より形成された前記第二プレートと、前記第三プレートと前記第二プレートの間に堆積された第二絶縁層より形成された第二誘電層を有する第二蓄積コンデンサを含み、前記第一導電層と前記第三導電層は、電氣的接触を形成し、よって、前記第一蓄積コンデンサと前記第二蓄積コンデンサは、平行に接続され、且つ、電氣的接触を形成し、前記第二導電層は、前記第一導電層と前記第三導電層の間に位置される。

10

20

【0031】

本発明に基づいて、前記少なくとも一部の画素の各画素は、前記画素領域内の辺縁域に設置され、前記蓄積コンデンサを制御するゲートラインを有する。また、前記蓄積コンデンサは、実質的に前記画素領域内の辺縁域に形成される。

【0032】

本発明に基づいて、前記少なくとも一部の画素の各画素は、半導体スイッチング素子と画素電極を有し、前記画素電極は、実質的に前記半導体スイッチング素子と電氣的接触を形成する。また、前記画素電極は、前記辺縁域に隣接する前記画素領域内に形成され、前記辺縁域に重ならない。

30

【0033】

本発明に基づいて、前記半導体スイッチング素子は、第一スイッチング端部、第二スイッチング端部と、スイッチ制御端子を有し、前記第一スイッチング端部は、前記複数の信号ラインの1つに接続され、前記第二スイッチング端部は、前記画素電極に接続され、且つ、前記スイッチ制御端子は、前記複数のゲートラインの1つに接続され、前記第一スイッチング端部と第二スイッチング端部間のオン/オフ動作を制御する。

【0034】

また、前記少なくとも一部の画素の各画素は、前記第一ゲートラインと接続した半導体スイッチング素子、および前記画素領域内の第一域に設置され、前記蓄積コンデンサ内の電荷を制御するコモンラインを含み、前記蓄積コンデンサは、実質的に前記第一域に形成される。

40

【0035】

本発明に基づいて、前記少なくとも一部の画素の各画素は、前記画素領域内に形成された第一画素電極セグメント(segment)と第二画素電極セグメントを有し、前記第一画素電極セグメントと前記第二画素電極セグメントは、前記第一領域によって分けられる。前記コモンラインは、隣接する2つのゲートラインの間に設置される。

【0036】

本発明に基づいて、前記半導体スイッチング素子は、第一スイッチング端部、第二スイッ

50

チング端部と、スイッチ制御端子を有し、前記第一スイッチング端部は、前記複数の信号ラインの1つに接続され、前記第二スイッチング端部は、前記第一画素電極セグメント、または前記第二画素電極セグメントに接続され、且つ、前記スイッチ制御端子は、前記複数のゲートラインの1つに接続され、前記第一スイッチング端部と第二スイッチング端部間のオン/オフ動作を制御する。

【発明の効果】

【0037】

本発明の積層蓄積コンデンサ構造に基づくと、その他の材料、またはマスクを必要とすることなく、アモルファスシリコンTFT-LCDを作ることができる。また、コンデンサが占める画素面積が最小化を達成し、画素の開口率を増加させることから、画素の解像度も対応して増加する。

10

【発明を実施するための最良の形態】

【0038】

本発明についての目的、特徴、長所が一層明確に理解されるよう、以下に実施形態を例示し、図面を参照にしながら、詳細に説明する。

【実施例】

【0039】

本発明のコンデンサ構造は、薄膜トランジスタ液晶ディスプレイ(TFT-LCD)に用いられ、前記TFT-LCDは、複数の画素を有する。図1に示されているのは、その中の1つの画素の概略図である。各画素は、前記画素領域内の辺縁域のゲートライン64に設置された画素領域74を有する。本実施例では、前記蓄積コンデンサは、実質的に前記画素領域74内の辺縁域に形成される。各画素は、半導体スイッチング素子50と画素電極10を有する。前記画素電極10は、実質的に前記半導体スイッチング素子50と電氣的接触を形成し、前記画素電極10は、画素領域74内に形成されるが前記辺縁域と重ならない。また、62は、スキャンラインである。

20

【0040】

本発明の実施例に基づいて、図1は、本発明の好ましい実施例に基づいた画素の上面図を表しており、蓄積コンデンサは、Cs-on-gateの設計である。図2は、図1の画素のライン2-2'に沿った断面図である。簡易化するために、図2では、TFT部を表していない。図3は、図1の画素のライン3-3'に沿った断面図である。

30

【0041】

図1~図3の画素は、画素アレイの一部を形成している。前記画素は、2つの領域を含み、1つは画素電極10に接続され、もう1つは、制御と蓄積コンデンサ域12に接続される。図1~図3で示す画素の製造技術は、従来Cs-on-gateの技術である。Cs-on-gateの技術は、通常、アモルファスシリコンTFT-LCDに用いられている。また、ここで討論する原則も、その他の形式のTFT-LCD、例えばポリシリコンTFT-LCDに用いられている。

【0042】

図1~図3に示すように、蓄積コンデンサは、画素電極の状態を維持するように用いられ、よって、スキャンしている時に、LCDの画素の状態を維持する。図1~図3では、2つの蓄積コンデンサを有し、それぞれ第一コンデンサC1、第二コンデンサC2である。第一コンデンサC1は、第一金属層52(ゲート)と第二金属層54(ソース/ドレイン)の間に形成される。図2と図3に示すように、第二コンデンサC2は、第二金属層54とインジウムスズ酸化物(ITO)層20の間に形成される。

40

【0043】

蓄積コンデンサC1について言えば、第一金属層52は、コンデンサの第一プレートを形成し、第二金属層54は、コンデンサの第二プレートを形成する。また、第一金属層52と第二金属層54の間の誘電材料は、ゲート絶縁層22である。

【0044】

蓄積コンデンサC2について言えば、コンデンサの第二プレートは、同じ第二金属層54

50

より形成される。コンデンサの第三プレートは、インジウムスズ酸化物層 20 より形成され、第二金属層 54 とインジウムスズ酸化物層 20 の間の誘電材料は、保護絶縁層 24 である。

【0045】

蓄積コンデンサ C1 と C2 は、1つのプレートを共用し、ここでは第二金属層 54 と称する。蓄積コンデンサ C1 と C2 は、上下平行の積層構造であり、且つ、領域 26 に位置したバイアホール 60 を用いて、インジウムスズ酸化物層 20 と第一金属層 52 に電氣的接続を形成させる。

【0046】

従来のアモルファスシリコン TFT-LCD は、通常、5つのマスクプロセスを用いており、本案の積層蓄積コンデンサ構造は、一般の5つのマスクプロセスに用いることができ、マスクの数を増加しない。

10

【0047】

まず、ガラス基板 30 上で第一金属層 52 を形成する。続いて、窒化物層を堆積し、一部の窒化物層は、ゲート絶縁層 22 となる。次に、プラズマ化学気相成長法 (PECVD) プロセスを行い、アモルファスシリコン 66 と n 型ドーブのアモルファスシリコン層を形成する。また、前記アモルファスシリコン 66 と n 型ドーブのアモルファスシリコン層は、前記窒化物層の上に形成される。

【0048】

次に、金属層が前記アモルファスシリコン 66 と n 型ドーブのアモルファスシリコン層の上に堆積される。次に、パターン化プロセスを行い、信号ライン 68、ソース/ドレイン、または共用のコンデンサプレートを形成する。これも第二金属層 54 と称する。続いて、n 型ドーブのアモルファスシリコン層をエッチングし、TFT 50 の導電チャネルを形成する。次に、保護絶縁層 24 を堆積する。

20

【0049】

次に、選択的に保護絶縁層 24 をエッチングし、バイアホール 56 とバイアホール 58 を形成し、選択的に保護絶縁層 24 とゲート絶縁層 22 をエッチングし、バイアホール 60 を形成する。バイアホール 56 は、ドレイン 72 の接触に用いられ、バイアホール 58 は、第二金属層 54 (共用のコンデンサプレート) に用いられ、接触点を提供する。バイアホール 60 は、第一金属層 52 (ゲート) に用いられ、接触点を提供する。

30

【0050】

次に、保護絶縁層 24 の上にインジウムスズ酸化物層を形成する。フォトエッチングプロセスを行い、一部のインジウムスズ酸化物層に画素電極 10 を形成させる。この画素電極 10 は、バイアホール 58 を介して第二金属層 54 (共用のコンデンサプレート、またはソース/ドレイン) に接触する。この画素電極 10 はまた、バイアホール 1 を介してドレイン 72 と接触する。よって、第二金属層 54 (共用のコンデンサプレート、またはソース/ドレイン) は、画素電極を介して TFT 50 のドレイン 72 と電氣的接続を形成する。

【0051】

また、一部のインジウムスズ酸化物は、インジウムスズ酸化物層 20 を形成し、第二コンデンサ C2 の上部のコンデンサプレートとなる。前記インジウムスズ酸化物層 20 は、バイアホール 60 を介して第一金属層 52 (ゲート) と電氣的接続を形成する (図 7)。上述の方法に基づくと、1つのコンデンサ C1 と C2 を含む積層蓄積コンデンサ構造を形成することができる。

40

【0052】

図 2 ~ 図 3 に示すように、本発明の積層蓄積コンデンサ構造がコンデンサ C1 と C2 を含むことから、制御と蓄積コンデンサ域 12 (図 1) の限られた面積を効果的に用いることができる。しかし、従来技術では、上記制御と蓄積コンデンサ域 12 は、単一のコンデンサしか配置できない可能性がある。よって、本発明の積層蓄積コンデンサ構造を用いれば、同じ面積で、倍の蓄積電荷の容量を増加することができる。図 1 の等価回路図は、図

50

7に示されている。

【0053】

本発明のコンデンサ構造は、TFT-LCDに用いられ、前記TFT-LCDは、複数の画素を有する。図4に示すように、その中の1つの画素の概略図を示している。各画素は、前記画素領域内の辺縁域のゲートラインに設置された画素領域71、前記画素領域71内の第一域13に設置され、且つ、前記蓄積コンデンサが実質的に前記第一域13に形成されるコモンラインを有する。各画素は、前記画素領域71内に形成された画素電極セグメント11と画素電極セグメント11'を有する。画素電極セグメント11と画素電極セグメント11'は、前記第一域13によって分けられる。また、65はスキャンラインであり、67は、アモルファスシリコン層であり、69は、スキャンラインである。

10

【0054】

本発明の実施例に基づいて、図4～図6に示す画素の製造技術は、Cs-on-commonの技術であり、Cs-on-commonの技術は、通常、アモルファスシリコンTFT-LCDに用いられる。図4に示すように、2つの画素電極セグメント11と11'は、第一域13によって分けられ、第一域13は、第一金属層53(コモンライン)を有する。本発明の積層蓄積コンデンサ構造は、前記第一域13内に形成される。

【0055】

図5は、図4の画素のライン5-5'に沿った断面図である。図6は、図4の画素のライン6-6'に沿った断面図である。

【0056】

第一コンデンサC1は、第一金属層53(コモンライン)と第二金属層55(ソース/ドレイン)の間に形成される。蓄積コンデンサC1について言えば、第一金属層53は、コンデンサの第一プレートを形成し、第二金属層55は、コンデンサの第二プレートを形成する。また、第一金属層53と第二金属層55の間の誘電材料は、ゲート絶縁層22である。

20

【0057】

第二コンデンサC2は、第二金属層55とインジウムスズ酸化物(ITO)層20の間に形成される。蓄積コンデンサC2について言えば、コンデンサの第二プレートは、同じ第二金属層55より形成される。コンデンサの第三プレートは、インジウムスズ酸化物層20より形成され、第二金属層55とインジウムスズ酸化物層20の間の誘電材料は、保護絶縁層24である。

30

【0058】

よって、蓄積コンデンサC1とC2は、1つのプレート、つまり第二金属層55を共用する。画素電極セグメント11'は、ビアホール57を介して薄膜トランジスタ50のドレイン28と電氣的接続を形成する(図4)。画素電極セグメント11'はまた、ビアホール63を介して第二金属層55(共用のコンデンサプレート)と電氣的接続を形成する。画素電極セグメント11は、ビアホール61を介して第二金属層55(共用のコンデンサプレート)と電氣的接続を形成する。また、蓄積コンデンサC2のインジウムスズ酸化物層20は、ビアホール59を介して第一金属層53(コモンライン)と電氣的接続を形成する(図8)。よって、1つの積層蓄積コンデンサ構造を形成することができる。図4の画素構造の等価回路は、図8に示される。図2と図3で示された製造方法のように、本実施例も一般の5つのマスクプロセスに用いることができ、マスクの数を増加しない。

40

【0059】

図7と図8に示すように、前記第二金属層55(ソース/ドレイン)は、蓄積コンデンサC1、C2に共用されるコンデンサプレートであり、且つ、蓄積コンデンサC1、C2は、ビアホール61を介して電氣的接続を形成する。

【0060】

本発明に基づく、蓄積コンデンサC1、C2が上下平行の積層構造を形成することから、画素電極10の電荷蓄積容量を増加(図7)、または画素電極セグメント11、11'

50

を増加（図 8）する。

【 0 0 6 1 】

前記本発明の 2 つの実施例では、第一金属層 5 2、5 3 とインジウムスズ酸化物 2 0 は、それぞれ前記積層蓄積コンデンサ構造のコンデンサプレートとなり、ゲート絶縁層 2 2、2 4 は、それぞれ蓄積コンデンサ C 1、C 2 の誘電材料となる。よって、この 2 つの実施例の違いは、第一金属層 5 2、5 3 が接続される所にある。

【 0 0 6 2 】

5 つのマスクプロセスを用いた T F T - L C D のほとんどにおいては、通常、第一金属層 5 2、5 3 とインジウムスズ酸化物 2 0、およびゲート絶縁層 2 2、2 4 は全て必要な材料である。よって、本発明の積層蓄積コンデンサ構造は、その他の材料、またはマスクを必要とすることなく、アモルファスシリコン T F T - L C D を作ることができる。

10

【 0 0 6 3 】

以上、本発明の好適な実施例を例示したが、これは本発明を限定するものではなく、本発明の精神及び範囲を逸脱しない限りにおいては、当業者であれば行い得る少々の変更や修飾を付加することは可能である。従って、本発明が保護を請求する範囲は、特許請求の範囲を基準とする。

【 図面の簡単な説明 】

【 0 0 6 4 】

【 図 1 】本発明の好ましい実施例に基づいた画素の上面図を表しており、蓄積コンデンサは、ゲートの上に蓄積コンデンサが形成された（C s - o n - g a t e）設計である。

20

【 図 2 】図 1 の画素のライン 2 - 2 ' に沿った断面図である。

【 図 3 】図 1 の画素のライン 3 - 3 ' に沿った断面図である。

【 図 4 】本発明の好ましい実施例に基づいた画素の上面図を表しており、蓄積コンデンサは、共通電極の上に蓄積コンデンサが形成された（C s - o n - c o m m o n）設計である。

【 図 5 】図 4 の画素のライン 5 - 5 ' に沿った断面図である。

【 図 6 】図 4 の画素のライン 6 - 6 ' に沿った断面図である。

【 図 7 】図 1 の画素の等価回路を表している。

【 図 8 】図 2 の画素の等価回路を表している。

【 符号の説明 】

30

【 0 0 6 5 】

2 - 2 ' 断面線

3 - 3 ' 断面線

5 - 5 ' 断面線

6 - 6 ' 断面線

1 0 画素電極

1 1 画素電極セグメント

1 1 ' 画素電極セグメント

1 2 制御と蓄積コンデンサ域

1 3 第一域

40

2 0 インジウムスズ酸化物層

2 2 ゲート絶縁層

2 4 保護絶縁層

2 8 ドレイン

3 0 ガラス基板

5 0 薄膜トランジスタ

5 2、5 3 第一金属層

5 4、5 5 第二金属層

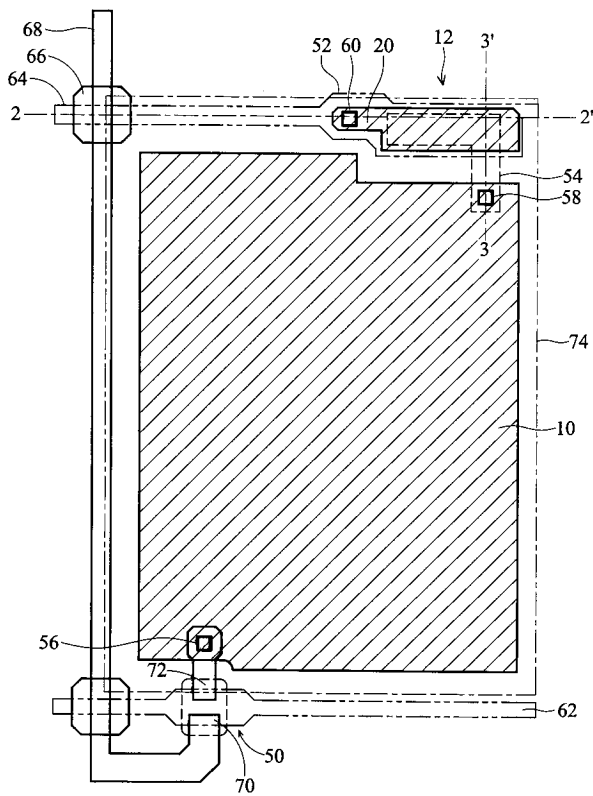
5 6、5 7、5 8、5 9、6 0、6 1、6 3 バイアホール

6 4 ゲートライン

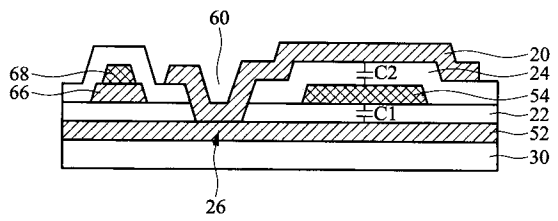
50

- 6 6 アモルファスシリコン
- 6 8 信号ライン
- 7 1 画素領域
- 7 2 ドレイン
- 7 4 画素領域

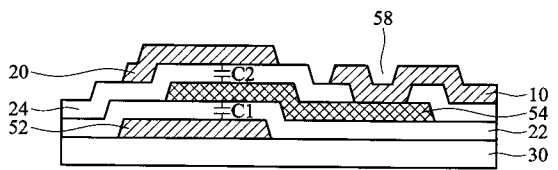
【 図 1 】



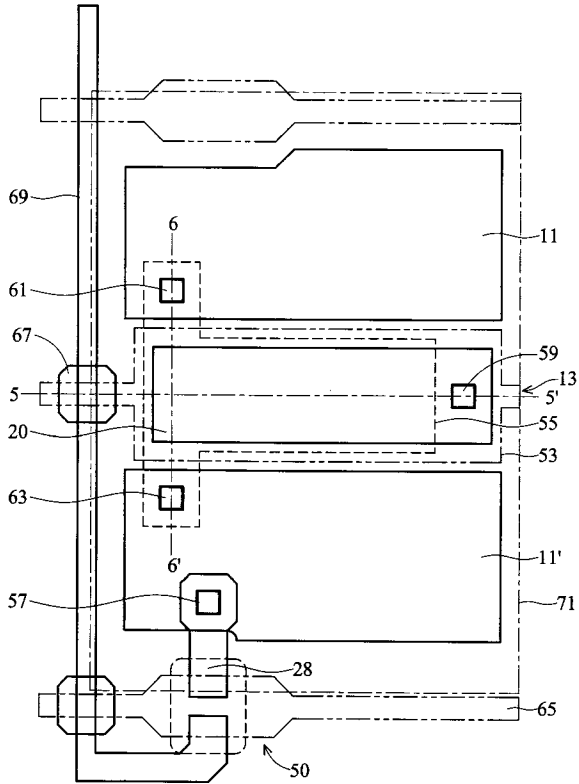
【 図 2 】



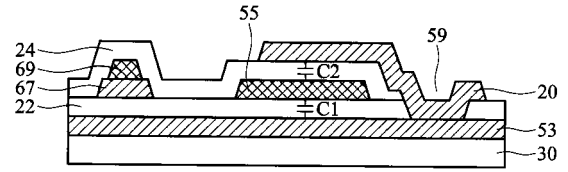
【 図 3 】



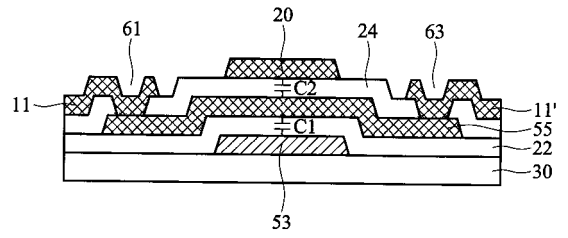
【 図 4 】



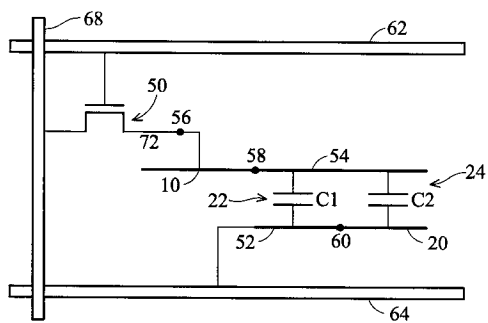
【 図 5 】



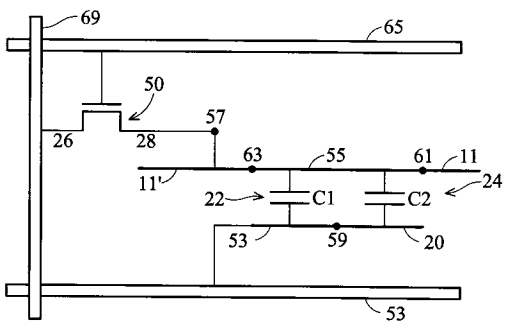
【 図 6 】



【 図 7 】



【 図 8 】



专利名称(译)	薄膜晶体管液晶显示器，叠层存储电容器结构及其形成方法		
公开(公告)号	JP2006163389A	公开(公告)日	2006-06-22
申请号	JP2005341435	申请日	2005-11-28
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▲心▲有限公司		
[标]发明人	羅方禎 羅長誠		
发明人	羅方禎 羅長誠		
IPC分类号	G02F1/1368 G02F1/133 G02F1/136 G02F1/1362 H01L21/027 H01L27/12 H01L29/786		
CPC分类号	G02F1/136213 H01L27/12		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/JA24 2H092/JA34 2H092/JA46 2H092/JB56 2H092/JB66 2H092/JB67 2H092/NA07 2H092/NA11 2H092/JA26 2H092/JA29 2H092/JB23 2H092/JB38 2H092/JB45 2H092/JB69 2H192/AA24 2H192/BC13 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC17 2H192/DA02 2H192/DA13 2H192/DA42 2H192/DA43 2H192/DA65 2H192/HA47		
优先权	11/004389 2004-12-03 US		
其他公开文献	JP4336341B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种叠层存储电容器结构及其制造方法。提供了用于TFT-LCD中的每个像素的多层存储电容器结构。第一存储电容器由第一金属层，栅极绝缘层和第二金属层形成。第二存储电容器由第二金属层，保护绝缘层和铟锡氧化物层形成。第一金属层和铟锡氧化物层通过通孔彼此连接。通过在一个绝缘层蚀刻步骤中蚀刻栅极绝缘层和保护绝缘层来形成通孔。氧化铟锡层和像素电极层沉积在保护绝缘层上的不同位置处。 [选型图]图1

